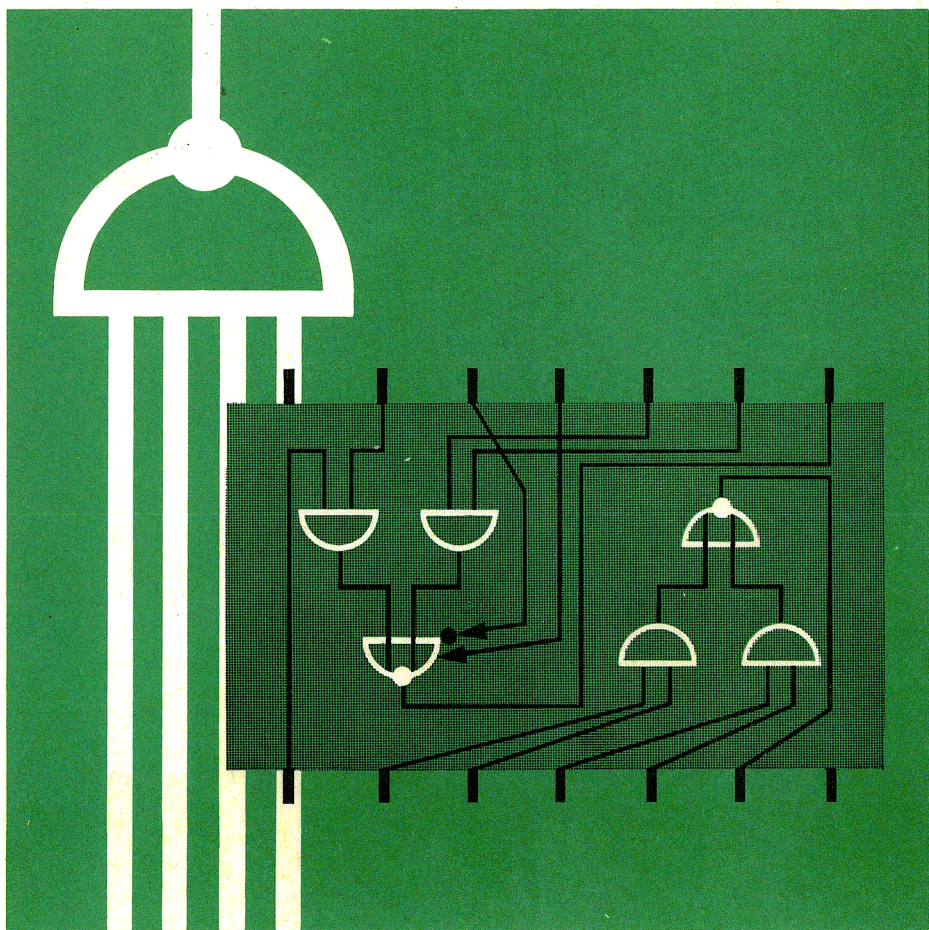




Integrierte Halbleiterschaltungen

Datenbuch 1971/72



Integrierte Halbleiterschaltungen 1971/72

FLH 331, FLH 335, Zwei NAND-Glieder mit je 5 Eingängen	76
FLH 341, FLH 345, Vier Exklusiv-ODER-Glieder mit je 2 Eingängen	78
FLH 351, FLH 355, Zwei NAND-Schmitt-Trigger mit je 4 Eingängen	80
FLH 361, FLH 365, Exzeß-3-Dezimal-Dekoder	82
FLH 371, FLH 375, Exzeß-3-Gray-Dezimal-Dekoder	84
FLH 381, FLH 385, Vier UND-Glieder mit je 2 Eingängen	86
FLH 391, FLH 395, Vier UND-Glieder mit je 2 Eingängen und offenem Kollektor	88
FLH 401, FLH 405, 4-Bit-Arithmetische-Logikeinheit (Rechenelement)	+
FLH 411, FLH 415, Übertragungseinheit für Rechenelement	+
FLH 421, FLH 425, 8-Bit-Paritätsprüfer	+
FLH 431, FLH 435, 4-Bit-Komparator	150
FLH 441, FLH 445, 4-Bit-Komplementbilder	+
FLH 451, FLH 455, Zwei schnelle 1-Bit-Volladdierer	+
FLH 461, FLH 465, Sechs Inverter mit Erweiterungseingang und offenem Kollektor	150
FLH 471, FLH 475, Sechs Inverter mit Erweiterungseingang	150
FLH 481, FLH 485, Sechs invertierende Treiberstufen mit offenem Kollektorausgang mit 30 V	151
FLH 481 T, FLH 485 T, Sechs invertierende Treiberstufen mit offenem Kollektorausgang mit 15 V	151
FLH 491, FLH 495, Sechs Treiberstufen mit offenem Kollektorausgang mit 30 V	151
FLH 491 T, FLH 495 T, Sechs Treiberstufen mit offenem Kollektorausgang mit 15 V	151
FLH 501, FLH 505, Drei NAND-Glieder mit offenem Kollektor	151
FLH 511, FLH 515, Zwei NOR-Glieder mit je 4 Eingängen, Strobe und Erweiterungseingang	152
FLH 521, FLH 525, Zwei NOR-Glieder mit je 4 Eingängen und Strobe	152
FLH 531, FLH 535, Vier NAND-Leistungsglieder mit je 2 Eingängen	152
FLH 541, FLH 545, Vier NAND-Leistungsglieder mit je 2 Eingängen und offenem Kollektor	152
FLH 551, FLH 555, BCD-7-Segment Dekoder	+
FLJ 101, FLJ 105, JK-Flipflop mit 2×3 Eingängen	90
FLJ 111, FLJ 115, JK-Master-Slave-Flipflop mit 2×3 Eingängen	92
FLJ 121, FLJ 125, Zwei JK-Master-Slave-Flipflop	94
FLJ 131, FLJ 135, Zwei JK-Master-Slave-Flipflop	96
FLJ 141, FLJ 145, Zwei D-Flipflop	98
FLJ 151, FLJ 155, Vier -D-Flipflop	100
FLJ 161, FLJ 165, Zähldekade	102
FLJ 171, FLJ 175, Teiler durch zwölf	104
FLJ 181, FLJ 185, 4-Bit-Binärzähler	106
FLJ 191, FLJ 195, 4-Bit-rechts/links Schieberegister	108
FLJ 201, FLJ 205, Dezimaler Vor/Rück-Zähler	110
FLJ 211, FLJ 215, Binärer Vor/Rück-Zähler	112
FLJ 221, FLJ 225, 8-Bit-Serienschieberegister	114
FLJ 231, FLJ 235, 4-Bit-Schieberegister mit Paralleleingabe	116

FLJ 241, FLJ 245, Dezimaler Vor/Rück-Zähler mit Takteingängen für Vorwärts- und Rückwärtsbetrieb	118
FLJ 251, FLJ 255, Binärer Vor/Rück-Zähler mit Takteingängen für Vorwärts- und Rückwärtsbetrieb	120
FLJ 261, FLJ 265, 5-Bit-Schieberegister mit Paralleleingabe und Parallelausgabe	122
FLJ 271, FLJ 275, Zwei JK-Master-Slave-Flipflop	124
FLJ 281, JK-Master-Slave-Flipflop mit JK-Eingang	126
FLJ 291, JK-Master-Slave-Flipflop mit \overline{J} , \overline{K} und JK-Eingängen	126
FLJ 301, FLJ 305, 8-D-Flipflop	128
FLJ 311, FLJ 315, Universelles 8-Bit-rechts/links-Schieberegister	153
FLJ 321, FLJ 325, Universelles 8-Bit-rechts-Schieberegister	153
FLJ 331, Programmierbarer 6-Bit-Binärzähler	153
FLJ 341, FLJ 345, JK-Master-Slave-Flipflop mit Eingangssperre	154
FLJ 351, FLJ 355, Zwei JK-Master-Slave-Flipflop mit Eingangssperre	+
FLJ 361, FLJ 365, Sechs RS-Flipflop mit gemeinsamen Rückstelleingang	154
FLJ 371, FLJ 375, Sechs RS-Flipflop mit getrenntem Rückstelleingang	+
FLJ 381, FLJ 385, 50-MHz-Dezimalzähler mit Stell- und Rückstelleingängen	+
FLJ 391, FLJ 395, 50-MHz-Binärzähler mit Stell- und Rückstelleingängen	+
FLJ 401, FLJ 405, Synchroner Dezimalzähler mit Stelleingängen und taktunabhängigem Rückstelleingang	+
FLJ 411, FLJ 415, Synchroner Binärzähler mit Stelleingängen und taktunabhängigem Rückstelleingang	+
FLJ 421, FLJ 425, Synchroner Dezimalzähler mit Stelleingängen und taktabhängigem Rückstelleingang	+
FLJ 431, FLJ 435, Synchroner Binärzähler mit Stelleingängen und taktabhängigem Rückstelleingang	+
FLJ 441, FLJ 445, 8-Bit-Schieberegister mit Parallelausgabe	+
FLJ 451, FLJ 455, 8-Bit-Schieberegister mit Paralleleingabe	+
FLJ 461, FLJ 465, 8-Bit-Schieberegister mit taktabhängiger Paralleleingabe	+
FLJ 471, Programmierbarer Dezimalzähler	+
FLJ 481, FLJ 485, Zwei 8-Bit-Schieberegister	+
FLJ 491, FLJ 495, Vier D-Flipflop mit gemeinsamen Rückstelleingang	+
FLK 101, FLK 105, Monostabile Kippstufe	130
FLK 111, FLK 115, Monostabile Kippstufe mit Rückstelleingang	155
FLK 121, FLK 125, Zwei monostabile Kippstufen mit Rückstelleingängen	155
FLL 101, BCD-Dezimal-Dekoder und Treiber für Ziffernanzeigeröhren	132
FLL 111, FLL 115, BCD-Dezimal-Dekoder und Treiber mit offenem Kollektorausgang mit 30 V/80 mA	155
FLL 111 T, FLL 115 T, BCD-Dezimal-Dekoder und Treiber mit offenem Kollektorausgang mit 15 V/80 mA	155
FLL 121, FLL 125, BCD-7-Segment-Dekoder und Treiber mit offenem Kollektor mit 30 V/20 mA	+
FLL 121 T, FLL 125 T, BCD-7-Segment-Dekoder und Treiber mit offenem Kollektorausgang 15 V/20 mA	+

FLL 131, FLL 135, Zwei UND-Leistungstreiber für 30 V/160 mA und zwei NAND-Glieder mit je 2 Eingängen	+
FLL 141, FLL 145, Vier UND-Leistungstreiber für 30 V/80 mA	+
FLQ 101, 64-Bit-Schreib/Lese-Speicher	+
FLQ 111, 16-Bit-Schreib/Lese-Speicher	+
FLQ 121, 16-Bit-Schreib/Lese-Speicher	+
FLY 101, FLY 105, Zwei Erweiterungsglieder mit je vier Eingängen	134
FLY 111, FLY 115, 16-Bit-Datenselektor/Multiplexer	+
FLY 121, FLY 125, 8-Bit-Datenselektor/Multiplexer	+
FLY 131, FLY 135, Zweifach 4-Bit-Datenselektor/Multiplexer	+
FLY 141, FLY 145, 4-Bit-Binärdekoder/Demultiplexer	+
FLY 151, FLY 155, Zwei 2-Bit-Binärdekoder/Demultiplexer	+
FLY 161, FLY 165, Zwei 2-Bit-Binärdekoder/Demultiplexer mit offenem Kollektor	+
+ Typ im Datenbuch nicht näher beschrieben. Datenblätter auf Anfrage.	
Prüfschaltungen	136
2. ECL-Serie (Emitter coupled Logic)	156
Allgemeine Angaben	156
FYH 104, NOR/OR-Glied mit acht Eingängen	158
FYH 124, FYH 134, Zwei NOR/OR-Glieder mit je vier Eingängen	159
3. LSL-Serie (Langsame, Störsichere Logik)	160
Vorwort	160
Allgemeine Angaben	169
FZH 101, FZH 105, Vier NAND-Glieder mit je zwei Eingängen	172
FZH 111, FZH 115, Vier NAND-Glieder mit je zwei Eingängen und Basisanschluß Y	172
FZH 121, FZH 125, Zwei NAND-Glieder mit je fünf Eingängen	173
FZH 131, FZH 135, Zwei NAND-Glieder mit je fünf Eingängen und Basisanschluß Y	173
FZH 141, FZH 145, Zwei NAND-Leistungsglieder mit je fünf Eingängen	175
FZH 151, FZH 155, UND-ODER-Kombinationsglied	176
FZH 161, FZH 165, LSL-TTL-Pegelumsetzer	180
FZH 171, FZH 175, Zwei NAND-Glieder mit je 4 Eingängen und Erweiterungseingang	174
FZH 181, FZH 185, TTL-LSL-Pegelumsetzer	184
FZJ 101, FZJ 105, JK-Master-Slave Flipflop mit je zwei J- und K-Eingängen	186
FZJ 111, FZJ 115, JK-Master-Slave Flipflop mit Y-Anschlüssen	186
FZK 101, Monostabile LSL-Kippstufe mit Y-Anschluß	190
Prüfschaltungen zu LSL	194
Bauformzeichnungen für TTL-, ECL- und LSL-Serie	205
4. MOS-Serie (Metall-Oxid-Silizium)	208
Allgemeine Angaben	209
Bauformen für MOS-Gehäuse	212
FDN 141 A, Programmierbares dynamisches 256-Bit-Schieberegister mit 2 Takteingängen	214

FDN 151 A, Programmierbares dynamisches 256-Bit-Schieberegister mit 1 Takteingang	218
GDJ 156, Statisches 2×16-Bit-Schieberegister	222
GDN 116 A, Dynamischer 64-Bit-Akkumulator	224
GDQ 101, GDQ 106, Statischer 256-Bit-Schreib-Lese-Speicher	228
GDR 101, GDR 106, 2048-(2240-, 2304-)-Bit-Festwertspeicher	235
SAJ 131, SAJ 135, Statischer Frequenzteiler 1000:1	257
Analoge integrierte Halbleiterschaltungen	260
Qualitätsangaben für analoge integrierte Halbleiterschaltungen	261
Analoge integrierte Halbleiterschaltungen für Anwendungen im Entertainmentsektor	263
TAA 111, TAA 121, Dreistufige NF-Verstärker	264
TAA 131, TAA 141, Dreistufige NF-Verstärker	267
TAA 151, TAA 151 S, Dreistufige NF-Verstärker	270
TAA 420, Fünfstufiger NF-Verstärker	272
TAA 435, NF-Vor- und Treiberstufe	274
TAA 981, AM/FM-ZF-Verstärker	276
TAA 991, AM/FM-ZF-Verstärker	279
TAA 991 D, AM/FM-ZF-Verstärker	279
TBA 120, TBA 120 A, FM-ZF-Verstärker mit Demodulator	284
TBA 400, Regelbarer Breitbandverstärker	291
TBA 450, Stereodecoder	295
TBA 460, AM/FM-ZF- und NF-Verstärker	297
Analoge integrierte Halbleiterschaltungen für Anwendungen im Industriegesektor	303
Vorwort zu Operationsverstärkern	304
TAA 521, TAA 521 A, TAA 522, Operationsverstärker	308
TAA 721, TAA 722, Breitbandverstärker	313
TAA 761, Operationsverstärker	317
TAA 861, TAA 861 A, TAA 865, TAA 865 A, Operationsverstärker	321
TAA 862, TAA 862 F, Operationsverstärker	324
TBA 221, TBA 221 A, TBA 221 B, TBA 222, Operationsverstärker	332
Analoge integrierte Halbleiterschaltungen für Anwendungen in der Datenverarbeitung	335
SAS 101, SAS 111, Zweifach Kernspeicher	336
SAS 121, SAS 131, Zweifach Kernspeicher	337
SAS 141, SAS 151, Zweifach Kernspeicher	338

Hinweise zum Typenschlüssel für integrierte Halbleiterschaltungen

Die Typenkennzeichnung integrierter Halbleiterschaltungen setzt sich folgendermaßen zusammen:

Analog	T		AA 15	1	S
Digital	FL	H	10	5	
	Serienbez.	Funktion	Nummer	Temperatur	Variante

Die Serienbezeichnung für digitale Halbleiterschaltungen wird variiert: FL, FZ, GD, ...

Für digitale Einzeltypen gilt die Serienbezeichnung SA, SB, ... und für Typen, die analoge und digitale Signale verarbeiten, die Bezeichnung UA, UB, ...

Der Funktionsbuchstabe bedeutet:

H	Logische Verknüpfung	Q	Speichermatrix
J	Folgesteuerte Logik (statisch)	R	Festwertspeicher
K	Monostabile Schaltung	S	Leseverstärker mit digitalem Ausgang
L	Pegelumsetzer	Y	Verschiedene Schaltungen außerhalb
N	Folgesteuerte Logik (dynamisch)		H bis S

Die Seriennummer ist fortlaufend von 10 ... 99.

Bei analogen Halbleiterschaltungen sind der 2. und 3. Buchstabe in der Typenbezeichnung ein Teil der Seriennummer. Die Buchstaben werden variiert: AA, BA, ...

Die Variante gibt an, daß dieser Schaltkreis elektrisch oder mechanisch vom Original abweicht (z. B. TAA 151: $U_{\text{Batt}}=7\text{ V}$ und TAA 151 S: $U_{\text{Batt}}=12\text{ V}$).

Die Temperaturkennzahl gibt den Betriebstemperaturbereich an. Sie lautet:

Kennzahl Temperaturbereich

0	nicht festgelegt
1	0 bis 70 °C und größer
2	-55 bis 125 °C und größer
3	-10 bis 85 °C und größer
4	15 bis 55 °C und größer
5	-25 bis 70 °C und größer
6	-40 bis 85 °C und größer

Einbauhinweise

1. Plastik-Steckgehäuse

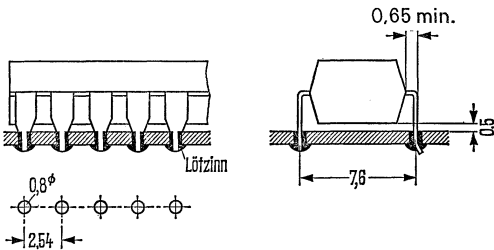
Plastik-Steckgehäuse werden auf der dem Gehäuse abgewandten Plattenseite verlötet.

Die Anschlußfahnen der Gehäuse sind um 90° nach unten abgebogen und passen in ein Lochraster von 7,6 × 2,54 mm. Lochkreisdurchmesser 0,7 bis 0,9 mm.

Der Gehäuseboden berührt nach dem Einsetzen nicht die Leiterplatte, weil kurz von dem Gehäuse die Anschlußfahnen breiter werden (siehe Bild).

Nach dem Einsetzen des Gehäuses in die Leiterplatte ist es vorteilhaft, zwei Anschlußenden in einem Winkel von ca. 30° zur Leiterplatte abzubiegen, während des Lötvorganges braucht dann das Gehäuse nicht auf die Leiterplatte gepreßt werden.

Die maximal zulässige Löttemperatur beträgt bei Handlötten 265 °C (max. 10 s) und bei Tauchlötten 240 °C (max. 4 s).



2. Flachgehäuse

a) Lötung auf der dem Gehäuse abgewandten Seite.

Die Anschlußdrähte werden um 90° nach unten gebogen und in die Bohrungen 0,6 bis 0,8 mm \varnothing der Leiterplatte eingesetzt. Das rechtwinklige Abkröpfen der Anschlußdrähte ist bis zu einem Abstand von 0,8 mm vom Gehäuse zulässig (Bild 1).

Die Lötung der Anschlußdrähte kann durch Tauch- oder Kolbenlötung erfolgen. Bei einer Badtemperatur von 250 °C darf die Lötzeit max. 5 s, bei 300 °C max. 2 s betragen.

Nach dem Einsetzen des Gehäuses in die Leiterplatte ist es vorteilhaft, zwei (oder auch alle) Anschlußenden in einem Winkel von ca. 30° zur Leiterplatte abzubiegen (Bild 1), das Gehäuse braucht dann nicht während des Lötvorganges an die Leiterplatte gepreßt werden. Das Kürzen zu langer Anschlußdrähte soll vor dem Lötten erfolgen.

b) Bei Lötung auf der Plattenseite (Bild 2) braucht die Leiterplatte nicht durchbohrt sein. Die Verbindung mit den Leiterbahnen kann durch Kolbenlötung oder Schweißung erfolgen.

Die max. Lötzeiten, bei einem Lötabstand von $l \geq 1,5$ mm, betragen bei einer Kolbentemperatur von 250 °C $t_{\max} \leq 15$ s, 300 °C $t_{\max} \leq 12$ s, und 350 °C $t_{\max} \leq 7$ s

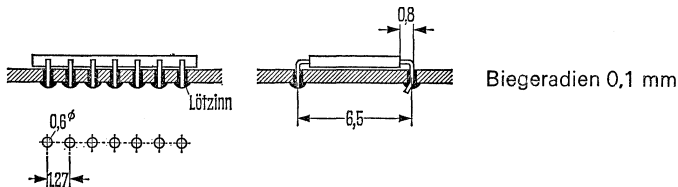


Bild 1

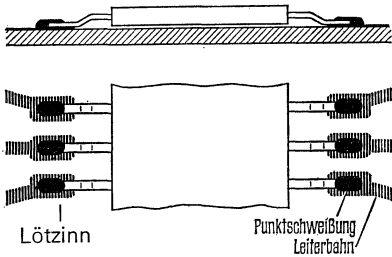


Bild 2

3. DIN-Gehäuse 5C8 und ähnliche Gehäuse mit 8, 10 und 12 ausgeführten Anschlußenden

Die Einbaulage des Gehäuses ist beliebig. Die Anschlußenden dürfen bis zu einem Abstand von 1,5 mm vom Gehäuseboden abgekröpft, und entsprechend dem Lochraster, 0,5 bis 0,6 mm \varnothing , um 90° nach unten abgebogen werden.

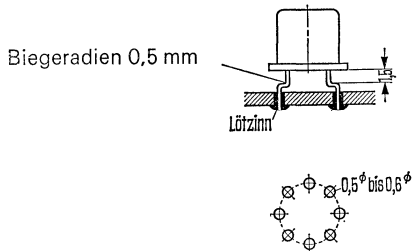
Zu lange Anschlußenden sollen vor dem Löten gekürzt werden.

Die Lötung kann durch Kolben- oder Tauchlötung erfolgen.

Die max. Lötzeiten betragen bei Tauchlötung mit 250 °C Badtemperatur $t_{\max} \leq 5$ s
 mit 300 °C Badtemperatur $t_{\max} \leq 4$ s
 und bei Kolbenlötung mit 250 °C Kolbentemperatur $t_{\max} \leq 15$ s
 mit 300 °C Kolbentemperatur $t_{\max} \leq 12$ s
 mit 350 °C Kolbentemperatur $t_{\max} \leq 8$ s (gilt nicht für MOS-Bauteile)

Bei **MOS-Bauteilen** ist darauf zu achten, daß zwischen Lötband bzw. LötKolben und Platine keine Ströme fließen können. Es wird daher empfohlen, die zu lötenden Anschlüsse und das Lötbad bzw. den LötKolben an Masse zu legen.

Beim Vorbereiten und Einsetzen in die Platine sollen die MOS-Schaltungen vor statischer Aufladung geschützt werden. Auf keinen Fall dürfen die MOS-Bauteile bei eingeschalteter Betriebsspannung aus der Schaltung entnommen werden bzw. in die Schaltung eingefügt werden.



Alphabetische Zusammenstellung der verwendeten Symbole

B	Stromverstärkung
B	Bandbreite
F	Rauschmaß in dB
F_a	Ausgangsfächer
F_{a0}	Ausgangsfächer, log. 0 – Zustand
F_{a1}	Ausgangsfächer, log. 1 – Zustand
F_e	Eingangsfächer
F_{erw}	Eingangsfächer der Erweiterungseingänge
f_G	Grenzfrequenz
f_o	obere Grenzfrequenz
f_u	untere Grenzfrequenz
f_z	maximale Zählfrequenz
G	Gleichtaktunterdrückung
I_{a0}	Ausgangsstrom, log. 0 – Zustand
I_{a1}	Ausgangsstrom, log. 1 – Zustand
I_{ag}	Ausgangsstrom bei gesperrtem Ausgangstransistor
I_{aK}	Kurzschlußausgangsstrom
I_{al}	Ausgangsstrom bei leitendem Ausgangstransistor
$I_{Batt 0}$	Stromaufnahme, log. 0 – Zustand
$I_{Batt 1}$	Stromaufnahme, log. 1 – Zustand
$I_{Batt g}$	Stromaufnahme bei gesperrtem Ausgangstransistor
$I_{Batt l}$	Stromaufnahme bei leitendem Ausgangstransistor
I_e	Eingangsstrom
I_{e0}	Eingangsstrom, log. 0 – Zustand
I_{EOS}	Eingangsnullstrom
I_{e1}	Eingangsstrom, log. 1 – Zustand
I_e, I_F, I_{EF}	Eingangsstrom in dem Erweiterungseingang
I_{ges}	Gesamtstromaufnahme
I_L	Laststrom
k	Klirrfaktor
k_g	Gesamtklirrfaktor
P	Leistungsverbrauch
P_a	Ausgangsleistung
P_D	Leerlaufleistungsverbrauch
P_{tot}	Gesamtverlustleistung
R_A	Kollektorarbeitswiderstand
R_e	Eingangswiderstand
R_G	Generatorwiderstand
R_L	Lastwiderstand
R_P	Abgleichwiderstand
R_{thSG}	Wärmewiderstand (System – Gehäuse)
R_{thSU}	Wärmewiderstand (System – Luft)
t_a	Ausgangsimpulsdauer
t_d	Impulsverzögerung
t_e	Eingangsimpulsdauer
t_f	Abfallzeit
T_G	Gehäusetemperatur
t_H	Haltezeit
T_j	Sperrschichttemperatur
t_n	Zeitpunkt vor dem Taktimpuls

t_{n+1}	Zeitpunkt nach dem Taktimpuls
t_p	Paarlaufzeit
t_{pd}	mittlere Verzögerungszeit
t_{pd0}	Ausschaltverzögerungszeit
$t_{pdOR,S}$	Ausschaltverzögerungszeit (Stell-Rückstelleingang)
t_{pd0T}	Ausschaltverzögerungszeit (Takteingang)
t_{pd1}	Einschaltverzögerungszeit
$t_{pd1R,S}$	Einschaltverzögerungszeit (Stell-Rückstelleingang)
t_{pd1T}	Einschaltverzögerungszeit (Takteingang)
$t_{pdR,S}$	mittlere Verzögerungszeit (Stell-Rückstelleingang)
t_{pdT}	mittlere Verzögerungszeit (Takteingang)
t_{pR}	Rückstellimpulsdauer
t_{pS}	Stellimpulsdauer
t_{pT}	Taktimpulsdauer
t_{pZ}	Zählimpulsdauer
t_r	Anstiegszeit
t_t	Totzeit
T_S	Lagertemperatur
T_U	Betriebstemperatur
t_V	Vorbereitungszeit
t_{V0}	Vorbereitungszeit, log. 0-Zustand
t_{V0l}	Vorbereitungszeit, log. 0-Zustand, Schiebetakt links
t_{V0r}	Vorbereitungszeit, log. 0-Zustand, Schiebetakt rechts
t_{V1}	Vorbereitungszeit, log. 1-Zustand
t_{V1l}	Vorbereitungszeit, log. 1-Zustand, Schiebetakt links
t_{V1r}	Vorbereitungszeit, log. 1-Zustand, Schiebetakt rechts
U_{a0}	Ausgangsspannung, log. 0-Zustand
$\overline{U_{a0}}$	Komplement zur Ausgangsspannung U_{a0}
U_{A0S}	Ausgangsnullspannung
U_{a1}	Ausgangsspannung, log. 1-Zustand
$\overline{U_{a1}}$	Komplement zur Ausgangsspannung U_{a1}
$U_{a\text{eff}}$	maximale Ausgangsspannung
U_{AG}	Gleichtaktbereich bei kompensierter U_{EOS}
U_{al}	Ausgangsspannung bei leitendem Ausgangstransister
U_{ass}	maximale Ausgangsspannung
U_{Batt}	Betriebsspannung
U_{BE}	Basis-Emitter-Spannung
U_{DE}	Differenz-Eingangsspannung
U_E	Eingangsspannung
U_{e0}	Eingangsspannung, log. 0-Zustand
U_{EOS}	Eingangsnullspannung
U_{e1}	Eingangsspannung, log. 1-Zustand
U_{eG}	Eingangsgleichtaktspannung
U_F	Funktionsbereich
U_R	Geräuschspannung
U_{ss}	statische Störsicherheit
V_U	Spannungsverstärkung
V_{UG}	Gleichstromspannungsverstärkung
Z_a	Ausgangsimpedanz
Z_e	Eingangsimpedanz
α_E	Temperaturkoeffizient der U_{EOS}
α_I	Temperaturkoeffizient der I_{EOS}

Vergleichstabelle

Typen-Nr.	Hersteller	Siemens -Typ	Typen-Nr.	Hersteller	Siemens -Typ
Digitale integrierte Halbleiterschaltungen			SN 7451 N	TI	FLH 161
SN 4929 N	TI	FLH 251	SN 7453 N	TI	FLH 171
SN 4930 N	TI	FLH 321	SN 7454 N	TI	FLH 181
SN 4931 N	TI	FLH 331	SN 7460 N	TI	FLY 101
SN 4932 N	TI	FLJ 481	SN 7470 N	TI	FLJ 101
SN 4934 N	TI	FLH 461	SN 7472 N	TI	FLJ 111
SN 4935 N	TI	FLH 471	SN 7473 N	TI	FLJ 121
SN 49700 N	TI	FLL 131	SN 7474 N	TI	FLJ 141
SN 49701 N	TI	FLL 141	SN 7475 N	TI	FLJ 151
SN 49702 N	TI	FLJ 491	SN 7476 N	TI	FLJ 131
SN 7400 N	TI	FLH 101	SN 7480 N	TI	FLH 221
SN 7401 N	TI	FLH 201	SN 7481 N	TI	FLO 111
SN 7401 NS1	TI	FLH 201 S	SN 7482 N	TI	FLH 231
SN 7401 NS3	TI	FLH 201 T	SN 7483 N	TI	FLH 241
SN 7402 N	TI	FLH 191	SN 7484 N	TI	FLO 121
SN 7402 NS1	TI	FLH 191 S	SN 7485 N	TI	FLH 431
SN 7403 N	TI	FLH 291	SN 7486 N	TI	FLH 341
SN 7403 NS1	TI	FLH 291 S	SN 74 H 87 N	TI	FLH 441
SN 7403 NS3	TI	FLH 291 T	SN 7489 N	TI	FLO 101
SN 7404 N	TI	FLH 211	SN 7490 N	TI	FLJ 161
SN 7405 N	TI	FLH 271	SN 7490 NS1	TI	FLJ 161 S
SN 7405 NS1	TI	FLH 271 S	SN 7491 AN	TI	FLJ 221
SN 7405 NS3	TI	FLH 271 T	SN 7492 N	TI	FLJ 171
SN 7406 N	TI	FLH 481	SN 7493 N	TI	FLJ 181
SN 7407 N	TI	FLH 491	SN 7494 N	TI	FLJ 231
SN 7408 N	TI	FLH 381	SN 7495 N	TI	FLJ 191
SN 7409 N	TI	FLH 391	SN 7496 N	TI	FLJ 261
SN 7410 N	TI	FLH 111	SN 7497 N	TI	FLJ 331
SN 7412 N	TI	FLH 501			
SN 7413 N	TI	FLH 351	SN 74100 N	TI	FLJ 301
SN 7416 N	TI	FLH 481 T	SN 74104 N	TI	FLJ 281
SN 7417 N	TI	FLH 491 T	SN 74105 N	TI	FLJ 291
SN 7420 N	TI	FLH 121	SN 74107 N	TI	FLJ 271
SN 7423 N	TI	FLH 511	SN 74110 N	TI	FLJ 341
SN 7425 N	TI	FLH 521	SN 74111 N	TI	FLJ 351
SN 7426 N	TI	FLH 291 U	SN 74118 N	TI	FLJ 361
SN 7430 N	TI	FLH 131	SN 74119 N	TI	FLJ 371
SN 7437 N	TI	FLH 531	SN 74121 N	TI	FLK 101
SN 7438 N	TI	FLH 541	SN 74122 N	TI	FLK 111
SN 7440 N	TI	FLH 141	SN 74123 N	TI	FLK 121
(SN 7441 AN)	TI	(FLL 101)	SN 74141 N	TI	FLL 101
SN 7442 N	TI	FLH 281	SN 74145 N	TI	FLL 111 T
SN 7443 N	TI	FLH 361	SN 74150 N	TI	FLY 111
SN 7444 N	TI	FLH 371	SN 74151 N	TI	FLY 121
SN 7445 N	TI	FLL 111	SN 74153 N	TI	FLY 131
SN 7446 N	TI	FLL 121	SN 74154 N	TI	FLY 141
SN 7447 N	TI	FLL 121 T	SN 74155 N	TI	FLY 151
SN 7448 N	TI	FLH 551	SN 74156 N	TI	FLY 161
SN 7450 N	TI	FLH 151	SN 74160 N	TI	FLJ 401

Vergleichstabelle

Typen-Nr.	Hersteller	Siemens -Typ	Typen-Nr.	Hersteller	Siemens -Typ
SN 74161 N	TI	FLJ 411	FJJ 231	Ph	FLJ 191
SN 74162 N	TI	FLJ 421	FJJ 251	Ph	FLJ 171
SN 74163 N	TI	FLJ 431	FJL 101	Ph	FLL 101
SN 74164 N	TI	FLJ 441	FJY 101	Ph	FLY 101
SN 74165 N	TI	FLJ 451	TT μ L 9000	FSC	(FLJ 101)
SN 74166 N	TI	FLJ 461	TT μ L 9001	FSC	(FLJ 111)
SN 74167 N	TI	FLJ 471	TT μ L 9002	FSC	FLH 101
SN 74180 N	TI	FLH 421	TT μ L 9003	FSC	FLH 111
SN 74181 N	TI	FLH 401	TT μ L 9004	FSC	FLH 121
SN 74182 N	TI	FLH 411	TT μ L 9005	FSC	FLH 151
SN 74 H 183 N	TI	FLH 451	TT μ L 9006	FSC	FLY 101
SN 74190 N	TI	FLJ 201	TT μ L 9007	FSC	(FLH 131)
SN 74191 N	TI	FLJ 211	TT μ L 9008	FSC	(FLH 171)
SN 74192 N	TI	FLJ 241	TT μ L 9009	FSC	FLH 141
SN 74193 N	TI	FLJ 251	DM 8200 N	NSC	FLH 311
SN 74196 N	TI	FLJ 381	DM 8560 N	NSC	FLJ 241
SN 74197 N	TI	FLJ 391	DM 8563 N	NSC	FLJ 251
SN 74198 N	TI	FLJ 311			
SN 74199 N	TI	FLJ 321			

Die Serie SN 8400 N entspricht der Siemens-Serie FL 105.
Die gewünschten Typenbezeichnungen lassen sich von der Serie SN 7400 N ableiten, z. B. SN 8401 N = FLH 205 usw.

FJH 101	Ph	FLH 131
FJH 111	Ph	FLH 121
FJH 121	Ph	FLH 111
FJH 131	Ph	FLH 101
FJH 141	Ph	FLH 141
FJH 151	Ph	FLH 151
FJH 161	Ph	FLH 161
FJH 171	Ph	FLH 171
FJH 181	Ph	FLH 181
FJH 191	Ph	FLH 221
FJH 201	Ph	FLH 231
FJH 211	Ph	FLH 241
FJH 221	Ph	FLH 191
FJH 231	Ph	FLH 201
FJH 241	Ph	FLH 211
FJH 251	Ph	FLH 271
FJJ 101	Ph	FLJ 101
FJJ 111	Ph	FLJ 111
FJJ 121	Ph	FLJ 121
FJJ 131	Ph	FLJ 141
FJJ 141	Ph	FLJ 161
FJJ 181	Ph	FLJ 151
FJJ 191	Ph	FLJ 131
FJJ 211	Ph	FLJ 181

MOS-Schaltungen

MEM 1000	GI	GDH 146
MEM 1002	GI	GDH 116
MEM 1008	GI	GDH 136
MEM 1013	GI	GDH 126
MEM 1014	GI	GDH 106
MEM 1015	GI	GDJ 106
MEM 1055	GI	GDJ 116
MEM 2048	GI	GDR 106
MEM 3005 PP	GI	GDJ 126
MEM 3008 PS	GI	GDJ 136
MEM 3012 SP	GI	GDJ 146
MEM 3016-2	GI	GDJ 156
MEM 3021	GI	GDJ 186
MEM 3032	GI	GDJ 166
MEM 3064 S	GI	GDJ 176
MEM 3064 B	GI	GDN 116
MEM 3100 A	GI	GDN 106
MEM 3128	GI	GDN 126
RA-6-4803	GI	GEJ 102
SS-6-8212	GI	GEJ 112
EA 1204	GI	FDN 141 A
pL 5 R 256		
EA 1205	GI	FDN 151 A
pL 5 R 256		
1101, 11011	GI	GDQ 101
RO-1-2048	GI	GDR 101-1000
RO-1-2240	GI	GDR 101-2000
EA-3001	GI	GDR 101-3000

Vergleichstabelle

Typen-Nr.	Hersteller	Siemens -Typ	Typen-Nr.	Hersteller	Siemens -Typ
Analoge integrierte Halbleiterschaltungen					
MC 1709 CG	Mot	TAA 521	TAA 380	Ph	(TBA 120)
MC 1709 CL	Mot	TAA 521 A	TAA 450	Ph	(TBA 120)
MC 1709 G	Mot	TAA 522	TAA 570	Ph	(TBA 120)
MC 1741 CG	Mot	TBA 221	TAA 640	Ph	(TBA 120)
MC 1741 G	Mot	TBA 222	TAA 661	SGS	(TBA 120)
OM 200	V	TAA 131	TAA 710	ITT	(TBA 120)
SN 5510 L	TI	TAA 722	TOA 2709 V	TEC	TAA 521
SN 7510 L	TI	TAA 721	TOA 2709 P	TEC	TAA 521 A
SN 72709 L	TI	TAA 521	TOA 1709 V	TEC	TAA 522
SN 72709 N	TI	TAA 521 A	TOA 2741 V	TEC	TBA 221
SN 52709 L	TI	TAA 522	TOA 1741 V	TEC	TBA 222
SN 72741 L	TI	TBA 221			
SN 52741 L	TI	TBA 222	μ A 709	FSC	TAA 522
TAA 263	V	TAA 141	μ A 709 C	FSC	TAA 521
TAA 293	V	TAA 151	μ A 741	FSC	TBA 222
			μ A 741 C	FSC	TBA 221

Digitale integrierte Halbleiterschaltungen

Allgemeine Angaben zu integrierten Halbleiterschaltungen

I. Logische Daten und Symbole

I.1 Logikpegel

Für die Familien FL, FZ und FY 100 wird die positive Logik verwendet, d. h. daß log.1 der positiveren der beiden vorhandenen Spannungen und log.0 der negativeren Spannung entsprechen soll. Die negative Logik wird für die MOS-Halbleiterschaltungen (Serie GD und GE 100) verwendet.

Definition:

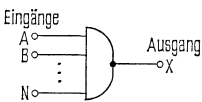
positive Logik $\left\{ \begin{array}{l} \text{log. 1} \triangleq \text{positiver Spannungspegel} \\ \text{log. 0} \triangleq \text{Null-Spannungspegel (Masse)} \end{array} \right.$

negative Logik $\left\{ \begin{array}{l} \text{log. 1} \triangleq \text{negativer Spannungspegel} \\ \text{log. 0} \triangleq \text{Null-Spannungspegel (Masse)} \end{array} \right.$

Bei der positiven Logik ist der log.1-Pegel im allgemeinen definiert als ein Minimalwert, der geliefert werden muß, um den log.1-Zustand sicherzustellen und der log.0-Pegel ein Maximalwert, bei dem der log.0-Zustand noch gewährleistet ist.

I.2 Schaltgliedersymbole

I.2.1 NAND-Schaltglied



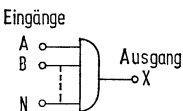
Funktionstabelle für ein NAND-Glied mit zwei Eingängen (z. B. eines der vier NAND-Glieder aus FLH 101)

Eingänge		Ausgang
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

Logische Funktion: $X = \overline{A \wedge B \wedge \dots \wedge N}$

Definition: Das Ausgangssignal ist nur dann log.0, wenn A und B und . . . und N log.1 sind.

I.2.2 UND-Schaltglied



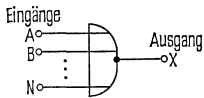
Funktionstabelle für ein UND-Glied mit zwei Eingängen (z. B. eines der vier UND-Glieder aus FLH 381)

Eingänge		Ausgang
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

Logische Funktion: $X = A \wedge B \wedge \dots \wedge N$

Definition: Das Ausgangssignal ist nur dann log.1, wenn A und B und . . . und N log.1 sind.

1.2.3 NOR-Schaltglied



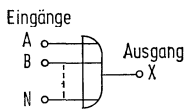
Funktionstabelle für ein NOR-Glied mit zwei Eingängen (z. B. eines der vier NOR-Glieder aus FLH 191)

Eingänge		Ausgang
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

Logische Funktion: $X = \overline{A \vee B \vee \dots \vee N}$

Definition: Das Ausgangssignal ist nur dann log. 1, wenn A und B und . . . und N log. 0 sind.

1.2.4 ODER-Schaltglied



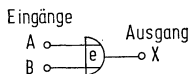
Funktionstabelle für ein ODER-Glied mit zwei Eingängen

Eingänge		Ausgang
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

Logische Funktion: $X = A \vee B \vee \dots \vee N$

Definition: Das Ausgangssignal ist nur dann log. 0, wenn A und B und . . . und N log. 0 sind.

1.2.5 Exklusiv-ODER-Schaltglied



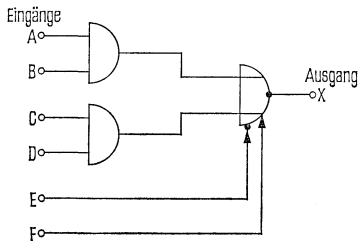
Funktionstabelle für ein Exklusiv-ODER-Glied mit zwei Eingängen (z. B. eines der vier Glieder aus FLH 341).

Eingänge		Ausgang
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

Logische Funktion: $X = (A \wedge \overline{B}) \vee (\overline{A} \wedge B)$

Definition: Das Ausgangssignal ist nur dann log. 1, wenn entweder nur A oder nur B log. 1 ist.

I.2.6 Invertierendes UND/ODER-Schaltglied



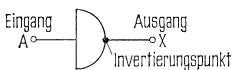
E und F sind Erweiterungseingänge. Mit einem Erweiterungsglied, das an E und F angeschlossen wird, können zusätzlich UND/ODER-Funktionen verwirklicht werden.

Logische Funktion: $X = \overline{(A \wedge B) \vee (C \wedge D) \vee \text{Erweiterung}}$

Funktionstabelle für ein invertierendes UND/ODER-Glied mit je 2×2 Eingängen (z. B. eines der zwei UND-ODER-Glieder aus FLH 151)

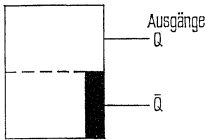
Eingänge				Ausgang
A	B	C	D	X
0	0	0	0	1
1	0	0	0	1
0	1	0	0	1
1	1	0	0	0
0	0	1	0	1
1	0	1	0	1
0	1	1	0	1
1	1	1	0	0
0	0	0	1	1
1	0	0	1	1
0	1	0	1	1
1	1	0	1	0
0	0	1	1	0
1	0	1	1	0
0	1	1	1	0
1	1	1	1	0

I.2.7 Inverter

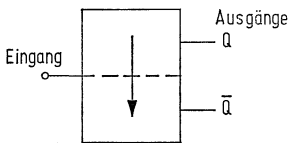


Logische Funktion: $X = \overline{A}$

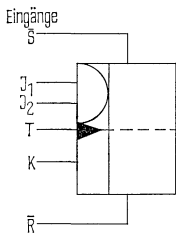
I.3 Symbole für Kippschaltungen mit Speicherverhalten



Bistabile Kippstufe (Flipflop) mit definiertem Ausgangszustand (komplementäre Ausgänge)

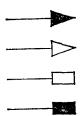


Monostabile Kippstufe (Monoflop) mit Eingang, der beiden Feldern zugeordnet ist. Der Pfeil zeigt in das Feld, dessen Ausgang in der stabilen Lage den Zustand log.1 hat.



J_1 , J_2 und K sind Informationseingänge
 J_1 und J_2 sind UND-verknüpft
 J - und K -Eingänge werden vom T -Eingang (Takt) gesteuert
 \bar{S} und \bar{R} sind direkt wirkende Eingänge (Setzen, Rücksetzen)

Kennzeichnung der dynamischen Eingänge



Wirkung am Ausgang bei Übergang des Eingangssignals von log.1 auf log.0
 Wirkung am Ausgang bei Übergang des Eingangssignals von log.0 auf log.1
 Wirkung des Eingangssignals während log.1
 Wirkung des Eingangssignals während log.0

I.4 Einteilung der Flipflops nach ihrer logischen Funktion

I.4.1 D-Flipflop (Delay-Flipflop)

Das D-Flipflop hat einen mit D bezeichneten Eingang, dessen Zustand in die Klippstufe übernommen wird. Es wird durch einen Taktimpuls gesteuert und speichert die während eines Taktimpulses aufgenommene Information bis zum nächsten Taktimpuls, wo es sich erneut nach seinem Eingang einstellt.

I.4.2 JK-Flipflop

Das JK-Flipflop hat mit J und K bezeichnete Vorbereitungseingänge, die mit Hilfe des Taktes die Ausgangslage Q bestimmen.

Bei $J=0$ und $K=0$ bleibt Ausgang Q in seiner ursprünglichen Lage. Ist die Eingangssituation $J=1$ und $K=1$, schaltet das Flipflop jeweils in den anderen logischen Zustand. (Funktion des binären Teilers.) Bei $J=0$ und $K=1$ schaltet Q definiert auf 0, umgekehrt schaltet bei $J=1$ und $K=0$ Ausgang Q auf 1.

Die im FL-100-Programm enthaltenen JK-Master-Slave-Flipflop haben noch zusätzliche \bar{R} - und \bar{S} -Eingänge, mit denen die Flipflop taktunabhängig betrieben werden können. Damit wurde die Möglichkeit einer Voreinstellbarkeit der Ausgänge geschaffen. \bar{R} und \bar{S} deuten an, daß die Flipflop mit 0-Potential gesetzt oder rückgesetzt werden.

In nachfolgender Tabelle ist die Funktion der verschiedenen Flipflop-Typen nochmals zusammengefaßt:

I.4.3 Funktionstabelle für Flipflop

Eingänge		Ausgang Q	
D oder J	K	D-Flipflop	JK-Flipflop
0	0	0	Q_n
0	1		0
1	0	1	1
1	1		\bar{Q}_n
t_n		t_{n+1}	

Funktionstabelle für die \bar{R} - und \bar{S} -Eingänge der Flipflop

\bar{R}	\bar{S}	Q	\bar{Q}
0	1	0	1
1	0	1	0
0	0	undefiniert	
1	1	Q_n	\bar{Q}_n

t_n = Zeitpunkt vor dem Taktimpuls

t_{n+1} = Zeitpunkt nach dem Taktimpuls

II. Allgemeine Angaben zur Qualität digitaler Halbleiterschaltungen

1 Um die Qualität bei Halbleiterschaltungen unserer TTL-, LSL-, ECL-Serien zu kennzeichnen wird folgendes angegeben:

1.1 Grenzwerte sowie obere und untere Streuwerte der Kenngrößen.

1.2 Maximale Anteile fehlerhafter Bauelemente, sogenannte AQL-Werte (annehmbare Qualitätslage), für die unter 1,1 genannten Werte. Den AQL-Angaben liegt eine beim Hersteller durchgeführte Ausgangskontrolle nach Stichprobenplan ABC STD 105D, Inspektionsniveau II zugrunde (siehe auch Punkt 4 dieses Abschnittes).

2 Fehler

Ein Fehler liegt vor, wenn ein Bauelementemerkmal nicht den Datenblattangaben entspricht. Die Fehler werden entweder nach Art oder nach Ausmaß eingeteilt:

2.1 Einteilung nach Art der Fehler

- A. Fehler an Gehäusen und Zuleitungen (mechanische Fehler).
- B. Fehler in elektrischen Eigenschaften.

2.2 Einteilung nach Ausmaß der Fehler

- A. Kritische Fehler: Fehler, die eine funktionsmäßige Verwendung ausschließen.
- B. Graduelle Fehler: Fehler, die eine funktionsmäßige Verwendung noch bedingt zulassen.

3 Die für die verschiedenen Fehler gültigen AQL-Werte sind in der unten angegebenen Tabelle aufgeführt.

Fehler	AQL-Werte in % für Serie			Bemerkung
	TTL	LSL	ECL	
3.1 Mechanische Fehler	0,65	0,65	0,65	1
A. Kritische Fehler	0,25	0,25	0,25	1
B. Graduelle Fehler	0,65	0,65	0,65	1
3.2 Elektrische Fehler	1,0			1
3.2.1 Statische Parameter nach Datenblatt im Betriebs-temperaturbereich	0,65	1,0	0,65	1, 4
A. Kritische Fehler	0,15	0,15	0,25	1, 2
B. Graduelle Fehler	0,65	1,0	0,65	1
3.2.2 Schaltzeiten bei 25 °C	1,0	1,5	0,65	3

- Bemerkung:
- 1 Summen-AQL = Fehlersumme sämtlicher Parameter.
 - 2 AQL = 0,15 nur für Gatter und Flipflop; sonst AQL = 0,25.
 - 3 für TTL und LSL gilt Einzel-AQL = Fehler eines einzelnen Parameters, für ECL gilt Summen-AQL.
 - 4 für LSL und ECL bei 25 °C.

4 Eingangskontrolle

Die vom Hersteller durchgeführten Kontrollen sollen kostspielige Eingangstests beim Anwender unnötig machen. Will der Anwender dennoch eine Eingangskontrolle vornehmen, so wird die Verwendung eines Stichprobenplanes nach ABC STD 105D empfohlen.

Vorwort zur TTL-Serie FL 100

I. Beschreibung der statischen Daten

I.1 Grenzdaten

Die in den Datenblättern angegebenen Grenzdaten sind absolute Grenzwerte, die eingehalten werden müssen. Wird einer dieser Grenzwerte überschritten, so kann dies zur Zerstörung der integrierten Halbleiterschaltung führen.
Grenzdaten gelten, wenn nicht anders angegeben, bei 25 °C.

I.2 Kenndaten

Unter den typischen Kenndaten werden Mittelwerte angegeben, die sich aus der statistischen Auswertung eines längeren Fertigungsabschnittes ergeben. Diese Mittelwerte gelten bei $T_U=25\text{ °C}$ und empfohlener Batteriespannung U_{Batt} . Sie sind meistens durch Angabe eines garantierten Streubereichs ergänzt. Der Streubereich wird unter den ungünstigsten Betriebsbedingungen (worst-case) angegeben.

Es ist weiter zu beachten, daß die logischen Pegel U_0 und U_1 jeweils auf den Eingang bzw. Ausgang bezogen sind.

I.3 Charakteristische Kennlinien

Sie geben Aufschluß über das typische Betriebsverhalten eines Schaltgliedes.

Nachfolgend sind die wichtigsten charakteristischen Kennlinien für typische TTL-Schaltglieder der Serie FL 100 aufgeführt.

I.3.1 Übertragungskennlinie

Die Übertragungskennlinie eines Schaltgliedes gibt den Zusammenhang zwischen Eingangs- und Ausgangsspannung an.

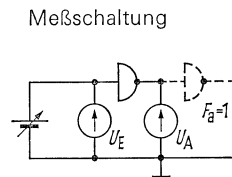
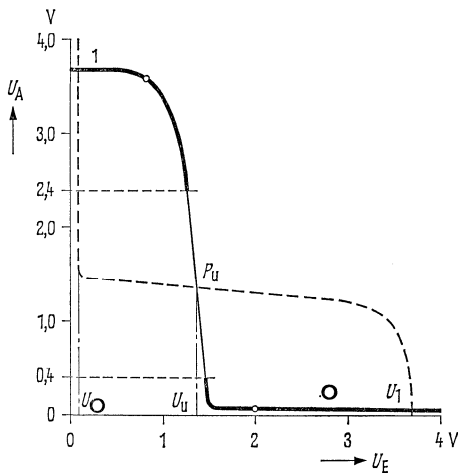


Bild 1 Übertragungskennlinie eines NAND-Gliedes $U_a = f(U_e)$ bei $U_{\text{Batt}} = 5\text{ V}$

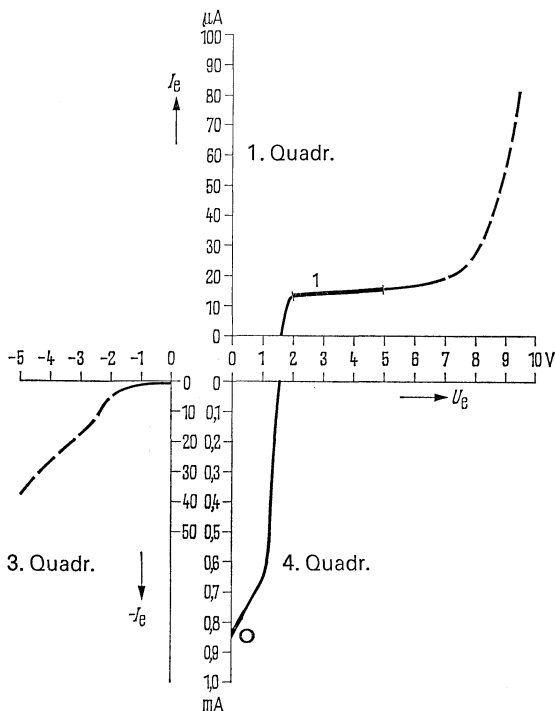
Die Übertragungskennlinie hängt von der Belastung ab, die bei TTL maximal 10 pro Ausgang sein darf. Alle negierenden Schaltglieder (NAND- und NOR-Glieder) zeigen einen qualitativ ähnlichen Verlauf. Die nicht gemessenen Eingänge müssen bei NAND-Schaltgliedern auf 1-Potential oder offen sein und bei NOR-Schaltgliedern auf 0-Potential liegen.

Ideal ist eine möglichst rechteckige Form der Übertragungskennlinie, da dann ein genauer Umschaltswellwert der Eingangsspannung gegeben ist. Der Umschaltspunkt $P_U (U_U)$, bei dem die Eingangsspannung U_e gleich der Ausgangsspannung U_a ist, ergibt sich graphisch im Schnittpunkt der Übertragungskennlinie mit der Winkelhalbierenden $U_e = U_a$.

Aus der Übertragungskennlinie lassen sich auch die Werte der typischen Logikpegel und des statischen Störabstandes entnehmen.

1.3.2 Eingangskennlinie

Sie gibt den Zusammenhang zwischen Eingangsstrom und Eingangsspannung an.



Meßschaltung

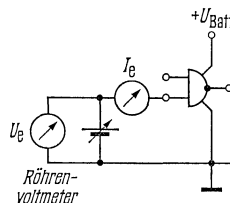


Bild 2 Eingangskennlinie eines Schaltglieder-Einganges $I_e = f(U_e)$ bei $U_{Batt} = 5 V$.

Bild 2 zeigt die typische Eingangskennlinie eines Schaltgliedereinganges bei Raumtemperatur. Entsprechend den 3 Quadranten, in dem die Kennlinie verläuft, sind 3 Bereiche zu unterscheiden. Der Bereich log. 1 liegt im 1. Quadranten und kennzeichnet den Sperrzustand des Eingangstransistors. Der Durchbruch der Basis-Emitter-Strecke erfolgt bei einer typischen Spannung von 8 bis 9 V. Daher ist die maximal zulässige Eingangsspannung auf $U_E = +5,5$ V begrenzt. Dies gilt sowohl absolut als auch zwischen 2 Eingangsemittern desselben Schaltgliedes.

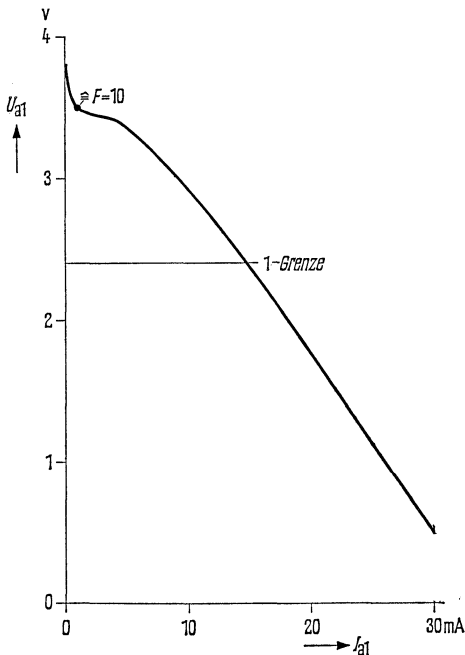
Der Eingangsstrom fließt in den Eingang hinein (Sperrstrom).

Bei einem Schwellwert von $U_e \approx 1,5$ V wird der Eingangstransistor leitend, und der Eingangsstrom fließt jetzt aus dem Schaltglied heraus. Dies entspricht dem Durchlaßbereich des Transistors (4. Quadrant). Bei negativen Eingangsspannungen wird die Substratdiode leitend, und der Eingangsstrom nimmt stark zu (3. Quadrant). Damit die zulässige Gesamtverlustleistung des Schaltgliedes (ca. 0,5 W pro Gehäuse) nicht überschritten wird, sind Eingangsgleichspannungen $-U_e > 0,5$ V und Eingangsströme $-I_e > 25$ mA nicht zulässig.

Die Eingangskennlinie ist von der Ausgangsbelastung unabhängig, da Schaltglieder rückwirkungs-frei sind.

1.3.3 Ausgangskennlinie

Da der Ausgangszustand eines Schaltgliedes vom Eingang festgelegt wird, gibt es zwei Ausgangskennlinien. Bild 3 zeigt die Kennlinie für den log. 1 und Bild 4 für den log. 0-Zustand. Beide Kennlinien sind abhängig von der Ausgangsbelastung F_a .



Meßschaltung

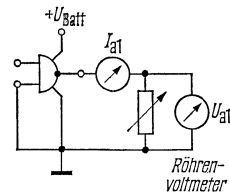
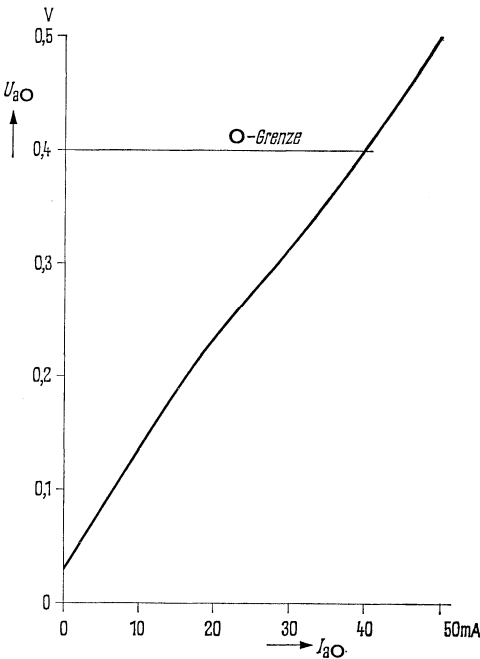


Bild 3 Ausgangskennlinien des log. 1-Zustandes eines Schaltgliedes $U_{a1} = f(I_{a1})$ bei $U_{Batt} = 5$ V

Bei Belastung eines Ausgangs mit systemeigenen TTL-Eingängen fließt nur der verhältnismäßig geringe Eingangsstrom dieser Schaltglieder. Er beträgt bei einer Ausgangsbelastung von $F_a=10$ maximal $400\ \mu\text{A}$. Das Ausgangspotential verringert sich dabei nur um $0,1\ \text{V}$.

Der Ausgangsstrom I_a fließt hier aus dem Schaltglied heraus.

Soll der TTL-Ausgang eine systemfremde Last wie z. B. einen npn-Treibertransistor ansteuern, so muß der Basisstrom entsprechend der Kurve Bild 3 dimensioniert werden. Ist eine höhere Stromentnahme erforderlich, so ist das Leistungsschaltglied FLH 141 zu verwenden.



Meßschaltung

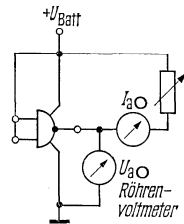


Bild 4 Ausgangskennlinie des log.-0-Zustandes eines Schaltgliedes. $U_{a0}=f(I_{a0})$ bei $U_{Batt}=5\ \text{V}$

Hier fließt der Strom in das Schaltglied hinein, so daß I_{a0} negativ wird.

Bei einem Strom von $16\ \text{mA}$ beträgt die garantierte Ausgangsspannung $U_{a0} \leq 0,4\ \text{V}$ (0-Grenze).

Aus der Eingangskennlinie, Bild 2, ist zu entnehmen, daß aus einem auf 0 liegenden Eingang ca. $1\ \text{mA}$ (typisch) Strom herausfließt. Dies ergibt bei $F_a=10$ ein $U_{a0}=0,2\ \text{V}$ typisch.

Ein TTL-Ausgang kann im Zustand log.0 betragsmäßig mehr Strom aufnehmen als er im Zustand log.1 liefert. Daher ist es bei größeren Strömen vorteilhafter einen npn-Transistor zu verwenden, da dann der Basisstrom maximal $16\ \text{mA}$ pro Ausgang betragen darf. Beim Leistungsgatter darf dann entsprechend der Basisstrom pro Ausgang maximal $48\ \text{mA}$ betragen.

I.4 Logische Daten

I.4.1 Eingangsfächer F_e

Der Eingangsfächer gibt an, wie viele verschiedene Informationseingänge ein logisches Element hat, d. h. am Beispiel eines Schaltgliedes, wie viele verschiedene logische Signale miteinander verknüpft werden können.

Der Eingangsfächer steht auch oft für die Eingangsbelastung eines Einganges. Dann bedeutet z. B. $F_e=2$ einen Eingangsstrom pro TTL-Eingang bei log. 0 von $I_{e0}=2 \cdot (-1,6 \text{ mA})=-3,2 \text{ mA}$ und bei log. 1 von $I_{e1}=2 \cdot 40 \mu\text{A}=80 \mu\text{A}$.

Eingangsbelastungen von $F_e=2$ und 3 kommen hauptsächlich bei Flipflop (\bar{R} -, \bar{S} - und T-Eingänge) und höher integrierten Bausteinen vor. Sie sind bei der Schaltungsauslegung besonders zu beachten.

I.4.2 Ausgangsfächer F_a

Der Ausgangsfächer gibt die Zahl der Eingänge an, die innerhalb einer Familie ein Ausgang speisen kann. Er gilt immer pro Ausgang, wenn mehrere Ausgänge vorhanden sind.

II. Beschreibung der dynamischen Daten

II.1 Schalt- und Verzögerungszeiten der Schaltglieder und Flipflop-Bausteine

Die Schalt- und Verzögerungszeiten der einzelnen Digitalbausteine bestimmen die maximale Arbeitsgeschwindigkeit einer Anlage. Kapazitive Belastung der Ausgänge oder große Leitungslängen erhöhen die Schaltzeiten und verringern somit auch die Geschwindigkeit.

Für die dynamische Störsicherheit ist die Flankensteilheit des Ausgangssignals entscheidend. Sie nimmt mit flacher werdender Flanke zu.

Die Einschaltverzögerungszeit t_{pd1} gibt die Impulsverzögerung zwischen Eingangs- und Ausgangsspannung an, wenn der Ausgang von log. 0 auf log. 1 geht. Entsprechendes gilt für die Ausschaltverzögerungszeit t_{pd0} , bei der der Ausgang von log. 1 auf log. 0 schaltet.

Die Messung der Verzögerungszeiten ist auf den Umschaltunkt 1,5 V bezogen. Der Umschaltunkt liegt im steilen Teil der Übertragungskennlinie (Bild 1) zwischen dem log. 1 und log. 0-Zustand. Die Anstiegszeit t_r bzw. Abfallzeit t_f der Impulsflanke wird zwischen dem 90%- und 10%-Punkten ermittelt (siehe hierzu auch Diagramme und Prüfschaltungen 22, 23, 29, 30 und 30 a).

Die mittlere Verzögerungszeit t_{pd} ist definiert durch

$$t_{pd} = \frac{t_{pd0} + t_{pd1}}{2}$$

Bei typischen Schaltgliedern der Serie FL 100 beträgt t_{pd} 10 ns. Sie gibt an, welche Durchlaufzeit bei einem Schaltglied im Mittel angesetzt werden kann.

II.2 Anstiegszeit und Einschaltverzögerungszeit

Bild 5 zeigt die ansteigende Flanke eines typischen Schaltgliedes. Der Kurve ist bei $F=1$ eine typische Anstiegszeit von 10 ns und eine typische Verzögerungszeit von 9 ns zu entnehmen. Bei $F=10$ ergeben sich Werte von typisch 21 ns bzw. 12 ns.

Für das Flipflop FLJ 111 wurden die typischen Einschaltkurven in Bild 6 zusammengestellt. Bei $F=1$ ergibt sich eine typische Anstiegszeit von 14 ns und eine typische Verzögerungszeit von 12 ns. Bei $F=10$ erhöhen sich die Werte auf typisch 22 ns bzw. 15 ns.

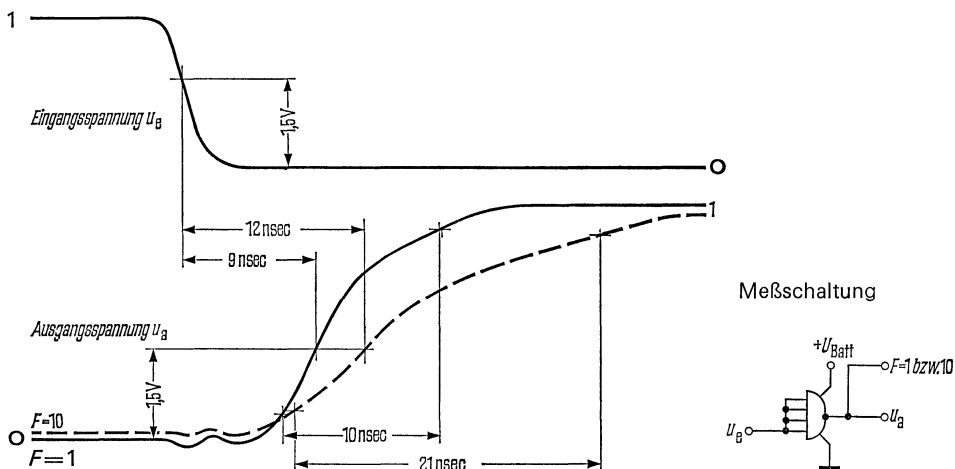


Bild 5 Verlauf des Einschaltvorganges mit Anstiegszeit und Einschaltverzögerungszeit, gemessen an einem typischen Schaltglied aus dem Baueinheit FLH 121.

FL 100

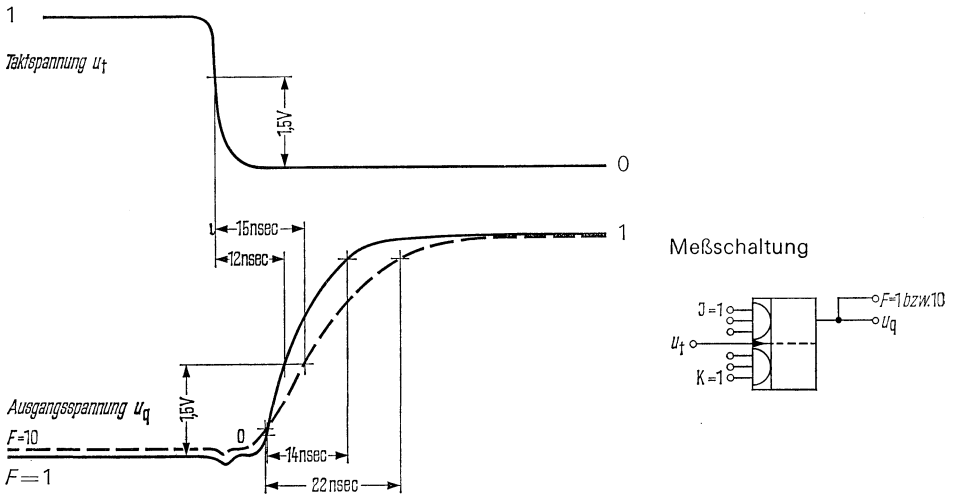


Bild 6 Verlauf des Einschaltvorganges mit Anstiegszeit und Einschaltverzögerungszeit, gemessen an einem typischen Flipflop-Baustein FLJ 111

11.3 Abfallzeit und Ausschaltverzögerungszeit

Der Abfall ist steiler als der Anstieg. Nach Bild 7 ergibt sich für ein typisches Schaltglied FLH 121 eine Abfallzeit von typisch 7 ns bei einer Belastung $F=1$ und von typisch 15 ns bei $F=10$.

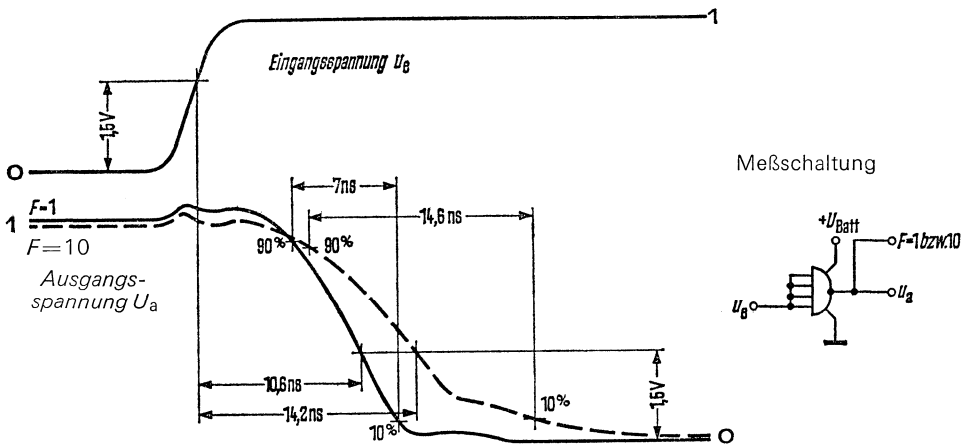


Bild 7 Verlauf des Ausschaltvorganges mit Abfallzeit und Ausschaltverzögerungszeit, gemessen an einem typischen Schaltglied aus dem Baustein FLH 121

Bild 8 zeigt die fallende Flanke am Ausgang Q eines typischen Flipflops FLJ 111 mit typischen Werten von 11 ns bei $F=1$ und 16 ns bei $F=10$. Aus den Bildern 7 und 8 sind auch die typischen Ausschaltverzögerungszeiten t_{pd0} zu entnehmen.

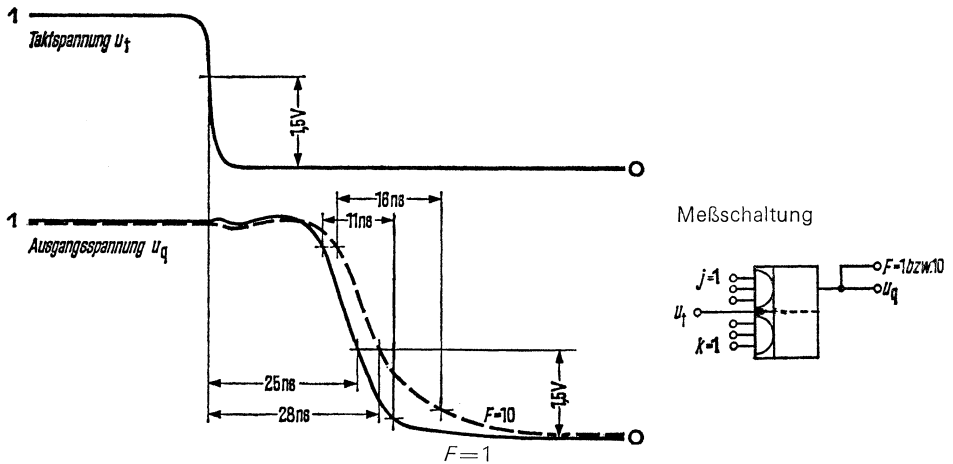


Bild 8 Verlauf des Ausschaltvorganges mit Abfallzeit und Ausschaltverzögerungszeit, gemessen an einem typischen Flipflop-Baustein FLJ 111

11.4 Fallzeit von 80% auf 20%

Um den steilsten Teil der fallenden Flanke (ohne die Abrundungen zu Beginn und am Ende) genauer zu erfassen, wird die Fallzeit t_f zwischen 80% und 20% definiert. Die Werte betragen bei einem typischen Schaltglied FLH 121 5 ns und bei einem typischen Flipflop FLJ 111 6 ns.

11.5 Paarlaufzeit

Die Paarlaufzeit t_p gibt die Signalverzögerung an, die zwei hintereinandergeschaltete Verknüpfungsglieder bewirken. Da jedes Schaltglied invertiert, entsteht am Ende der Kette ein verzögertes Signal, das mit der Eingangsspannung U_e phasengleich ist. Ein Vergleich dieses Signals mit dem ursprünglichen ergibt die Paarlaufzeit, die durch eine Einschaltverzögerung und eine Ausschaltverzögerung entsteht. Es gilt dann:

$$\text{Paarlaufzeit } t_p = t_{pd1} + t_{pd0} = 2 t_{pd}$$

Bei taktgesteuertem System ist die Laufzeit ein Maß für das Verhältnis Taktimpuls zu Taktpause.

11.6 Folgerungen aus den Meßergebnissen

Die Ein- und Ausschaltkurven der Bilder 5 bis 8 verlaufen annähernd exponentiell. Dies ist auf das Zusammenwirken der Ausgangswiderstände mit den nachfolgenden Eingangskapazitäten zurückzuführen. Jeder Schaltgliedereingang entspricht dabei einer Kapazität von ca. 4 pF. Bei einem Ausgangsfächer von $F_a=10$ ist dann die Belastung durch 10 parallele Eingangskapazitäten 40 pF. Dies erklärt auch die Abhängigkeit der Schaltzeiten vom Ausgangsfächer. Längere Leitungen stellen ebenfalls eine kapazitive Last dar. Da die Zeitkonstante des Anstiegs- bzw. Abfallvorganges ein Produkt des Ausgangswiderstandes und der Lastkapazität ist, ergibt sich

FL 100

auch, daß die Einschaltflanke infolge des höheren Ausgangswiderstandes ($R_{a1} \approx 100 \Omega$ gegenüber $R_{a0} \approx 15 \Omega$) flacher verläuft als die Ausschaltflanke.

Die Umladung der Belastungskapazitäten ist sowohl bei Auslegung der Stromversorgung zur Platine als auch beim Festlegen der Leiterbreiten der Batteriespannungs- und der Masseleitung auf der gedruckten Platine zu berücksichtigen, da sonst Spannungseinbrüche auftreten können.

Um Spannungseinbrüche auf den Zuleitungen der Platine zu vermeiden, ist es zu empfehlen, einen Tantal-Stützkondensator von $1 \mu\text{F}/35 \text{ V}$ pro 4 bis 12 Bausteine vorzusehen.

Für die Speiseleitungen selbst sollte eine minimale Breite von 3 mm für Europa-Karten vorgesehen werden.

Als sehr günstig erweist sich eine gitterförmige Erdpotentialvermaschung, da diese sehr induktionsarm ist.

III. Störsicherheit

III.1 Statische Störsicherheit

Die statische Störsicherheit charakterisiert das Verhalten eines Schaltgledes gegenüber Störungen, die länger als die mittlere Verzögerungszeit einwirken. Zu den statischen Störungen gehören auch Störimpulse, deren Flanken wesentlich langsamer sind als die Verzögerungszeit der Schaltglieder. Die statische Störsicherheit gibt den zulässigen Spannungshub an, der den logischen Zustand eines Schaltgledes noch nicht ändert.

Die typischen Werte des statischen Störabstandes ergeben sich aus der Übertragungskennlinie (Bild 1, Seite 18). Die Kurve wurde bei einer Ausgangsbelastung von $F_a=1$ aufgenommen. Die Spannungsgrenze des log.1-Zustandes am Ausgang ist minimal 2,4V und im log.0-Zustand maximal 0,4 V. Der typische statische Störabstand ergibt sich nun aus der Differenz der Ausgangsspannung des steuernden Schaltgledes zur Eingangsschwellesspannung U_{ss} des angesteuerten Schaltgledes.

Für die Bausteine der Serie FL 100 ergeben sich dabei folgende typische Störabstände bezogen auf den Ausgang im Zustand log. 1

bei $F_a = 1$: $U_{ss1} = U_{a1} - U_u = 3,6 \text{ V} - 1,4 \text{ V} = 2,2 \text{ V}$

bei $F_a = 10$: $U_{ss1} = U_{a1} - U_u = 3,4 \text{ V} - 1,4 \text{ V} = 2,0 \text{ V}$

und im Zustand log.0

bei $F_a = 1$: $U_{ss0} = U_u - U_{a0} = 1,4 \text{ V} - 0,05 \text{ V} = 1,35 \text{ V}$

bei $F_a = 10$: $U_{ss0} = U_u - U_{a0} = 1,4 \text{ V} - 0,2 \text{ V} = 1,2 \text{ V}$

Da der typische Störabstand im Übertragungsbereich zwischen 0 und 1 liegt, wird ein minimaler Störabstand garantiert.

Unter Eckbedingungen gilt dabei:

$$U_{ss1} = U_{a1} - U_{e1} = 2,4 \text{ V} - 2,0 \text{ V} = 0,4 \text{ V}$$

$$U_{ss0} = U_{e0} - U_{a0} = 0,8 \text{ V} - 0,4 \text{ V} = 0,4 \text{ V}$$

Dies bedeutet, daß in beiden logischen Zuständen eine maximal zulässige Störspannung von 0,4 V auf dem Übertragungsweg von einem Ausgang zum nächsten Eingang auftreten darf, ohne den logischen Zustand des Schaltgledes zu beeinträchtigen.

Zum besseren Verständnis soll das nachfolgende Bild 9 in Verbindung mit dem Pegeldiagramm beitragen. Es zeigt eine Schaltgliederkette und die entsprechenden Grenzspannungspegel, aus denen sich die garantierte Störsicherheit ergibt.

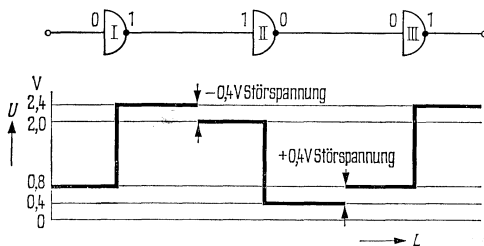


Bild 9

III.2 Dynamische Störsicherheit

Die dynamische Störsicherheit kennzeichnet das Verhalten der Digitalbausteine gegenüber Störimpulsen, deren Dauer klein ist im Vergleich zur Schaltglieder-Verzögerungszeit. Dabei ist die eingekoppelte Störenergie – Impulsamplitude und Impulsdauer – ausschlaggebend, ob der logische Zustand eines Schaltgliedes verändert wird.

Die zulässige Dauer und Amplitude eines Störimpulses am Eingang hängen von der Verzögerungszeit t_{pd} des Schaltgliedes ab. Bei Störimpulsen mit Impulslängen $b \gg t_{pd}$ darf die Impulsamplitude den statischen Störabstand nicht überschreiten. Bei $b < \frac{1}{2} t_{pd}$ darf die Störampplitude größer sein als der statische Störabstand.

Bei kapazitiven Einkopplungen von Störungen haben die Schaltglieder den Vorteil eines niederohmigen Gegentaktausgangs der im Zustand log. 0 ca. 15Ω und im Zustand log. 1 ca. 100Ω aufweist. Dadurch klingen Störimpulse, die auf den Leitungen zwischen den Gattern eingekoppelt werden, rasch ab.

Um eine gute und genügend zuverlässige Information über das dynamische Störverhalten der Schaltglieder zu erhalten, wählt man einen annähernd rechteckförmigen Störimpuls. Ein Maß für die eingekoppelte Störenergie ist dann die Spannungszeitfläche (Zeitintegral) des Rechteckimpulses. Die Impulsbreite wird bei 1,5 V gemessen. Um das Störverhalten zu ermitteln, wird die Breite und die Amplitude der störenden Rechteckimpulse verändert.

Bei der Messung der dynamischen Störsicherheit ist zu unterscheiden, ob ein log. 1-Pegel oder ein log. 0-Pegel gestört wird. Bei log. 1-Pegel stören nur negative Impulse und bei log. 0 positive.

Aus den Kurven kann man allgemein ersehen, daß bei sehr kurzzeitigen Störungen erheblich größere Störampplituden zulässig sind, als bei länger dauernden Störimpulsen. Bei Impulsen, deren Dauer wieder mit der Schaltglieder-Verzögerungszeit vergleichbar wird, sinkt die zulässige Impulsamplitude auf den Wert der statischen Störsicherheit ab. Das Schaltglied wirkt also wie ein Tiefpaßfilter.

III.2.1 Dynamische Störsicherheit beim log. 0-Pegel

Der Störindikator ist ein aus zwei NAND-Schaltgliedern zusammenschaltetes RS-Flipflop, das von dem gestörten Schaltglied angesteuert wird. Das Flipflop wird durch kurzes Antippen des Rückstelleingangs R in den Zustand versetzt, der an erster Stelle an den Ein- und Ausgängen der Schaltglieder angegeben ist (Bild 10).

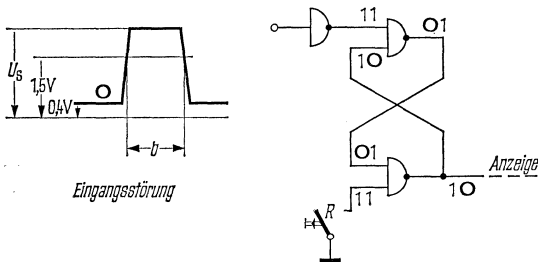


Bild 10 Anordnung zur Messung der dynamischen Störsicherheit des log. 0-Pegels bei Schaltgliedern

Zur Messung wird bei konstanter Impulsbreite b des Störimpulses die Impulshöhe U_s so lange vergrößert, bis das Flipflop umschaltet. Das Verfahren wird bei verschiedenen Impulsbreiten wiederholt, so daß sich die in Bild 11 angegebenen Störsicherheitskurven ergeben.

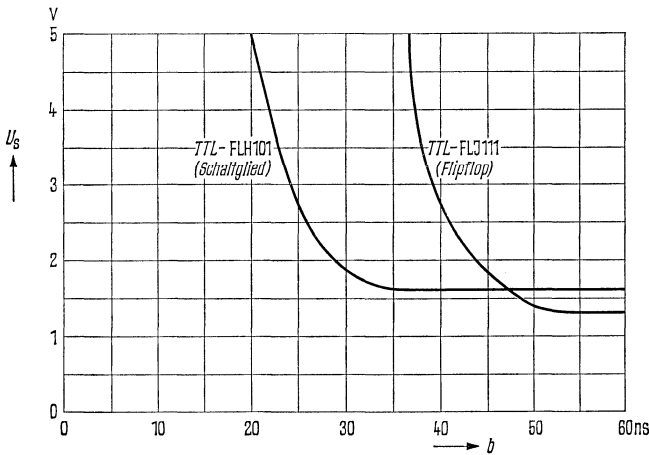


Bild 11 Grenzkurven der dynamischen Störsicherheit des log.0-Pegels

Bei der Messung der dynamischen Störsicherheit eines JK-Flipflops FLJ 111 kann auf einen zusätzlichen Indikator verzichtet werden. Am Ausgang ist ohnehin erkennbar, wann der Punkt erreicht ist, ab dem das Flipflop auf die Störspannung durch Umschalten reagiert (Bild 12).

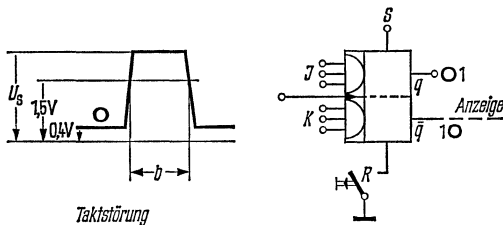


Bild 12 Anordnung zur Messung der dynamischen Störsicherheit des log.0-Pegels bei einem JK-Flipflop FLJ 111

Für die FL 100-Schaltglieder ergibt sich eine Spannungs-Zeitfläche der dynamischen Störsicherheit des log.0-Pegels von ca. 70 V ns und beim Flipflop FLJ 111 von etwa 100 V ns. Jeder Störimpuls kann durch Impulsbreite b und Amplitude U_s charakterisiert und in Bild 11 als Punkt eingetragen werden. Unterhalb der Kurve befindet sich der Sicherheitsbereich der dynamischen Störsicherheit. Störimpulse, die in der Nähe der Grenzkurve oder darüber einzutragen wären, sind unter allen Umständen zu vermeiden.

FL 100

III.2.2 Dynamische Störsicherheit beim log.1 - Pegel

Das Schaltglied, dessen dynamische Störsicherheit untersucht werden soll, kann hier Bestandteil des zur Anzeige verwendeten RS-Flipflops sein, so daß sich die Meßschaltung von Bild 13 ergibt.

Bild 14 zeigt die Meßschaltung des Flipflops.

Die in Bild 15 dargestellte Grenzkurve der dynamischen Störsicherheit gilt wieder für typische Bausteine. Sie sind keinesfalls als absolute, garantierte Datenblatt-Grenzwerte aufzufassen.

Zur Beurteilung der dynamischen Störsicherheit müssen beide Diagramme, Bild 11 und 15, herangezogen werden.

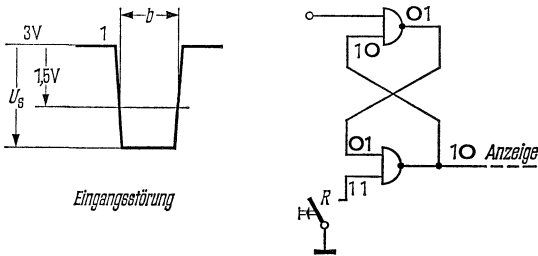


Bild 13 Schaltungsanordnung zur Messung der dynamischen Störsicherheit des log.1 - Pegels bei Schaltgliedern

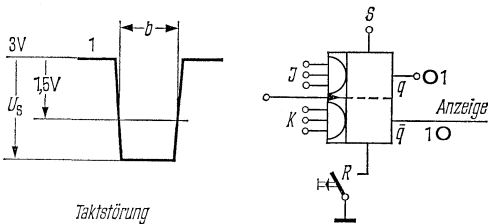


Bild 14 Schaltungsanordnung zur Messung der dynamischen Störsicherheit des log.1 - Pegels bei einem JK-Flipflop FLJ 111

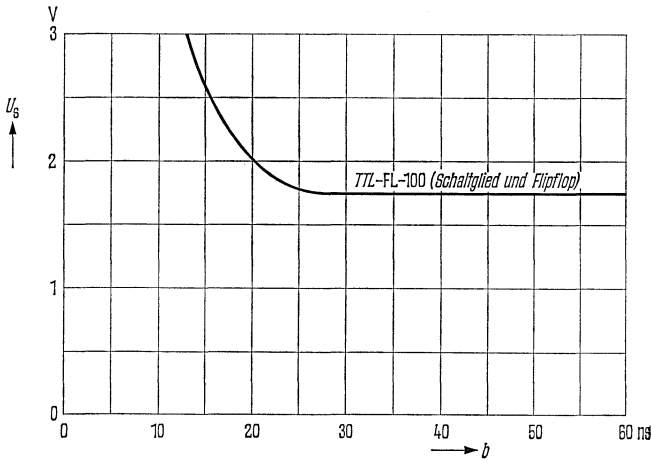


Bild 15 Grenzkurve der dynamischen Störsicherheit des log. 1 - Pegels

III.3 Störungen auf Leitungen zwischen Digitalbausteinen

Bei Überkopplungsstörungen, die in einer Anlage mit Digitalbausteinen auftreten, verlaufen die störenden Ein- und Ausschaltvorgänge nicht abrupt, da der Innenwiderstand R_i der Störquelle nicht vernachlässigt werden kann.

Wie Bild 16 zeigt, wird die Störquelle jetzt durch ein Schaltglied gebildet. Dadurch ist die Amplitude U_s der Störung konstant etwa 3,6 bis 3,8 V, weil das Schaltglied GI' nur zwischen 0 und 1 schalten kann. Der kritische Fall bei der Störung einer auf 1-Potential liegenden Leitung tritt dann auf, wenn das Potential der störenden Leitung von 1 auf 0 sinkt, weil das Schaltglied GI' an seinem Ausgang auf 0 geht.

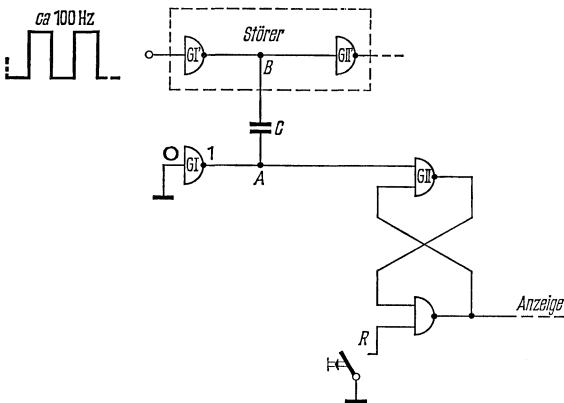


Bild 16 Schaltung zur Einkopplung und Anzeige systemeigener Störungen in kurze Leitungen zwischen Digitalbauelementen bei log. 1 - Pegel

FL 100

Bei der in Bild 16 angegebenen Schaltung ergab sich aus Messungen an typischen Schaltgliedern folgender Wert der Störkapazität, bei der der Störindikator umschaltet:

$$\text{TTL} - \text{FL 100} \quad C \approx 950 \text{ pF}$$

Systemeigene Störungen einer auf 0-Potential liegenden Leitung können bei TTL-Schaltgliedern nicht mehr nachgewiesen werden.

Allgemeine Angaben zur TTL-Serie FL 100

FL 100 ist eine Serie monolithisch integrierter Halbleiterschaltungen. Die Bausteine sind in epitaktischer Planartechnik mit Untergrundschrift (buried layer) hergestellt.

Folgende Grenzdaten gelten für alle Typen:

	min	max	Einheit
Betriebsspannung	U_{Batt} 0	7	V
Eingangsspannung	U_{E} 0	5,5	V
Betriebstemperatur bei FL 101 (Bereich 1)	T_{U} 0	70	°C
Betriebstemperatur bei FL 105 (Bereich 5)	T_{U} -25	85	°C
Lagertemperatur	T_{S} -65	150	°C
Wärmewiderstand (System-Luft)	R_{thSU}	150	grad/W

Die typischen Werte der Kenndaten in den Tabellen gelten für $U_{\text{Batt}}=5,0\text{ V}$ und $T_{\text{U}}=25\text{ °C}$.

Ein- und Ausgangsspannungen und -ströme sind jeweils pro Ein- bzw. Ausgang angegeben. Die Stromaufnahme I_{Batt} bezieht sich auf den gesamten Baustein.

Die Serie FL 100 wird im Plastik-Steckgehäuse geliefert (Bauformzeichnungen siehe Seite 205). Eine ständige Erweiterung der Serie ist vorgesehen.

Anwendungshinweise

Schaltglieder:

Anstiegs- und Abfallzeiten von Eingangssignalen sollen kleiner $1\text{ }\mu\text{s}$, die Impulsbreite größer 30 ns sein.

Nicht verwendete Eingänge können mit einem benutzten Eingang desselben Schaltgliedes verbunden werden.

Flipflop:

Die Anstiegs- und Abfallzeiten des Taktimpulses sollen bei flankengetriggerten Flipflop kleiner 250 ns, bei Master-Slave-Flipflop kleiner 500 ns sein.

Bei Schieberegister und Zähler aufgebaut mit D-Flipflop wird eine maximale Taktanstiegszeit von 25 ns empfohlen.

Neben der Standard-Serie FL 100 (7400) liefern wir auch eine »High Speed«-Serie (74H00) sowie eine »Low Power«-Serie (74L00). Auf Wunsch können die TTL-Serien auch im Keramik-Steckgehäuse und im Flachgehäuse TO 84 und außerdem für einen Temperaturbereich $T_{\text{U}} = -55$ bis 125 °C geliefert werden. Näheres bei Ihrer Siemens-Geschäftsstelle (s. Geschäftsstellenverzeichnis).

Vier NAND-Glieder mit je zwei Eingängen

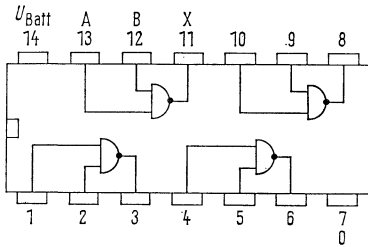
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	1		0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	μA
Eingangsstrom, log. 0, pro Eing.	I_{e0}	$U_e=5,5\text{ V} \mid =5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$	3 4			1 -1,6	mA mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$	5	-18		-55	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	6		4	8	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$	6		12	22	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$

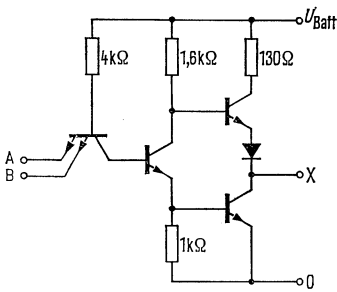
Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15\text{ pF}, F_a=10$	22	7	15	ns
Einschaltverzögerungszeit	t_{pd1}					

Logische Daten

Ausgangsfächer pro Ausgang	F_a	10
Eingangsfächer	F_e	
Logische Funktion	$X=A \wedge B$	



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

Drei NAND-Glieder mit je drei Eingängen

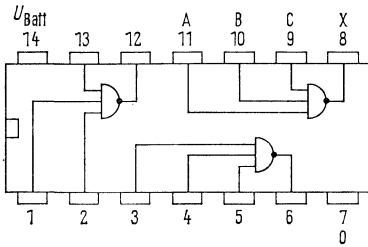
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	1		0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	μA
Eingangsstrom, log. 0, pro Eing.	I_{e0}	$U_e=5,5\text{ V} \mid U_{Batt}$ $U_{Batt}=5,25\text{ V}$	3			1	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$	4			-1,6	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	5	-18		-55	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$	6		3	6	mA
			6		9	16,5	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$

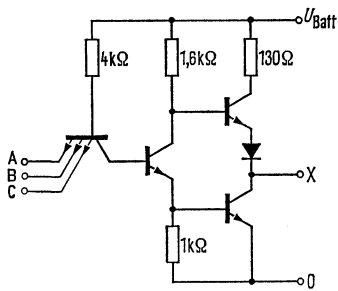
Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15\text{ pF}, F_a=10$	22	7	15	ns
Einschaltverzögerungszeit	t_{pd1}					

Logische Daten

Ausgangsfächer pro Ausgang	F_a	_____	10
Eingangsfächer	F_e		
Logische Funktion		$X=A \wedge B \wedge C$	



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

Zwei NAND-Glieder mit je vier Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-400\ \mu\text{A}$	2	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	1		0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	μA
Eingangsstrom, log. 0, pro Eing.	I_e	$U_e=5,5\text{ V} \mid =5,25\text{ V}$	3			1	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	4			-1,6	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	5	-18		-55	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$	6		2	4	mA
			6		6	11	mA

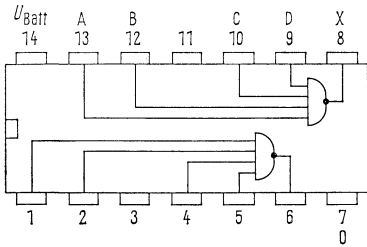
Schaltzeiten bei $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15\text{ pF}, F_a=10$	22	8	15	ns
Einschaltverzögerungszeit	t_{pd1}					

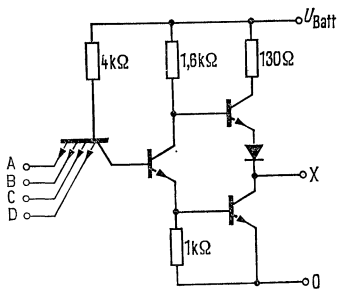
Logische Daten

Ausgangsfächer pro Ausgang	F_a	$X=A \wedge B \wedge C \wedge D$	10	
Eingangsfächer	F_e			4
Logische Funktion				

FLH 121, FLH 125



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

NAND-Glied mit acht Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	1		0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	μA
Eingangsstrom, log. 0, pro Eing.	I_e	$U_e=5,5\text{ V} \mid =5,25\text{ V}$	3			1	mA
Kurzschlußausgangsstrom	I_{aK}	$U_{Batt}=5,25\text{ V}$	5	-18		-55	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	6		1	2	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$	6		3	6	mA

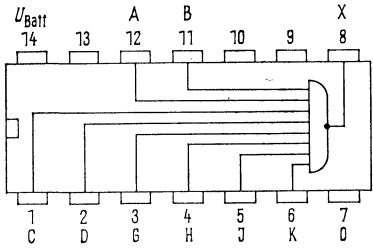
Schaltzeiten bei $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15\text{ pF}, F_a=10$	22	8	15	ns
Einschaltverzögerungszeit	t_{pd1}					

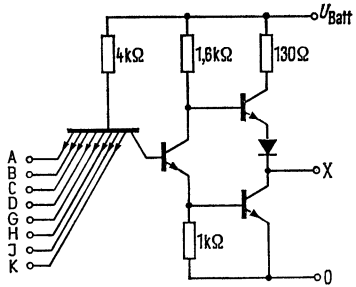
Logische Daten

Ausgangsfächer	F_a	_____	10
Eingangsfächer	F_e		8
Logische Funktion			$X=A \wedge B \wedge C \wedge D \wedge G \wedge H \wedge J \wedge K$

FLH 131, FLH 135



Anschlußanordnung
Ansicht von oben



Schaltschema

Zwei NAND-Leistungsglieder mit je vier Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$	2	2,4	3,3		V
		$U_{e0}=0,8\text{ V}$					
		$I_L=-1,2\text{ mA}$					
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$	1		0,28	0,4	V
		$U_{e1}=2\text{ V}, I_L=48\text{ mA}$					
Statische Störsicherheit	U_{ss}			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	μA
	I_e	$U_e=5,5\text{ V} \mid =5,25\text{ V}$	3			1	mA
Eingangsstrom, log. 0, pro Eing.	I_{e0}	$U_{Batt}=5,25\text{ V}$	4			-1,6	mA
		$U_{e0}=0,4\text{ V}$					
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$	5	-18		-70	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$	6		2	4	mA
		$U_e=0\text{ V}$					
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$	6		17	27	mA
		$U_e=5\text{ V}$					

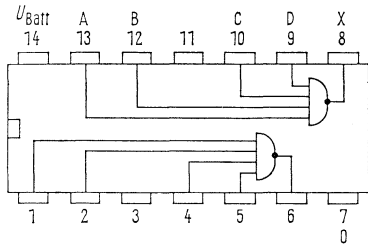
Schaltzeiten bei $U_{Batt}=5\text{ V}, T_U=25\text{ °C}$

Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15\text{ pF}, F_a=30$	22	8	15	ns
Einschaltverzögerungszeit	t_{pd1}					

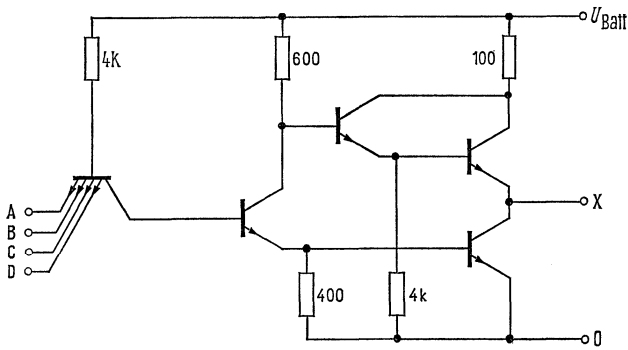
Logische Daten

Ausgangsfächer pro Ausgang	F_a		30	
Eingangsfächer	F_e			
Logische Funktion	$X=A \wedge B \wedge C \wedge D$			

FLH 141, FLH 145



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

FLH 151, FLH 155, FLH 161, FLH 165

7450 8450 7451 8451
 Q67000-H6 Q67000-H159 Q67000-H7 Q67000-H160

Zwei invertierende UND/ODER-Glieder mit je 2×2 Eingängen

FLH 151, FLH 155 mit Erweiterungseingängen
 FLH 161, FLH 165 ohne Erweiterungseingänge (Stift 11 und 12 dürfen nicht beschaltet werden)
 FLY 101, FLY 105 dazu passende Erweiterungsglieder

Statische Kenndaten

im Temperaturbereich 1 und 5,
 Stift 11 und 12 offen

		Prüfbedingungen	Prüf-schal-tung	min	typ	max	Ein-heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	7	2,0			
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	8			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$	8	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{e0}=0,8\text{ V}, I_L=-400\text{ }\mu\text{A}$ $U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	7		0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1		V
Eingangsstrom, log. 1, pro Eingang	I_{e1} I_e	$U_{e1}=2,4\text{ V} \mid U_{Batt}$ $U_e=5,5\text{ V} \mid =5,25\text{ V}$	9 9			40 1	μA mA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	10			-1,6	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$	11	-18		-55	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	13		4	8	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_{e1}=5\text{ V}$	12		7,4	14	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ }^\circ\text{C}$, Stift 11 und 12 offen

Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15\text{ pF}, F_a=10$	22		8	15	ns
Einschaltverzögerungszeit	t_{pd1}						

Logische Daten

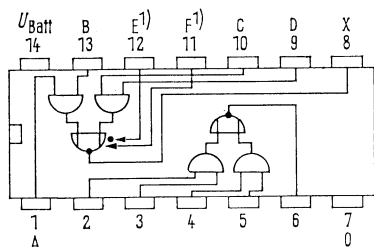
Ausgangsfächer pro Ausgang	F_a		10	
Eingangsfächer	F_e			
Eingangsfächer der Erweiterungseingänge ¹⁾	F_{erw}		4	
Logische Funktion				

1) Nur bei FLH 151, FLH 155

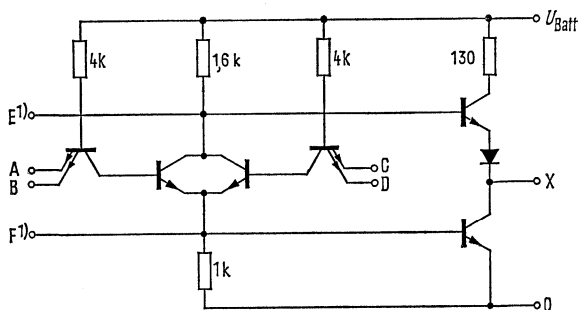
FLH 151, FLH 155, FLH 161, FLH 165

Statische Kenndaten der Erweiterungseingänge, E und F¹⁾, bei $T_U=0^\circ\text{C}$

		Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit
Eingangsstrom in den Erweiterungseingängen	I_{EF}	$U_{\text{Batt}}=4,75\text{ V}$ $R=130\ \Omega$ $I_L=16\text{ mA}$	15			3,1	mA
Basis-Emitter-Spannung des unteren Ausgangstransistors	U_{BE}	$U_{\text{Batt}}=4,75\text{ V}$ $R=130\ \Omega$ $I_L=16\text{ mA}, I_F=620\ \mu\text{A}$	15			1	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=4,75\text{ V}$ $I_L=-400\ \mu\text{A}$ $I_E=-270\ \mu\text{A}$ $I_F=270\ \mu\text{A}$	16	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75\text{ V}$ $I_L=16\text{ mA}$ $R=130\ \Omega$ $I_F=0,43\text{ mA}$	15		0,22	0,4	V



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

¹⁾ Nur bei FLH 151, FLH 155

FLH 171, FLH 175, FLH 181, FLH 185

7453

8453

7454

8454

Q67000-H8

Q67000-H161

Q67000-H9

Q67000-H162

Invertierendes UND/ODER-Glied mit 4×2 Eingängen

FLH 171, FLH 175 mit Erweiterungsanschlüssen E und F

FLH 181, FLH 185 ohne Erweiterungseingänge (Stift 11 und 12 dürfen nicht beschaltet werden)

FLY 101, FLY 105 dazu passende Erweiterungsglieder

Statische Kenndaten

im Temperaturbereich 1 und 5,
Stift 11 und 12 offen

	Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit	
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V	
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	7	2,0		V	
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	8		0,8	V	
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}, I_L=-400\text{ }\mu\text{A}$	8	2,4	3,3	V	
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$	7		0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1,0	V	
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	9		40	μA	
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{e0}=5,5\text{ V} \mid =5,25\text{ V}$	9		1	mA	
Kurzschlußausgangsstrom	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$	10		-1,6	mA	
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0\text{ V}$	11		-18	mA	
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=5\text{ V}$	13		4	8	mA
			12		5,1	9,5	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15\text{ pF}, F_a=10$	22	8	15	ns
Einschaltverzögerungszeit	t_{pd1}					

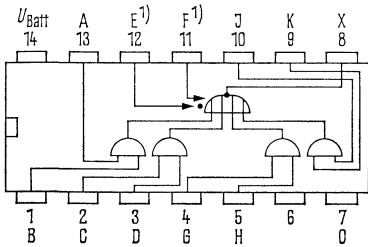
Logische Daten

Ausgangsfächer	F_a	} $\left. \begin{array}{l} 10 \\ 4 \times 2 \\ +\text{Erw.}^1) \end{array} \right\}$
Eingangsfächer	F_e	
Eingangsfächer der Erweiterungseingänge ¹⁾	F_{erw}	4
Logische Funktion	$X = \overline{(A \wedge B)} \vee \overline{(C \wedge D)} \vee \overline{(G \wedge H)} \vee \overline{(J \wedge K)} \vee \text{Erw.}^1)$	

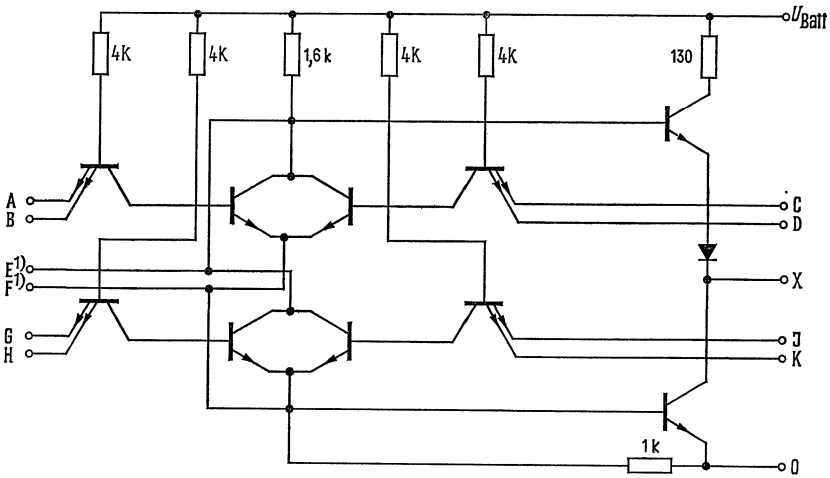
Statische Kenndaten der Erweiterungseingänge E und F¹⁾
siehe UND/ODER-Glied FLH 151 bzw. FLH 155.

1) Nur bei FLH 171, FLH 175.

FLH 171, FLH 175, FLH 181, FLH 185



Anschlußanordnung
Ansicht von oben



Schaltschema

1) Nur bei FLH 171, FLH 175

Vier NOR-Glieder mit je zwei Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	7	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	8			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$	8	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$I_L=-400\text{ }\mu\text{A}$ $U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$	7		0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	9			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_e=5,5\text{ V} \mid U_{Batt}$ $=5,25\text{ V}$	9			1	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	10			-1,6	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$	11	-18		-55	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$	13		8	16	mA
			12		14	27	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15\text{ pF}, F_a=10$	22	8	15	ns
Einschaltverzögerungszeit	t_{pd1}					

Logische Daten

Ausgangsfächer pro Ausgang	F_a	$X=\overline{A \vee B}$	10	
Eingangsfächer	F_e			2
Logische Funktion				

Vier NAND-Glieder mit je zwei Eingängen und offenem Kollektor

Die Glieder FLH 201 und FLH 205 sind für Phantom-UND-Verknüpfungen vorgesehen (wired-AND).

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$	14			0,8	V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$	1			0,4	V
Statische Störsicherheit	U_{ss}			0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_e=5,5\text{ V} \mid =5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$	3 4			1 -1,6	 mA
Ausgangssperrstrom, log. 1, pro Ausgang	I_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{a1}=5,5\text{ V}, U_{e0}=0,8\text{ V}$	14			250	μA
Stromaufnahme, log. 1,	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	6		4	8	 mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5,0\text{ V}$	6		12	22	 mA

Schaltzeiten bei $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	$R_L=390\ \Omega$	$C_1=15\text{ pF}$	22		8	15	ns
Einschaltverzögerungszeit	t_{pd1}	$R_L=3,9\text{ k}\Omega$				35	45	ns

Logische Daten

Ausgangsfächer pro Ausgang	F_a	$X = \overline{A \wedge B}$	10	
Eingangsfächer	F_e			2
Logische Funktion				

Berechnung des Kollektorarbeitswiderstandes R_A

Die Berechnung erfolgt nach folgenden Formeln (Tabelle S. 57)

Log. 1 Zustand

Log. 0 Zustand

$$R_{Amax} = \frac{U_{Batt} - 2,4\text{ V}}{n \cdot 250\ \mu\text{A} + N \cdot 40\ \mu\text{A}}\ \text{M}\Omega$$

$$R_{Amin} = \frac{U_{Batt} - 0,4\text{ V}}{16\text{ mA} - N \cdot 1,6\text{ mA}}\ \text{k}\Omega$$

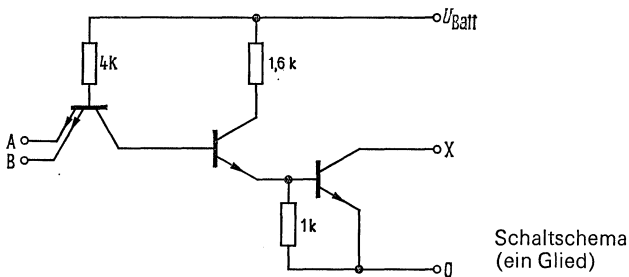
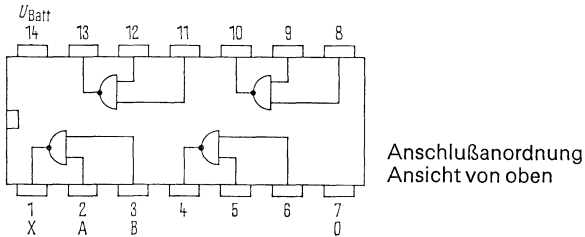
Wobei: U_{Batt} = Versorgungsspannung

n = Anzahl der FLH 201 in UND-Verbindung

N = Anzahl der angeschlossenen Eingänge

Bei $U_{Batt}=5\text{ V}$ und entsprechender Variation der Werte für n und N ergeben sich nachfolgend aufgeführte Maximal- und Minimalwerte für R_A . Der tatsächlich in der Schaltung verwendete Widerstandswert muß zwischen diesen beiden Widerständen liegen.

N	n							n	
	1	2	3	4	5	6	7	1...7	
	Maximalwerte $R_A \Omega$							Minimalwerte $R_A \Omega$	
1	8965	4814	3291	2500	2015	1688	1452	319	
2	7878	4482	3132	2407	1954	1645	1420	359	
3	7027	4193	2988	2321	1897	1604	1390	410	
4	6341	3939	2857	2241	1843	1566	1361	479	
5	5777	3714	2736	2166	1793	1529	1333	575	
6	5306	3513	2626	2096	1744	1494	1306	718	
7	4905	3333	2524	2031	1699	1460	1280	958	
8	4561	3170	2429	1969	1656			1437	
9	4262	3023						2875	
10	4000		nicht zulässig						4000



Sechsfacher Inverter

Statische Kenndaten
im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$		0,22	0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1 pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$ $U_e=5,5\text{ V} \mid =5,25\text{ V}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}				1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	-18		-55	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$		6	12	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5,0\text{ V}$		18	33	mA

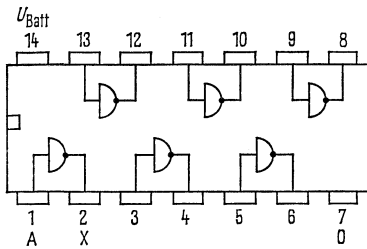
Schaltzeiten bei $U_{Batt}=5,0\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$		8	15	ns
Einschaltverzögerungszeit	t_{pd1}					

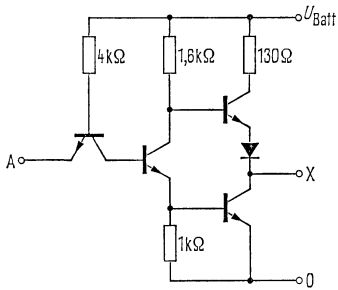
Logische Daten

Ausgangsfächer pro Ausgang	F_a		10	
Eingangsfächer	F_e			

Logische Funktion $X=\overline{A}$



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

1-Bit-Volladdierer

Der Baustein FLH 221 bzw. FLH 225 ist ein 1-Bit-Volladdierer mit Komplementär-Ein- und -Ausgängen. Der Übertrag ergibt sich am Ausgang $\overline{C_{n+1}}$.

Statische Kenndaten

im Temperaturbereich 1 und 5

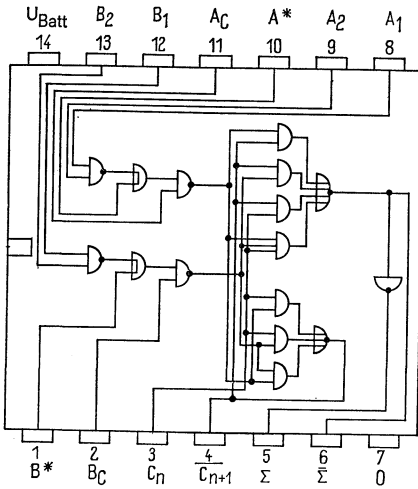
		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}		2,0			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 1	U_{a1}		2,4	3,5		V
Ausgangsspannung, log. 0	U_{a0}		0,22	0,4	V	
Eingangsstrom, log. 0, an A_1, A_2, B_1, B_2, A_c oder B_c	I_{e0}			-1,6	mA	
Eingangsstrom, log. 0, an A^* oder B^*	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-2,6	mA
Eingangsstrom, log. 0, an C_n	I_{e0}				-8,0	mA
Eingangsstrom, log. 1, an A_1, A_2, B_1, B_2, A_c oder B_c	I_{e1}	$U_{e1}=2,4\text{ V}$ $U_{Batt}=5,25\text{ V}$ $U_e=5,5\text{ V}$			15	μA
Eingangsstrom, log. 1, an C_n	I_{e1}		$U_{Batt}=5,25\text{ V}$			1,0
Eingangsstrom, log. 1, an C_n	I_{e1}	$U_{e1}=2,4\text{ V}$ $U_{Batt}=5,25\text{ V}$ $U_e=5,5\text{ V}$			200	μA
	I_e		$U_{Batt}=5,25\text{ V}$			1,0
Kurzschlußausgangsstrom, an Σ oder $\overline{\Sigma}$, pro Ausgang	I_{ak}		-18		-57	mA
Kurzschlußausgangsstrom, an $\overline{C_{n+1}}$	I_{ak}	$U_{Batt}=5,25\text{ V}$	-18		-70	mA
Stromaufnahme	I_{Batt}			21	35	mA

Schaltzeiten bei $U_{Batt}=5,0\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit						
von Eingang C_n zum Ausgang $\overline{C_{n+1}}$	t_{pd0}	$C_1=15\text{ pF}$ $R_L=780\ \Omega$		8	12	ns
von Eingang B_c zum Ausgang $\overline{C_{n+1}}$	t_{pd0}			38	55	ns
von Eingang A_c zum Ausgang Σ	t_{pd0}	$C_1=15\text{ pF}$ $R_L=400\ \Omega$		62	80	ns
von Eingang B_c zum Ausgang Σ	t_{pd0}			56	75	ns
von Eingang A_1 zum Ausgang A^*	t_{pd0}	$C_1=15\text{ pF}$		17	25	ns
von Eingang B_1 zum Ausgang B^*	t_{pd0}			17	25	ns
Einschaltverzögerungszeit						
von Eingang C_n zum Ausgang $\overline{C_{n+1}}$	t_{pd1}	$C_1=15\text{ pF}$ $R_L=780\ \Omega$		13	17	ns
von Eingang B_c zum Ausgang $\overline{C_{n+1}}$	t_{pd1}			18	25	ns
von Eingang A_c zum Ausgang Σ	t_{pd1}	$C_1=15\text{ pF}$ $R_L=400\ \Omega$		52	70	ns
von Eingang B_c zum Ausgang Σ	t_{pd1}			38	55	ns
von Eingang A_1 zum Ausgang A^*	t_{pd1}	$C_1=15\text{ pF}$		48	65	ns
von Eingang B_1 zum Ausgang B^*	t_{pd1}			48	65	ns

Logische Daten

Ausgangsfächer $\overline{C_{n+1}}$	F_a	5
Ausgangsfächer Σ oder $\overline{\Sigma}$	F_a	10
Ausgangsfächer A^* oder B^*	F_a	3



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

Eingänge			Ausgänge		
C_n	B	A	$\overline{C_{n+1}}$	Σ	Σ
0	0	0	1	1	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	1

Anmerkung:

1. $A = \overline{A^*} \wedge \overline{A_C}$, $B = \overline{B^*} \wedge \overline{B_C}$

wobei $A^* = A_1 \wedge A_2$, $B^* = B_1 \wedge B_2$

2. Wird A^* oder B^* als Eingang benutzt, so muß A_1 und A_2 bzw. B_1 und B_2 an Masse gelegt werden.
3. Werden die Eingänge A_1 und A_2 oder B_1 und B_2 benützt, dann muß A^* bzw. B^* offen bleiben oder in wired-AND (FLH 201) betrieben werden.

2-Bit-Volladdierer

Der Baustein FLH 231 bzw. FLH 235 ist ein Volladdierer für 2 × 2 Bits. Die Bit-Summen ergeben sich an Σ_1 und Σ_2 , der Übertrag steht nur für das 2. Bit zur Verfügung.

Statische Kenndaten

im Temperaturbereich 1 und 5

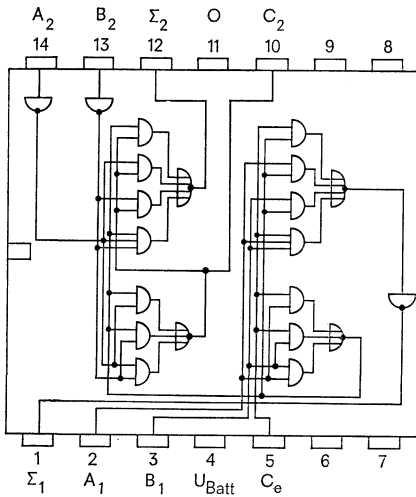
		Prüfbedingungen	min	typ	max	Einheit	
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$	4,75	5,0	5,25	V	
Eingangsspannung, log. 1	U_{e1}		2,0			V	
Eingangsspannung, log. 0	U_{e0}				0,8	V	
Ausgangsspannung, log. 1	U_{a1}		2,4			V	
Ausgangsspannung, log. 0	U_{a0}				0,4	V	
Eingangsstrom, log. 0, an A ₁ , B ₁ oder C _e	I_{e0}				-6,4	mA	
Eingangsstrom, log. 0, an A ₂ oder B ₂	I_{e0}		$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 1, an A ₁ , B ₁ oder C _e	I_{e1}		$U_{e1}=2,4\text{ V} \quad U_{Batt}=5,5\text{ V} \quad U_{Batt}=5,25\text{ V}$ $U_{e1}=2,4\text{ V} \quad U_{Batt}=5,25\text{ V}$ $U_{e1}=2,4\text{ V} \quad U_{Batt}=5,25\text{ V}$			160	μA
Eingangsstrom, log. 1, an A ₂ oder B ₂	I_e					1,0	mA
Eingangsstrom, log. 1, an A ₂ oder B ₂	I_{e1}					40	μA
Kurzschlußausgangsstrom, an C ₂	I_{ak}		-18		-70	mA	
Kurzschlußausgangsstrom, an Σ_1 oder Σ_2 , pro Ausgang	I_{ak}	$U_{Batt}=5,25\text{ V}$	-18		-55	mA	
Stromaufnahme	I_{Batt}			35	58	mA	

Schaltzeiten bei $U_{Batt}=5,0\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit von Eingang C _e zum Ausgang Σ_1	t_{pd0}	$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$			40	ns
von Eingang B ₂ zum Ausgang Σ_2	t_{pd0}				35	ns
von Eingang C _e zum Ausgang Σ_2	t_{pd0}				42	ns
von Eingang C _e zum Ausgang C ₂	t_{pd0}			12	19	ns
Einschaltverzögerungszeit von Eingang C _e zum Ausgang Σ_1	t_{pd1}				34	ns
von Eingang B ₂ zum Ausgang Σ_1	t_{pd1}				40	ns
von Eingang C _e zum Ausgang Σ_2	t_{pd1}				38	ns
von Eingang C _e zum Ausgang C ₂	t_{pd1}			17	27	ns

Logische Daten

Ausgangsfächer C ₂	F_a		5
Ausgangsfächer Σ_1 oder Σ_2	F_a		10



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

Eingänge				Ausgänge					
A ₁	B ₁	A ₂	B ₂	Σ ₁	C _e =0		Σ ₁	C _e =1	
					Σ ₂	C ₂		Σ ₂	C ₂
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1	0
1	1	0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	1	1	0	0	0	1
1	1	1	0	0	0	1	1	0	1
0	0	0	1	0	1	0	1	1	0
1	0	0	1	1	1	0	0	0	1
0	1	0	1	1	1	0	0	0	1
1	1	0	1	0	0	1	1	0	1
0	0	1	1	0	0	1	1	0	1
1	0	1	1	1	0	1	0	1	1
0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1

4-Bit-Volladdierer

Der Baustein FLH 241 bzw. FLH 245 ist ein 4×2-Bit-Volladdierer.

Die Summenausgänge sind für jedes Bit vorhanden, wogegen der resultierende Übertrag C₄ erst beim 4. Bit zur Verfügung steht.

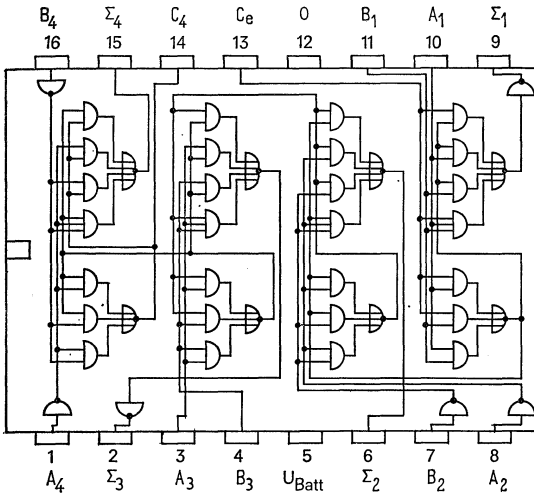
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{\text{Batt}}=4,75\text{ V}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}		2,0			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 1	U_{a1}		2,4			V
Ausgangsspannung, log. 0	U_{a0}				0,4	V
Eingangsstrom, log. 0, an A ₁ , A ₃ , B ₁ , B ₃ oder C _e	I_{e0}	$U_{\text{Batt}}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-6,4	mA
Eingangsstrom, log. 0, an A ₂ , A ₄ , B ₂ oder B ₄	I_{e0}				-1,6	mA
Eingangsstrom, log. 1, an A ₁ , A ₃ , B ₁ , B ₃ oder C _e	I_{e1}	$U_{e1}=2,4\text{ V}$ $U_{\text{Batt}}=5,5\text{ V}$			160	μA
Eingangsstrom, log. 1, an A ₂ , A ₄ , B ₂ oder B ₄	I_{e1}		$U_{e1}=2,4\text{ V}$ $U_{\text{Batt}}=5,25\text{ V}$			1,0
Kurzschlußausgangsstrom, an $\Sigma_1, \Sigma_2, \Sigma_3$ oder Σ_4 , pro Ausgang	I_{aK}	$U_{e1}=2,4\text{ V}$ $U_{\text{Batt}}=5,5\text{ V}$ $U_{e1}=5,5\text{ V}$ $U_{\text{Batt}}=5,25\text{ V}$			40	μA
Kurzschlußausgangsstrom an C ₄	I_{aK}				1,0	mA
Stromaufnahme	I_{Batt}	$U_{\text{Batt}}=5,25\text{ V}$	-18		-55	mA
				-18	78	-70
					128	mA

Schaltzeiten bei $U_{\text{Batt}}=5,0\text{ V}$, $T_U=25\text{ °C}$

Ausschaltverzögerungszeit		$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$	22								
von Eingang C _e zum Ausgang Σ_1	t_{pd0}						40	ns			
von Eingang C _e zum Ausgang Σ_2	t_{pd0}						42	ns			
von Eingang C _e zum Ausgang Σ_3	t_{pd0}						60	ns			
von Eingang C _e zum Ausgang Σ_4	t_{pd0}						55	ns			
von Eingang C _e zum Ausgang C ₄	t_{pd0}						32	ns			
von Eingang A ₂ oder B ₂ zum Ausgang Σ_2	t_{pd0}						35	ns			
von Eingang A ₄ oder B ₄ zum Ausgang Σ_4	t_{pd0}						35	ns			
Einschaltverzögerungszeit							$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$	35			
von Eingang C _e zum Ausgang Σ_1	t_{pd1}										
von Eingang C _e zum Ausgang Σ_2	t_{pd1}	38	ns								
von Eingang C _e zum Ausgang Σ_3	t_{pd1}	50	ns								
von Eingang C _e zum Ausgang Σ_4	t_{pd1}	55	ns								
von Eingang C _e zum Ausgang C ₄	t_{pd1}	48	ns								
von Eingang A ₂ oder B ₂ zum Ausgang Σ_2	t_{pd1}	40	ns								
von Eingang A ₄ oder B ₄ zum Ausgang Σ_4	t_{pd1}	40	ns								

Logische Daten

Ausgangsfächer C ₄	F_a	5
Ausgangsfächer $\Sigma_1, \Sigma_2, \Sigma_3$ oder Σ_4	F_a	10



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

Eingänge				Ausgänge					
A ₁ / A ₃	B ₁ / B ₃	A ₂ / A ₄	B ₂ / B ₄	C _e =0 / C ₂ =0			C _e =1 / C ₂ =1		
				Σ ₁ / Σ ₃	Σ ₂ / Σ ₄	C ₂ / C ₄	Σ ₁ / Σ ₃	Σ ₂ / Σ ₄	C ₂ / C ₄
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1	0
1	1	0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	1	1	0	0	0	1
1	1	1	0	0	0	1	1	0	1
0	0	0	1	0	1	0	1	1	0
1	0	0	1	1	1	0	0	0	1
0	1	0	1	1	1	0	0	0	1
1	1	0	1	0	0	1	1	0	1
0	0	1	1	1	0	1	1	0	1
1	0	1	1	1	0	1	0	1	1
0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1

Anmerkung:

Die Eingangsbedingungen an A₁, A₂, B₁, B₂ und C_e werden zur Bestimmung der Ausgänge Σ₁ und Σ₂ und des internen Übertrags C₂ benutzt.

Die Bedingungen an C₂, A₃, B₃, A₄ und B₄ bestimmen die Ausgänge Σ₃, Σ₄ und C₄.

2 NAND-Glieder und 4 Inverter

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$		0,22	0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{\text{Batt}}=5,25\text{ V}$ $U_e=5,5\text{ V}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}				1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{\text{Batt}}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	-18		-55	mA
Stromaufnahme, log. 1	$I_{\text{Batt}1}$	$U_{\text{Batt}}=5,25\text{ V}$ $U_e=0\text{ V}$		8	16	mA
Stromaufnahme, log. 0	$I_{\text{Batt}0}$	$U_{\text{Batt}}=5,25\text{ V}$ $U_e=5,0\text{ V}$		24	44	mA

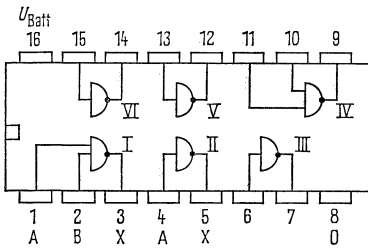
Schaltzeiten bei $U_{\text{Batt}}=5,0\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	$t_{\text{pd}0}$	$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$		7	15	ns
Einschaltverzögerungszeit	$t_{\text{pd}1}$			11	22	ns

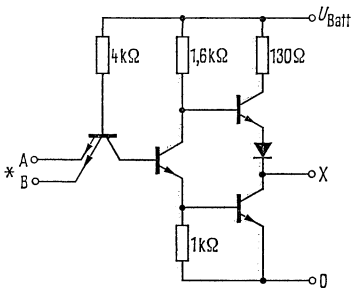
Logische Daten

Ausgangsfächer pro Ausgang	F_a			10	
Eingangsfächer Glied I und IV	F_e			2	
Eingangsfächer Glied II, III, V und VI	F_e			1	

Logische Funktion Glied I und IV $X=\overline{A \wedge B}$
 Logische Funktion Glied II, III, V und VI $X=\overline{A}$



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

*) Nur bei Glied I und IV

6 Inverter mit offenem Kollektor

Die Bausteine FLH 271 und 275 enthalten 6 Inverter, die für Phantom-UND-Verknüpfungen geeignet sind (wired-AND). Bei Phantom-UND-Verknüpfungen gelten die gleichen Formeln und Tabellen wie für FLH 201.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2,0 \text{ V}, I_L=16 \text{ mA}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}		2,0			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 0	U_{a0}				0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}=5,25 \text{ V}$ $U_e=5,5 \text{ V} \mid =5,25 \text{ V}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}				1,0	mA
Ausgangssperrstrom, log. 1	I_{a1}		$U_{\text{Batt}}=5,25 \text{ V}$ $U_{e0}=0,4 \text{ V}$			-1,6
Stromaufnahme, log. 1	$I_{\text{Batt}1}$	$U_{\text{Batt}}=4,75 \text{ V}$ $U_a=5,5 \text{ V}, U_{e0}=0,8 \text{ V}$		6	12	mA
Stromaufnahme, log. 0	$I_{\text{Batt}0}$		$U_{\text{Batt}}=5,0 \text{ V}$ $U_e=0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$		18	33
		$U_{\text{Batt}}=5,0 \text{ V}$ $U_e=5,0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$				

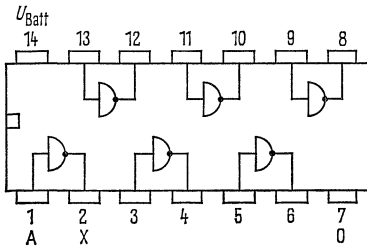
Schaltzeiten bei $U_{\text{Batt}}=5,0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	$t_{\text{pd}0}$	$R_L=400 \Omega \mid C_1=15 \text{ pF}$	8	15	ns
Einschaltverzögerungszeit	$t_{\text{pd}1}$		40	55	ns

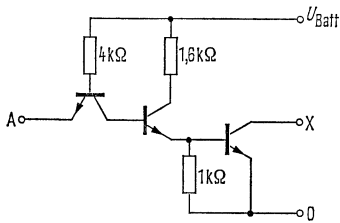
Logische Daten

Ausgangsfächer pro Ausgang	F_a		10	
Eingangsfächer	F_e		1	

Logische Funktion $X=\overline{A}$



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

BCD-Dezimal-Dekoder

Der Baustein FLH 281 bzw. FLH 285 dekodiert binäre Dezimalzahlen. Die Eingänge des FLH 281 sind direkt an die Ausgänge des Dezimalzählers FLJ 161 anschließbar, wobei A mit Q1, B mit Q2, C mit Q3 und D mit Q4 verbunden wird.

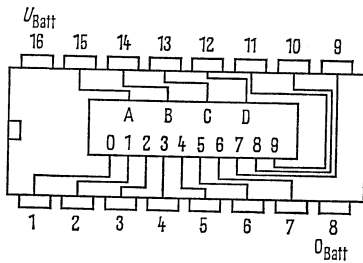
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, U_{e0}=0,8\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}		2,0			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 1	U_{a1}		2,4			V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, U_{e0}=0,8\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$ $U_{e0}=5,5\text{ V} \mid =5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}				1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}			-18		-55
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		28	56	mA

Schaltzeiten bei $U_{Batt}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit nach Ausgang 0	t_{pd0}	$R_L=400\text{ }\Omega$ $C_1=15\text{ pF}$	10	22	30	ns
Ausschaltverzögerungszeit nach Ausgang 1 bis 9	t_{pd0}			23	35	ns
Einschaltverzögerungszeit nach Ausgang 0	t_{pd1}		10	17	25	ns
Einschaltverzögerungszeit nach Ausgang 1 bis 9	t_{pd1}			26	35	ns

Logische Daten

Ausgangsfächer	F_a				10	
----------------	-------	--	--	--	----	--



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

BCD-Eingänge				Dezimal-Ausgänge									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

Vier NAND-Glieder mit je zwei Eingängen und offenem Kollektor

Die Bausteine FLH 291 und FLH 295 enthalten 4 TTL-NAND-Glieder, die für Phantom-UND-Verknüpfungen geeignet sind (wired-AND). Bei Phantom-UND-Verknüpfungen gelten die gleichen Formeln und Tabellen wie für FLH 201.

Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$ $U_e=5,5\text{ V} \mid =5,25\text{ V}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			1,0 -1,6	mA mA
Ausgangssperrestrom, log. 1	I_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}, U_a=5,5\text{ V}$			250	μA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$		4	8,0	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5,0\text{ V}$		12	22	mA

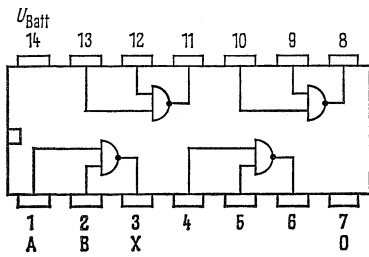
Schaltzeiten bei $U_{Batt}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	$C_1=15\text{ pF}$ $R_L=400\ \Omega$		8	15	ns
Einschaltverzögerungszeit	t_{pd1}	$C_1=15\text{ pF}$ $R_L=4,0\text{ k}\Omega$		35	45	ns

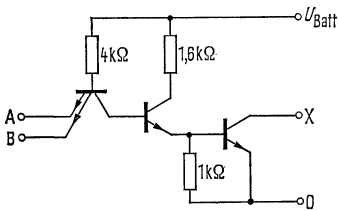
Logische Daten

Ausgangsfächer pro Ausgang	F_a				10	
Eingangsfächer	F_e				2	

Logische Funktion $X = \overline{A \wedge B}$



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

Vier NAND-Leistungsglieder mit je zwei Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75 \text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75 \text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=4,75 \text{ V}$	2,4	3,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{e0}=0,8 \text{ V}, I_L=-1,2 \text{ mA}$ $U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2,0 \text{ V}, I_L=48 \text{ mA}$		0,28	0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}=5,25 \text{ V}$ $U_e=5,5 \text{ V} \mid =5,25 \text{ V}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}				1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{\text{Batt}}=5,25 \text{ V}$ $U_{e0}=0,4 \text{ V}$	-18		-70	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{\text{Batt}}=5,25 \text{ V}$ $U_e=0 \text{ V}$		8	16	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{\text{Batt}}=5,25 \text{ V}$ $U_e=5,0 \text{ V}$		34	54	mA

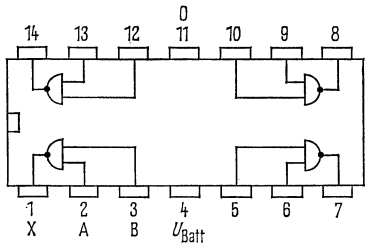
Schaltzeiten bei $U_{\text{Batt}}=5,0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	$C_L=15 \text{ pF}$ $R_L=400 \text{ } \Omega$		8	15	ns
Einschaltverzögerungszeit	t_{pd1}			13	22	ns

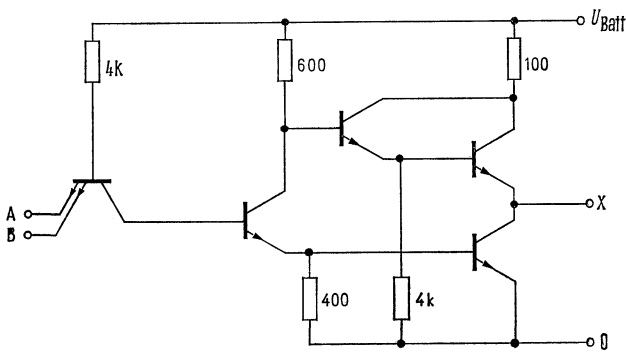
Logische Daten

Ausgangsfächer pro Ausgang	F_a				30	
----------------------------	-------	--	--	--	----	--

Logische Funktion $X = \overline{A \wedge B}$



Anschlußanordnung
Ansicht von oben



Schaltchema
(ein Glied)

Zwei NAND-Glieder mit je fünf Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=4,75\text{ V}$	2,4	3,3		V
		$U_{e0}=0,8\text{ V}, I_L=-400\text{ }\mu\text{A}$				
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75\text{ V}$		0,22	0,4	V
		$U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$				
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{\text{Batt}}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_e=5,5\text{ V} \mid =5,25\text{ V}$			1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{\text{Batt}}=5,25\text{ V}$	-18		-55	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{\text{Batt}}=5,25\text{ V}$ $U_e=0\text{ V}$		2	4	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{\text{Batt}}=5,25\text{ V}$ $U_e=5,0\text{ V}$		6	12	mA

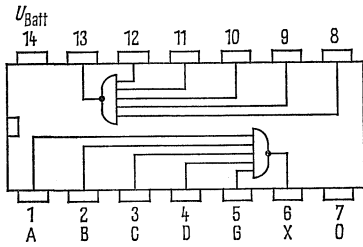
Schaltzeiten bei $U_{\text{Batt}}=5,0\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	} $C_L=15\text{ pF}$ $R_L=400\text{ }\Omega$	8	15	ns
Einschaltverzögerungszeit	t_{pd1}		13	22	ns

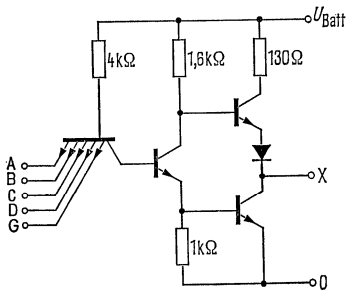
Logische Daten

Ausgangsfächer pro Ausgang	F_a		10	
----------------------------	-------	--	----	--

Logische Funktion $\overline{X}=A\wedge B\wedge C\wedge D\wedge G$



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

Vier Exklusiv-ODER-Glieder mit je zwei Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}, U_{e1}=2\text{ V}$ $I_L=-800\text{ }\mu\text{A}$	2,4			V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}, U_{e1}=2\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{\text{Batt}}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_e=5,5\text{ V} \mid U_{\text{Batt}}$ $U_{\text{Batt}}=5,25\text{ V}$			1	mA
Kurzschlußausgangsstrom	I_{aK}	$U_{e0}=0,4\text{ V}$ $U_{\text{Batt}}=5,25\text{ V}$ $U_{e1}=4,5\text{ V}, U_{e0}=0\text{ V}$	-18		-55	mA
Stromaufnahme	I_{Batt}	$U_{\text{Batt}}=5,25\text{ V}$ $U_e=4,5\text{ V}$		30	50	mA

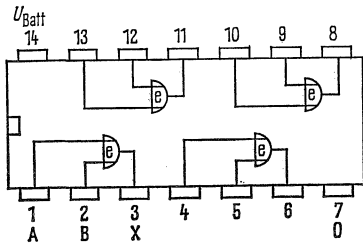
Schaltzeiten bei $U_{\text{Batt}}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit anderer Eingang log. 0	t_{pd0}	} $C_L=15\text{ pF}, R_L=400\text{ }\Omega$		11	17	ns
Einschaltverzögerungszeit anderer Eingang log. 0	t_{pd1}			15	23	ns
Ausschaltverzögerungszeit anderer Eingang log. 1	t_{pd0}			13	22	ns
Einschaltverzögerungszeit anderer Eingang log. 1	t_{pd1}			18	30	ns

Logische Daten

Ausgangsfächer pro Ausgang F_a | | 10 |

Logische Funktion $X=(A\wedge\bar{B})\vee(\bar{A}\wedge B)$



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

Eingänge		Ausgang
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

Zwei NAND-Schmitt-Trigger

Die Bausteine FLH 351 und FLH 355 enthalten zwei NAND-Schmitt-Trigger mit je vier Eingängen. Die Schaltglieder haben verschiedene Schwellenspannungen für steigende (U_{So}) und fallende (U_{Su}) Eingangssignale. Die Hysterese beträgt 0,8 V. Ein besonderer Vorteil ist die interne Temperaturkompensation, die eine sehr hohe Stabilität der Schwellenwerte und Hysterese über den gesamten Temperaturbereich gewährleistet. Die Bausteine können durch langsamste Eingangsfanken und unmittelbar durch Gleichspannung getriggert werden und geben ein sauberes Ausgangssignal ab.

Anwendung: TTL-Systemanschluß für langsame Eingangsimpulse, Impulsformer, Multivibrator, Schwellenwertdetektor, Impulsverlängerung.

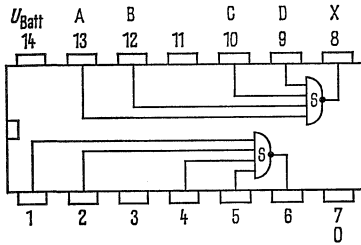
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
obere Schwellenspannung	U_{So}	$U_{Batt}=5,0\text{ V}$	1,5	1,7		V
untere Schwellenspannung	U_{Su}	$U_{Batt}=5,0\text{ V}$		0,9	1,1	V
Hysterese	U_H	$U_{Batt}=5,0\text{ V}$	0,4	0,8		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$		0,22	0,4	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $I_L=-800\text{ }\mu\text{A}$	2,4	3,3		V
Eingangsstrom, U_{So}	I_{eo}	$U_{Batt}=5,0\text{ V}, U_e=1,7\text{ V}$		-0,65		mA
Eingangsstrom, U_{Su}	I_{eu}	$U_{Batt}=5,0\text{ V}, U_e=0,9\text{ V}$		-0,85		mA
Eingangsstrom, log. 0	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$		-1,0	-1,6	mA
Eingangsstrom, log. 1	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$ $U_e=5,5\text{ V} \mid =5,25\text{ V}$			40	μA
Kurzschlußausgangsstrom	I_{aK}	$U_{Batt}=5,25\text{ V}$	-18		1,0	mA
Stromaufnahme, log. 0	I_{Batt0}	$U_{Batt}=5,25\text{ V}$ $U_e=5,0\text{ V}$		20	-55	mA
Stromaufnahme, log. 1	I_{Batt1}	$U_{Batt}=5,25\text{ V}, U_e=0\text{ V}$		14	36	mA

Schaltzeiten bei $U_{Batt}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$

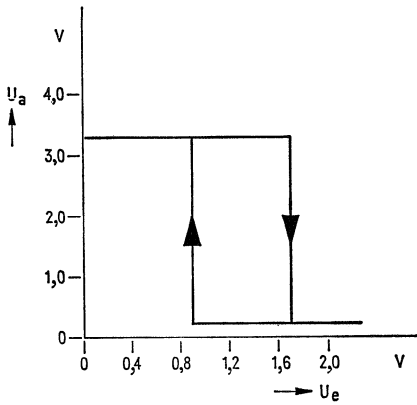
Ausschaltverzögerungszeit	t_{pd0}	} $C_L=15\text{ pF}$ $R_L=400\text{ }\Omega$		15	30	ns
Einschaltverzögerungszeit	t_{pd1}					

Logische Daten

Ausgangsfächer pro Ausgang	F_a				10	
----------------------------	-------	--	--	--	----	--

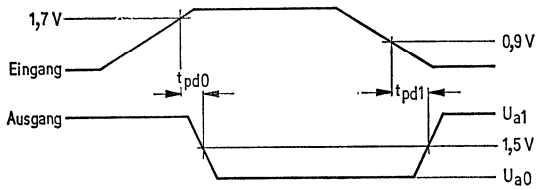


Anschlußanordnung
Ansicht von oben



Typische Übertragungskennlinie $U_a = f(U_e)$

Impulsdiagramm



Exzeß-3-Dezimal-Dekoder

Die Bausteine FLH 361 und FLH 365 dekodieren binäre Zahlen im Exzeß-3-Code.

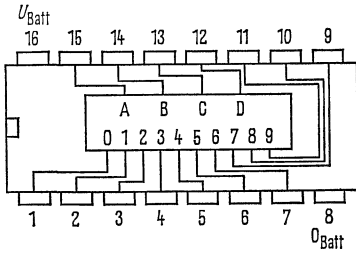
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}, U_{e1}=2,0\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2,4			V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, U_{e0}=0,8\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}=5,25\text{ V}$ $U_e=5,5\text{ V}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}				1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$	-18		-55	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		28	56	mA

Schaltzeiten bei $U_{Batt}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	$R_L=400\text{ }\Omega, C_L=15\text{ pF}$	10	23	35	ns
Einschaltverzögerungszeit	t_{pd1}		10	26	35	ns

Logische Daten

Ausgangsfächer pro Ausgang	F_a				10	
----------------------------	-------	--	--	--	----	--



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

Exzeß-3-Eingänge				Dezimal-Ausgänge									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	1	1	0	1	1	1	1	1	1	1	1	1
0	1	0	0	1	0	1	1	1	1	1	1	1	1
0	1	0	1	1	1	0	1	1	1	1	1	1	1
0	1	1	0	1	1	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	1	1	1	0	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	0
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	0	1	1	1	1	1	1	1	1	1
1	1	1	1	0	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	1	1	1	1	1	1	1	1

Exzeß-3-Gray-Dezimal-Dekoder

Die Bausteine FLH 371 und FLH 375 dekodieren binäre Zahlen im Exzeß-3-Gray-Code (einschrittiger Code).

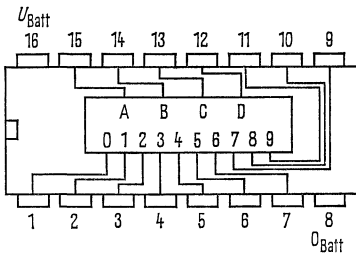
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75 \text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75 \text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2,0 \text{ V}, U_{e0}=0,8 \text{ V}$ $I_L=-400 \mu\text{A}$	2,4			V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2,0 \text{ V}, U_{e0}=0,8 \text{ V}$ $I_L=16 \text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}=5,25 \text{ V}$ $U_e=5,5 \text{ V}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}				1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{\text{Batt}}=5,25 \text{ V}$	-18		-55	mA
Stromaufnahme	I_{Batt}	$U_{\text{Batt}}=5,25 \text{ V}$		28	56	mA

Schaltzeiten bei $U_{\text{Batt}}=5,0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	$t_{\text{pd}0}$	} $R_L=400 \Omega$ $C_L=15 \text{ pF}$	10	23	35	ns
Einschaltverzögerungszeit	$t_{\text{pd}1}$		10	26	35	ns

Logische Daten

Ausgangsfächer pro Ausgang	F_a			10	
----------------------------	-------	--	--	----	--



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

Exzeß-3-Gray-Eingänge				Dezimal-Ausgänge									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	1	0	0	1	1	1	1	1	1	1	1	1
0	1	1	0	1	0	1	1	1	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	0	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	0	1	1	1	1
1	1	0	1	1	1	1	1	1	1	0	1	1	1
1	1	1	1	1	1	1	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1	1	1	1	1	0	1
1	0	1	0	1	1	1	1	1	1	1	1	1	0
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	1	1	1	1	1	1	1	1	1	1

Vier UND-Glieder mit je zwei Eingängen

Die Bausteine FLH 381 und FLH 385 enthalten vier UND-Glieder mit je zwei Eingängen. Sie ermöglichen die direkte Ausführung der UND-Funktion. Die Ausgänge sind im Gegentakt geschaltet, die Eingänge durch Klemmdioden vor Reflexionen geschützt.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75 \text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75 \text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2,0 \text{ V}$	2,4			V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e0}=0,8 \text{ V}, I_{a0}=16 \text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{e0}=5,5 \text{ V} \mid U_{\text{Batt}}$ $=5,25 \text{ V}$			1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{\text{Batt}}=5,25 \text{ V}$ $U_{e0}=0,4 \text{ V}$	-18		-55	mA
Stromaufnahme, log. 1	$I_{\text{Batt}1}$	$U_{\text{Batt}}=5,25 \text{ V}, U_e=5 \text{ V}$		10	15	mA
Stromaufnahme, log. 0	$I_{\text{Batt}0}$	$U_{\text{Batt}}=5,25 \text{ V}, U_e=0 \text{ V}$		18	26	mA

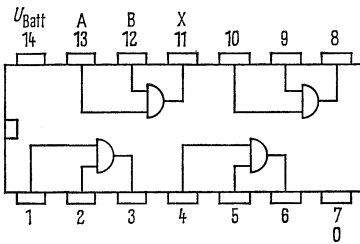
Schaltzeiten bei $U_{\text{Batt}}=5,0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{\text{pd}1}$	} $C_L=15 \text{ pF}$ $R_L=400 \text{ } \Omega$		17,5	27	ns
Ausschaltverzögerungszeit	$t_{\text{pd}0}$			12	19	ns

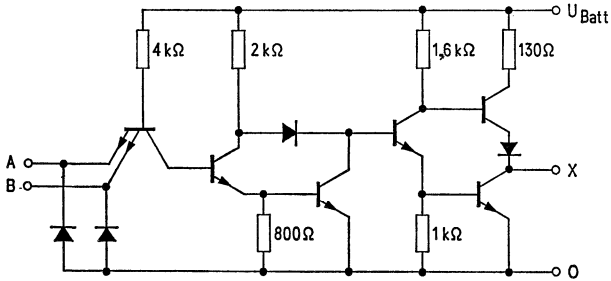
Logische Daten

Ausgangsfächer pro Ausgang	F_a		10	
Logische Funktion		$X=A \wedge B$		

FLH 381, FLH 385



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

Vier UND-Glieder mit je zwei Eingängen und offenem Kollektor

Die Bausteine FLH 391 und FLH 395 enthalten vier UND-Glieder mit je zwei Eingängen. Sie sind durch den Eintaktausgang für Phantom-UND-Verknüpfungen geeignet (wired-AND). Dabei gelten die gleichen Formeln und Tabellen wie für den Baustein FLH 201. Die Eingänge sind durch Klemmdioden vor Reflexionen geschützt.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}		2,0			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75\text{ V}$			0,4	V
Ausgangsstrom, log. 1	I_{a1}	$U_{e0}=0,8\text{ V}, I_{a0}=16\text{ mA}$ $U_{\text{Batt}}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, U_{a1}=5,5\text{ V}$			250	μA
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{\text{Batt}}$			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_e=5,5\text{ V} \mid U_{\text{Batt}}$ $=5,25\text{ V}$			1,0	mA
Stromaufnahme, log. 1	$I_{\text{Batt}1}$	$U_{\text{Batt}}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$		10	15	mA
Stromaufnahme, log. 0	$I_{\text{Batt}0}$	$U_e=5,0\text{ V}$ $U_{\text{Batt}}=5,25\text{ V}, U_e=0\text{ V}$		18	26	mA

Schaltzeiten bei $U_{\text{Batt}}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$

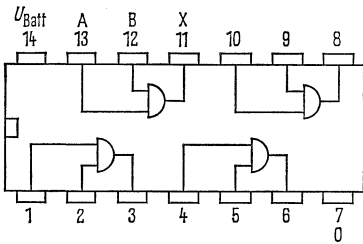
Einschaltverzögerungszeit	$t_{\text{pd}1}$	} $C_L=15\text{ pF}$ $R_L=400\ \Omega$		21		32	} ns
Ausschaltverzögerungszeit	$t_{\text{pd}0}$						

Logische Daten

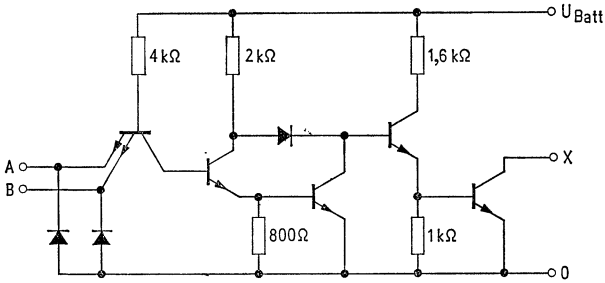
Ausgangsfächer pro Ausgang	F_a		10	
----------------------------	-------	--	----	--

Logische Funktion $X=A \wedge B$

FLH 391, FLH 395



Anschlußanordnung
Ansicht von oben

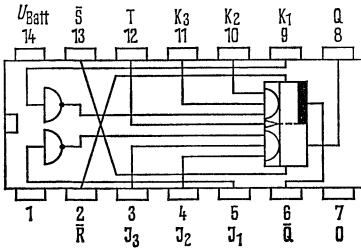


Schaltschema
(ein Glied)

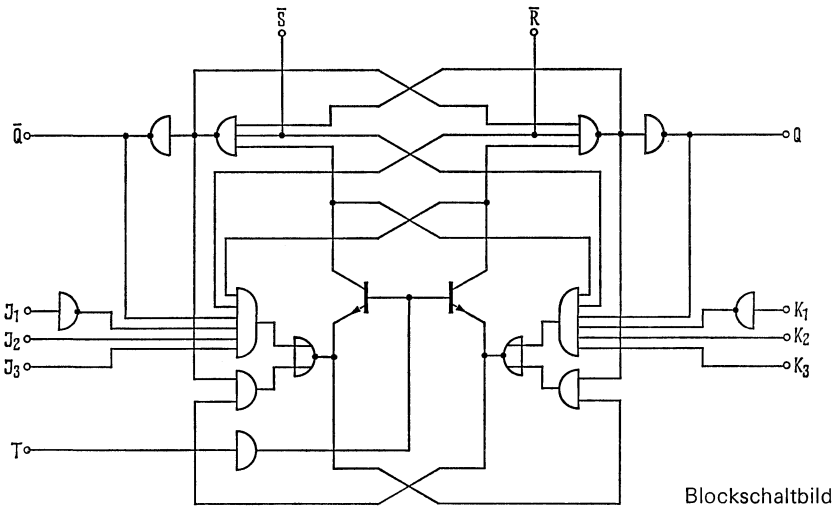
JK-Flipflop mit je drei Eingängen

NICHT FÜR NEUENTWICKLUNG	Betriebsspannung	U_{Batt}	typ. 5	V	
	Logische Spannungspiegel				
	log. 0	U_{a0}	typ. 0,23	V	
	log. 1	U_{a1}	typ. 3,30	V	
	Statische Störsicherheit	U_{ss}	typ. 1,0	V	
	Mittlere Stromaufnahme	I_{Batt}	typ. 13	mA	
	Ausgangsfächer	F_a	max. 10		
	Mittlere Verzögerungszeit	t_{pd}	typ. 23	ns	
	Logisches Verhalten			t_n	t_{n+1}
		J	K	Q	
	0	0	Q_n		
	0	1	0		
	1	0	1		
	1	1	\bar{Q}_n		
Anmerkungen					
	$J = \bar{J}_1 \wedge J_2 \wedge J_3$				
	$K = \bar{K}_1 \wedge K_2 \wedge K_3$				
	$t_n =$ Zeitpunkt vor dem Taktimpuls				
	$t_{n+1} =$ Zeitpunkt nach dem Taktimpuls				

Für Neuentwicklungen empfehlen wir die Typen FLJ 111, FLJ 121 und FLJ 131.



Anschlußanordnung
Ansicht von oben



Blockschaltbild

S = Stelleingang
R̄ = Rückstelleingang
T = Takteingang

NICHT FÜR NEUENTWICKLUNG

JK-Master-Slave-Flipflop

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$	24	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}			2,0			V
Eingangsspannung, log. 0	U_{e0}	$I_L=-400\ \mu\text{A}$ U_{Batt} $I_L=16\ \text{mA}$ $=4,75\text{ V}$	24	2,4	3,5	0,8	V
Ausgangsspannung, log. 1	U_{a1}			0,22	0,4		V
Ausgangsspannung, log. 0	U_{a0}	$U_{e1}=2,4\text{ V}$ U_{Batt} $U_e=5,5\text{ V}$ $=5,25\text{ V}$	25	0,4	1,0	40	V
Statische Störsicherheit	U_{ss}			1			V
Eingangsstrom, log. 1, an J1, J2, J3, K1, K2, K3	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt} $U_e=5,5\text{ V}$ $=5,25\text{ V}$	25			80	μA
Eingangsstrom, log. 1, an \bar{R} , \bar{S} , oder T	I_e			1			μA
Eingangsstrom, log. 0, an J1, J2, J3, K1, K2, K3	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt} $U_e=5,5\text{ V}$ $=5,25\text{ V}$	25			1	μA
Eingangsstrom, log. 0, an \bar{S} , \bar{R} oder T	I_e			1			μA
Eingangsstrom, log. 0, an J1, J2, J3, K1, K2, K3	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	26			-1,6	mA
Eingangsstrom, log. 0, an \bar{S} , \bar{R} oder T	I_{e0}			-3,2			mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	27	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$	25		10	20	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

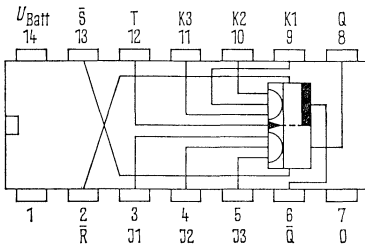
Taktimpulsdauer	t_{pT}	$C_1=15\ \text{pF}$, $F_a=10$	20			ns	
Stellimpulsdauer	t_{pS}		25			ns	
Rückstellimpulsdauer	t_{pR}	$C_1=15\ \text{pF}$, $F_a=10$	25			ns	
Vorbereitungszeit	t_V		29	t_{pT}			
Haltezeit	t_H		0				
Maximale Zählfrequenz	f_Z		29	15	20	MHz	
Ausschaltverzögerungszeit ¹⁾	t_{pd0T}	$C_1=15\ \text{pF}$, $F_a=10$	29	10	25	40	ns
Einschaltverzögerungszeit ¹⁾	t_{pd1T}		29	10	16	25	ns
Ausschaltverzögerungszeit ²⁾	$t_{pd0R,S}$	$C_1=15\ \text{pF}$, $F_a=10$	30		25	40	ns
Einschaltverzögerungszeit ²⁾	$t_{pd1R,S}$		30		16	25	ns

Logische Daten

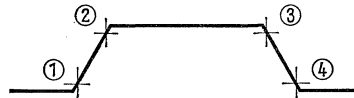
Ausgangsfächer pro Ausgang F_a		10
----------------------------------	--	----

1) Takteingang 2) Stell-, Rückstelleingang

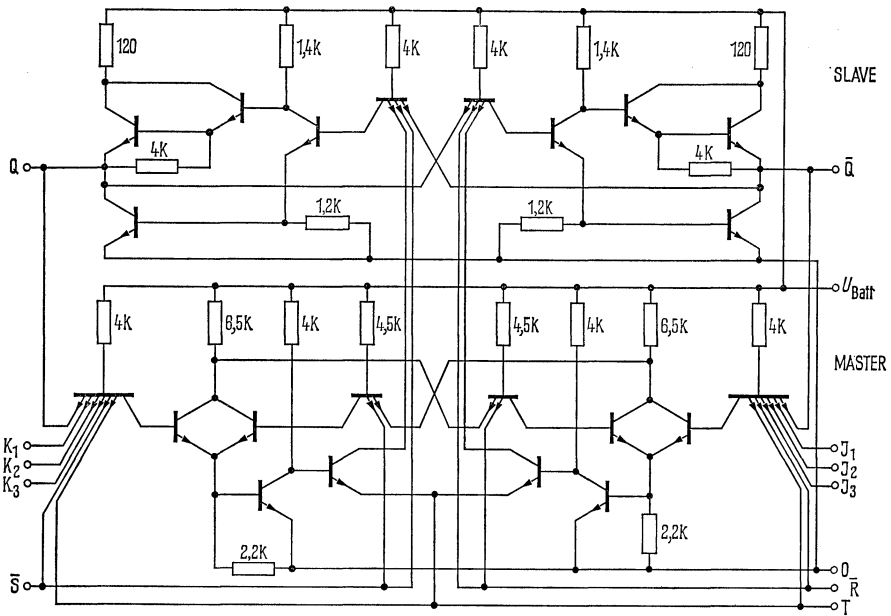
Anschlußanordnung Ansicht von oben



Taktimpuls



- (1) Slave v. Master trennen
- (2) Signal v. J und K in Master eingeben
- (3) J- und K-Eingänge sperren
- (4) Information von Master nach Slave übertragen



Schaltschema

\bar{R} = Rückstelleingang, \bar{S} = Stelleingang, T = Takteingang

Logisches Verhalten

	t_n		t_{n+1}
	J	K	Q
0	0	0	Q_n
0	0	1	0
1	0	0	1
1	1	1	\bar{Q}_n

Anmerkungen

$J = J_1 \wedge J_2 \wedge J_3$
 $K = K_1 \wedge K_2 \wedge K_3$
 t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an \bar{R} bringt Q auf log. 0 – Niedrige Spannung an \bar{S} bringt Q auf log. 1 – \bar{R} und \bar{S} arbeiten unabhängig von T.

Zwei JK-Master-Slave-Flipflop mit Rückstelleingang

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$	24	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}			2,0			V
Eingangsspannung, log. 0	U_{e0}	$I_L=-800\ \mu\text{A} \quad U_{Batt}$ $I_L=16\ \text{mA} \quad =4,75\text{ V}$	24	2,4	3,5	0,8	V
Ausgangsspannung, log. 1	U_{a1}						
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=5,25\text{ V}$	25	0,4	1,0	0,4	V
Statische Störsicherheit	U_{ss}						
Eingangsstrom, log. 1, an J oder K	I_{e1}	$U_{e1}=2,4\text{ V}$ $U_e=5,5\text{ V} \quad U_{Batt}$ $U_{e1}=2,4\text{ V} \quad =5,25\text{ V}$ $U_e=5,5\text{ V}$	25			40	μA
Eingangsstrom, log. 1, an \bar{R} oder T	I_{e1}						
Eingangsstrom, log. 0, an J, K, an \bar{R} oder T	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	26			80	μA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}						
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$	28	-18		-57	mA
			25		20	40	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ °C}$

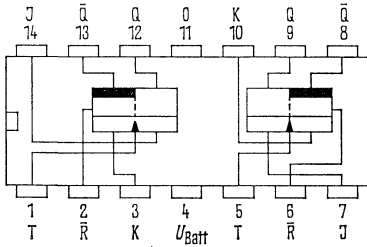
Taktimpulsdauer	t_{pT}	$C_1=15\ \text{pF}, F_a=10$	29	20			ns
Rückstellimpulsdauer	t_{pR}			25			ns
Vorbereitungszeit	t_V	$C_1=15\ \text{pF}, F_a=10$	29	t_{pT}			
Haltezeit	t_H			0			
Maximale Zählfrequenz	f_Z	$C_1=15\ \text{pF}, F_a=10$	29	15	20		MHz
Ausschaltverzögerungszeit ¹⁾	t_{pd0T}			10	25	40	ns
Einschaltverzögerungszeit ¹⁾	t_{pd1T}			10	16	25	ns
Ausschaltverzögerungszeit ²⁾	t_{pd0R}			30	25	40	ns
Einschaltverzögerungszeit ²⁾	t_{pd1R}		30	16	25	ns	

Logische Daten

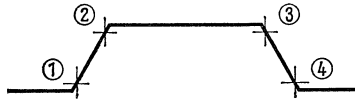
Ausgangsfächer pro Ausgang F_a | | 10 |

1) Takteingang 2) Rückstelleingang

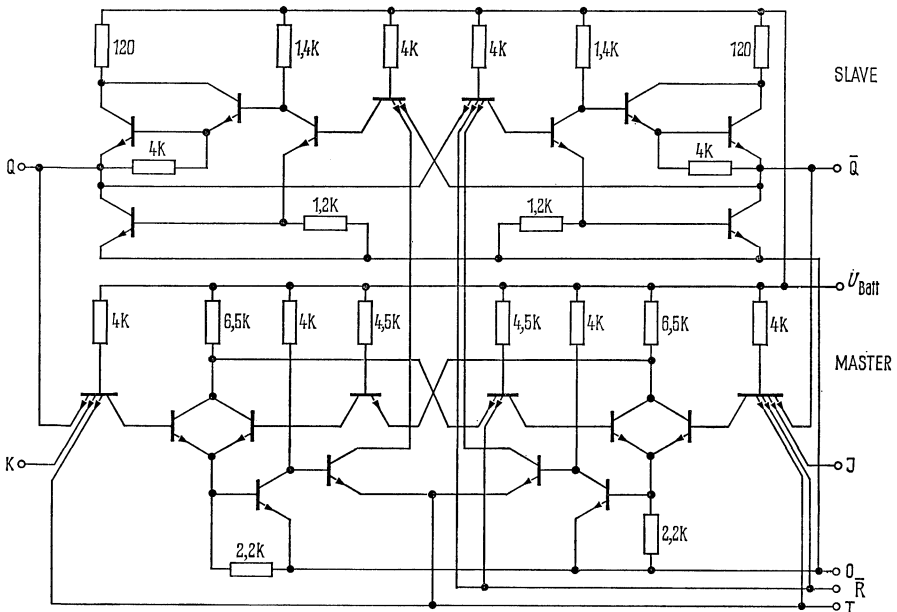
Anschlußanordnung Ansicht von oben



Taktimpuls



- (1) Slave v. Master trennen
- (2) Signal v. J und K in Master eingeben
- (3) J- und K-Eingänge sperren
- (4) Information von Master nach Slave übertragen



Schaltschema (ein Flipflop)

\bar{R} = Rücksteilgang, T = Takteingang

Logisches Verhalten
(jedes Flipflop)

		t_n		t_{n+1}
		J	K	Q
	0	0	0	Q_n
	0	0	1	0
	1	0	0	1
	1	1	1	\bar{Q}_n

Anmerkungen
 t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an \bar{R} bringt Q auf log. 0 – \bar{R} arbeitet unabhängig von T.

Zwei JK-Master-Slave-Flipflop mit Stell- und Rückstelleingang

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schäl- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$	24	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}			2,0			V
Eingangsspannung, log. 0	U_{e0}	$I_L=-400\ \mu\text{A} \quad U_{Batt}$ $I_L=16\ \text{mA} \quad =4,75\text{ V}$	24			0,8	V
Ausgangsspannung, log. 1	U_{a1}			2,4	3,5		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=5,25\text{ V}$	24		0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1,0		V
Eingangsstrom, log. 1, an J oder K	I_{e1}	$U_{e1}=2,4\text{ V}$	25			40	μA
	I_e	$U_e=5,5\text{ V}$	25			1	mA
Eingangsstrom, log. 1, an \bar{R} , \bar{S} oder T	I_{e1}	$U_{e1}=2,4\text{ V}$	25			80	μA
	I_e	$U_e=5,5\text{ V}$	25			1	mA
Eingangsstrom, log. 0, an J, K, an \bar{R} , \bar{S} oder T	I_{e0}	$U_{Batt}=5,25\text{ V}$	26			-1,6	mA
	I_{e0}	$U_{e0}=0,4\text{ V}$	26			-3,2	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$	27	-18		-57	mA
		$U_e=0\text{ V}$					
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$	25		20	40	mA
		$U_e=5,0\text{ V}$					

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

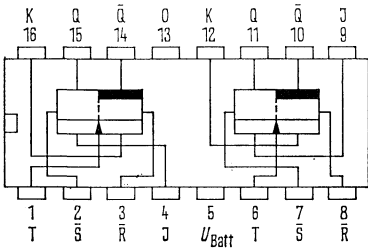
Taktimpulsdauer	t_{pT}	$C_1=15\ \text{pF}, F_a=10$	29	20			ns
Stellimpulsdauer	t_{pS}			25			ns
Rückstellimpulsdauer	t_{pR}			25			ns
Vorbereitungszeit	t_v	$C_1=15\ \text{pF}, F_a=10$	30	t_{pT}			
Haltezeit	t_H			0			
Maximale Zählfrequenz	f_Z			29	15	20	
Ausschaltverzögerungszeit ¹⁾	t_{pd0T}	$C_1=15\ \text{pF}, F_a=10$	30	29	10	25	40
Einschaltverzögerungszeit ¹⁾	t_{pd1T}			29	10	16	25
Ausschaltverzögerungszeit ²⁾	$t_{pd0R,S}$			30	25	40	ns
Einschaltverzögerungszeit ²⁾	$t_{pd1R,S}$			30	16	25	ns

Logische Daten

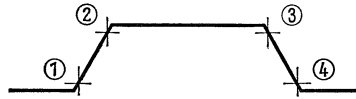
Ausgangsfächer pro Ausgang F_a | | 10 |

1) Takteingang 2) Stelleingang bzw. Rückstelleingang

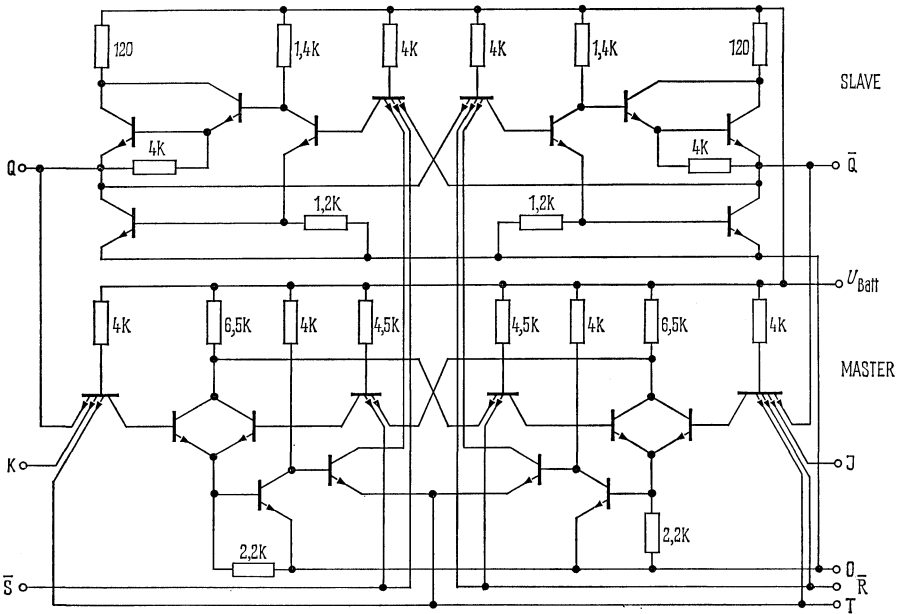
Anschlußanordnung Ansicht von oben



Taktimpuls



- (1) Slave von Master trennen
- (2) Signal von J und K in Master eingeben
- (3) J- und K-Eingänge sperren
- (4) Information von Master nach Slave übertragen



Schaltschema (ein Flipflop)

\bar{R} = Rückstelleingang, \bar{S} = Stelleingang, T = Takteingang

Logisches Verhalten
(jedes Flipflop)

t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an \bar{R} bringt Q auf log. 0
 – Niedrige Spannung an \bar{S} bringt Q auf log. 1 – \bar{R} und \bar{S} arbeiten unabhängig von T

Zwei D-Flipflop

Das Flipflop FLJ 141 bzw. FLJ 145 besitzt taktunabhängige Stell- und Rückstelleingänge. Die Weiterleitung einer Information am D-Eingang zum Q-Ausgang erfolgt während der positiven Taktflanke, sobald der Schwellwert des Eingangstransistors erreicht ist. Anschließend ist der D-Eingang wieder gesperrt.

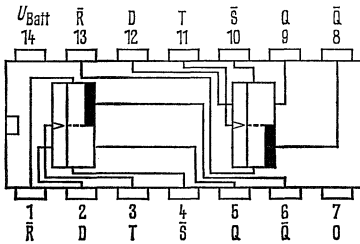
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$	31	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}			2,0			V
Eingangsspannung, log. 0	U_{e0}					0,8	V
Ausgangsspannung, log. 1	U_{a1}	$I_L=-400\ \mu\text{A}$ $I_L=16\ \text{mA}$ $U_{Batt}=4,75\text{ V}$	31	2,4	3,5		V
Ausgangsspannung, log. 0	U_{a0}				0,22	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1,0		V
Eingangsstrom, log. 1, an D	I_{e1}	$U_{e1}=2,4\text{ V}$ $U_e=5,5\text{ V}$	32			40	μA
	I_e					1	mA
Eingangsstrom, log. 1, an S oder T	I_{e1}	$U_{e1}=2,4\text{ V}$ $U_e=5,5\text{ V}$ $U_{Batt}=5,25\text{ V}$	32			80	μA
	I_e					1	mA
Eingangsstrom, log. 1, an \bar{R}	I_{e1}	$U_{e1}=2,4\text{ V}$ $U_e=5,5\text{ V}$	32			120	μA
	I_e					1	mA
Eingangsstrom, log. 0, an D oder S	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	33			-1,6	mA
Eingangsstrom, log. 0, an \bar{R} oder T	I_{e0}						-3,2
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	34	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25$ $U_e=5\text{ V}$	32		17	30	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

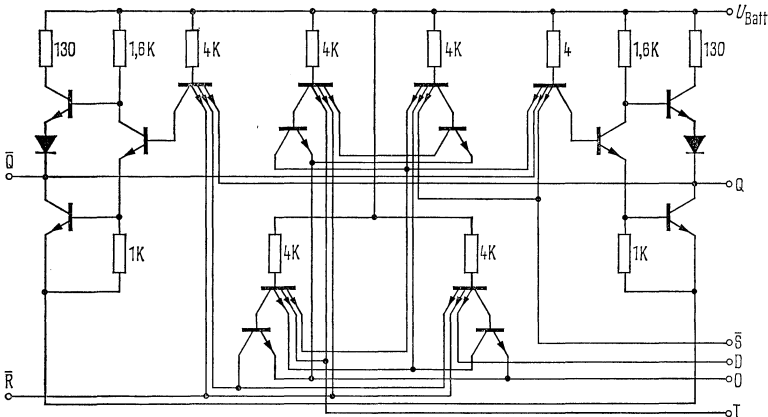
Taktimpulsdauer	t_{pT}			30			ns
Stellimpulsdauer	t_{pS}			30			ns
Rückstellimpulsdauer	t_{pR}			30			ns
Maximale Zählfrequenz	fz		30 a	15	25		MHz
Minimale Vorbereitungszeit	t _v		30 a		15	20	ns
Minimale Haltezeit	t _H		30 a		2	5	ns
Ausschaltverzögerungszeit von \bar{R} oder S zum Ausgang	$t_{pd0\ R,S}$	$C_1=15\ \text{pF}$ $F_a=10$	30	10	20	40	ns
Ausschaltverzögerungszeit von T zum Ausgang	$t_{pd0\ T}$						
Einschaltverzögerungszeit von \bar{R} oder S zum Ausgang	$t_{pd1\ R,S}$	$C_1=15\ \text{pF}$ $F_a=10$	30	10	14	25	ns
Einschaltverzögerungszeit von T zum Ausgang	$t_{pd1\ T}$						

Logische Daten

Ausgangsfächer pro Ausgang	F_a					10	
----------------------------	-------	--	--	--	--	----	--



Anschlußanordnung
Ansicht von oben



Schaltschema (ein Flipflop)

D=Informationseingang, \bar{R} =Rückstelleingang,
 \bar{S} =Stelleingang, T=Takteingang

Logisches Verhalten
(jedes Flipflop)

	t_n	t_{n+1}	
	D	Q	\bar{Q}
0	0	0	1
1	1	1	0

t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an \bar{R} bringt Q auf log. 0 – Niedrige Spannung an \bar{S} bringt Q auf log. 1 – \bar{R} und \bar{S} arbeiten unabhängig von T.

Vier D-Flipflop

Das Flipflop FLJ 151 bzw. FLJ 155 hat zwei stabile Zustände, die mit dem Takt gesteuert werden können. Solange der Taktimpuls anliegt, wird jede am D-Eingang eingespeiste Information nach dem Q-Ausgang übertragen. Sie bleibt dort erhalten, auch wenn der Taktimpuls abfällt. Die Information wird gelöscht, wenn der Taktimpuls wiederkehrt.

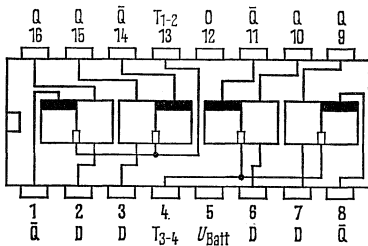
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$	36	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}			2,0			
Eingangsspannung, log. 0	U_{e0}	$I_L=-400\ \mu\text{A} \quad U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$	37	2,4	1,0	0,8	V
Ausgangsspannung, log. 1	U_{a1}					36, 37	V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=5,25\text{ V}$	38	0,4	1,0	0,4	V
Statische Störsicherheit	U_{ss}					36, 37	V
Eingangsstrom, log. 1, an D	I_{e1}	$U_{e1}=2,4\text{ V} \quad U_{Batt}=5,25\text{ V}$ $U_{e1}=2,4\text{ V}$	38	-18	32	80	μA
Eingangsstrom, log. 1, an T	I_e					38	mA
Eingangsstrom, log. 0, an D	I_{e0}	$U_{e0}=5,5\text{ V} \quad U_{Batt}=5,25\text{ V}$ $U_{e0}=2,4\text{ V}$	38	-18	32	160	μA
an T	I_e					38	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	39	-18	32	-3,2	mA
Stromaufnahme	I_{Batt}					38	mA
		$U_{Batt}=5,25\text{ V}$	40			53	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

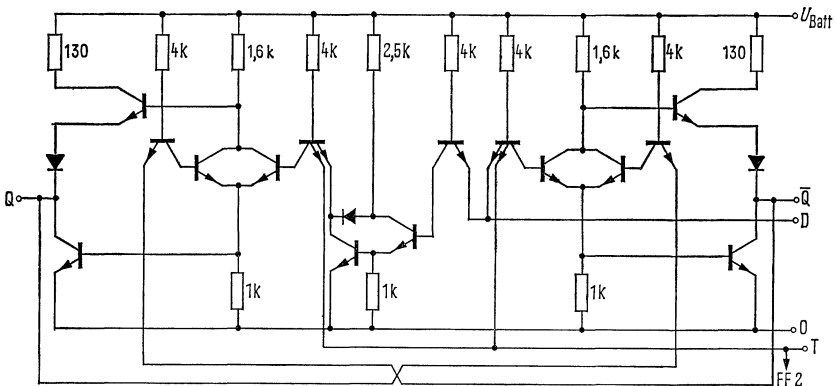
Vorbereitungszeit, log. 1, an D	t_{V1}	$C_1=15\text{ pF}$ $R_L=400\ \Omega$	0	7	20	ns
Vorbereitungszeit, log. 0, an D	t_{V0}			14	20	ns
Haltezeit	t_H			15	ns	
Ausschaltverzögerungszeit von Eingang D zum Ausgang Q	t_{pd0}			14	25	ns
von Eingang D zum Ausgang \bar{Q}	t_{pd0}			7	15	ns
vom Takteingang zum Ausgang Q	t_{pd0}			7	15	ns
vom Takteingang zum Ausgang \bar{Q}	t_{pd0}			7	15	ns
Einschaltverzögerungszeit von Eingang D zum Ausgang Q	t_{pd1}			16	30	ns
von Eingang D zum Ausgang \bar{Q}	t_{pd1}			24	40	ns
vom Takteingang zum Ausgang Q	t_{pd1}			16	30	ns
vom Takteingang zum Ausgang \bar{Q}	t_{pd1}			16	30	ns

Logische Daten

Ausgangsfächer pro Ausgang	F_a	10
----------------------------	-------	----



Anschlußanordnung
Ansicht von oben



Schaltschema (ein Flipflop)

D=Informationseingang, T=Takteingang

Logisches Verhalten (jedes Flipflop)

t_n	t_{n+1}	
D	Q	\bar{Q}
1	1	0
0	0	1

t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

Zähldekade

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$I_L=-400\ \mu\text{A}$ U_{Batt}	2,4			V
Ausgangsspannung, log. 0	U_{a0}	$I_L=16\ \text{mA}$ U_{Batt}			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, an	I_{e1}	$U_{e1}=2,4\text{ V}$			40	μA
$R_{01}, R_{02}, R_{91}, R_{92}$	I_e	$U_e=5,5\text{ V}$			1	mA
Eingangsstrom, log. 1, an A	I_{e1}	$U_{e1}=2,4\text{ V}$			80	μA
	I_e	$U_e=5,5\text{ V}$			1	mA
Eingangsstrom, log. 1, an B	I_{e1}	$U_{e1}=2,4\text{ V}$			160	μA
	I_s	$U_e=5,5\text{ V}$			1	mA
Eingangsstrom, log. 0, an	I_{e0}				-1,6	mA
$R_{01}, R_{02}, R_{91}, R_{92}$		$U_{Batt}=5,25\text{ V}$				
Eingangsstrom, log. 0, an A	I_{e0}	$U_{e0}=0,4\text{ V}$			-3,2	mA
Eingangsstrom, log. 0, an B	I_{e0}				-6,4	mA
Kurzschlußausgangsstrom pro Ausgang	I_{eK}	$U_{Batt}=5,25\text{ V}$	-18		-57	mA
		$U_e=0\text{ V}$				
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		32	53	mA
		$U_e=4,5\text{ V}$				

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ °C}$

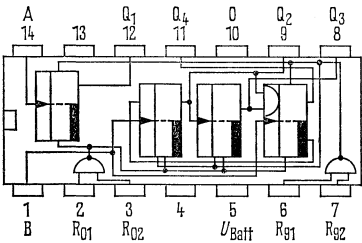
Zählpulsdauer	t_{pZ}	$C_1=15\text{ pF}$ $R_L=400\ \Omega$	50			ns
Rückstellimpulsdauer	t_{pR}		50			ns
Maximale Zählfrequenz	f_Z		10	18		MHz
Ausschaltverzögerungszeit ¹⁾	t_{pd0}			60	100	ns
Einschaltverzögerungszeit ¹⁾	t_{pd1}		60	100	ns	

Logische Daten

Ausgangsfächer pro Ausgang F_a		10
----------------------------------	--	----

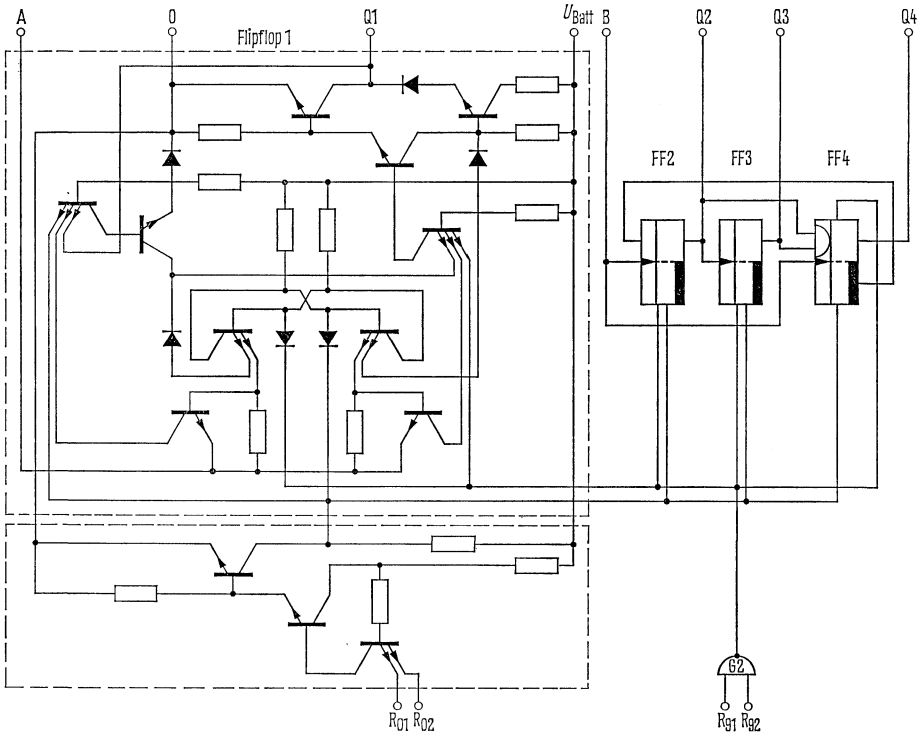
¹⁾ gemessen zwischen Eingang A und Ausgang Q₃

FLJ 161, FLJ 165



Anschlußanordnung
Ansicht von oben

Schaltschema
A, B = Zähl Eingänge,
R01 - R92 = Rückstelleingänge



Logisches Verhalten als Dezimalzähler
(Q1 und B verbunden)

Zählfolge	0	1	2	3	4	5	6	7	8	9
Aus- gänge										
Q1	0	1	0	1	0	1	0	1	0	1
Q2	0	0	1	1	0	0	1	1	0	0
Q3	0	0	0	0	1	1	1	1	0	0
Q4	0	0	0	0	0	0	0	0	1	1

Rückstellen/Zählen (X = log. 1 oder log. 0)

Rückstelleingänge				Ausgänge			
R01	R02	Rg1	Rg2	Q4	Q3	Q2	Q1
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	zählen			
0	X	0	X	zählen			
0	X	X	0	zählen			
X	0	0	X	zählen			

Teiler durch zwölf

Der Baustein FLJ 171 bzw. FLJ 175 besteht aus einem zweifachen Teiler und einem sechsfachen Teiler. Bei Verwendung als zwölffachen Teiler muß der Ausgang des zweifachen Teilers Q₁ mit dem Eingang des sechsfachen Teilers B verbunden werden.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{Batt}=4,75\text{ V}$ $I_L=-400\ \mu\text{A}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}		2,0			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 1	U_{a1}		2,4			V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, an R01, R02	I_{e1}	$U_{Batt}=5,25\text{ V}$			40	μA
	I_e				1	mA
Eingangsstrom, log. 1, an A	I_{e1}				80	μA
	I_e				1	mA
Eingangsstrom, log. 1, an B	I_{e1}				160	μA
	I_e				1	mA
Eingangsstrom, log. 0, an R01, R02	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 0, an A	I_{e0}				-3,2	mA
Eingangsstrom, log. 0, an B	I_{e0}			-6,4	mA	
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_a=0\text{ V}$	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$		31	51	mA

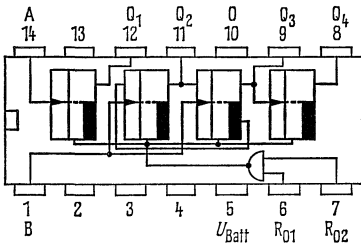
Schaltzeiten bei $U_{Batt}=5,0\text{ V}$, $T_U=25\text{ °C}$

Zählimpulsdauer	t_{pZ}	$C_1=15\text{ pF}$ $R_L=400\ \Omega$	50			ns
Rückstellimpulsdauer	t_{pR}		50			ns
Maximale Zählfrequenz	f_Z		10	18		MHz
Ausschaltverzögerungszeit ¹⁾	t_{pd0}			60	100	ns
Einschaltverzögerungszeit ¹⁾	t_{pd1}		60	100	ns	

Logische Daten

Ausgangsfächer pro Ausgang	F_a		10	
----------------------------	-------	--	----	--

¹⁾ gemessen zwischen Eingang A und Ausgang Q₄



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

Zählfolge	Ausgänge			
	Q ₄	Q ₃	Q ₂	Q ₁
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	1	0	0	0
7	1	0	0	1
8	1	0	1	0
9	1	0	1	1
10	1	1	0	0
11	1	1	0	1

Anmerkungen:

Q₁ mit B verbunden.

Um alle Ausgänge auf log.0 zu setzen, muß R₀₁ und R₀₂ auf log.1 sein.

4-Bit-Binärzähler

Der Baustein FLJ 181 bzw. FLJ 185 besteht aus einem zweifachen Teiler und aus einem achtfachen Teiler. Bei Verwendung als Binärzähler muß der Ausgang des zweifachen Teilers Q₁ mit dem Eingang des achtfachen Teilers B verbunden werden.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{\text{Batt}}=4,75\text{ V}$ $I_{\text{L}}=-400\ \mu\text{A}$ $U_{\text{Batt}}=4,75\text{ V}$ $I_{\text{L}}=16\text{ mA}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}		2,0			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 1	U_{a1}		2,4			V
Ausgangsspannung, log. 0	U_{a0}				0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, an R ₀₁ , R ₀₂	I_{e1}	$U_{\text{e1}}=2,4\text{ V}$ $U_{\text{Batt}}=5,25\text{ V}$ $U_{\text{e}}=5,5\text{ V}$ $U_{\text{e1}}=2,4\text{ V}$ $U_{\text{e}}=5,5\text{ V}$			40	μA
Eingangsstrom, log. 1, an A oder B	I_{e}				1	mA
Eingangsstrom, log. 0, an R ₀₁ , R ₀₂	I_{e0}				80	μA
Eingangsstrom, log. 0, an A oder B	I_{e}				1	mA
Eingangsstrom, log. 0, an R ₀₁ , R ₀₂	I_{e0}	$U_{\text{Batt}}=5,25\text{ V}$ $U_{\text{e0}}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 0, an A oder B	I_{e}				-3,2	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{\text{Batt}}=5,25\text{ V}$ $U_{\text{a}}=0\text{ V}$	-18		-57	mA
Stromaufnahme	I_{Batt}		$U_{\text{Batt}}=5,25\text{ V}$ $U_{\text{e}}=4,5\text{ V}$		32	53

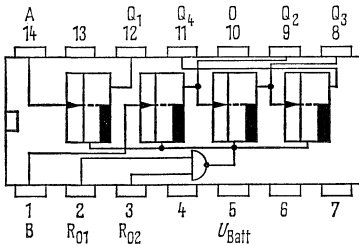
Schaltzeiten bei $U_{\text{Batt}}=5,0\text{ V}$, $T_{\text{U}}=25\text{ }^{\circ}\text{C}$

Zählimpulsdauer	t_{pZ}	$C_1=15\text{ pF}$ $R_{\text{L}}=400\ \Omega$	50			ns
Rückstellimpulsdauer	t_{pR}		50			ns
Maximale Zählfrequenz	f_{Z}		10	18		MHz
Ausschaltverzögerungszeit ¹⁾	t_{pd0}			75	135	ns
Einschaltverzögerungszeit ¹⁾	t_{pd1}			75	135	ns

Logische Daten

Ausgangsfächer pro Ausgang F_{a} | 10 |

¹⁾ gemessen zwischen Eingang A und Ausgang Q₄



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

Zählfolge	Ausgänge			
	Q ₄	Q ₃	Q ₂	Q ₁
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Anmerkungen:

Q₁ mit B verbunden.

Um alle Ausgänge auf log. 0 zurückzusetzen, muß R₀₁ und R₀₂ auf log. 1 sein.

4-Bit-rechts/links-Schieberegister

Der Baustein FLJ 191 bzw. FLJ 195 ist ein 4-Bit-Schieberegister mit folgenden Betriebsmöglichkeiten:

Rechts-Schiebe-Betrieb als Serienschieberegister: Betriebszustand (Anschluß 6) auf log.0. Betrieb durch Takten des Eingangs »Schiebetakt rechts«. Eingang »Schiebetakt links« und Eingänge A bis D sind gesperrt.

Links-Schiebe-Betrieb: Betriebszustand (Anschluß 6) auf log.1. Betrieb durch Takten des Eingangs »Schiebetakt links«. Serieneingang und Eingang »Schiebetakt rechts« sind gesperrt. Durch die Eingänge A bis D kann das Register parallel eingespeichert werden. Eingang D wird durch Verbinden von Q₄ mit C, Q₃ mit B und Q₂ mit A zum Serieneingang.

Anwendung: Serien-Parallel-Umsetzer; Parallel-Serien-Umsetzer; Speicher

Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$	2,4			V
		$I_L=-400\ \mu\text{A}$				
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, an A, B, C, D und Serien- eingang	I_{e1} I_e	$U_{e1}=2,4\text{ V}$ $U_e=5,5\text{ V}$			40 1	μA mA
		$U_{Batt}=5,25\text{ V}$				
Eingangsstrom, log. 1, an Betriebszustand	I_{e1}	$U_{e1}=2,4\text{ V}$			80	μA
Eingangsstrom, log. 0, an A, B, C, D und Serien- eingang	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			1 -1,6	μA mA
Eingangsstrom, log. 0, an Betriebszustand	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-3,2	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		50	85	mA

Logische Daten

Ausgangsfächer pro Ausgang	F_a				10	
----------------------------	-------	--	--	--	----	--

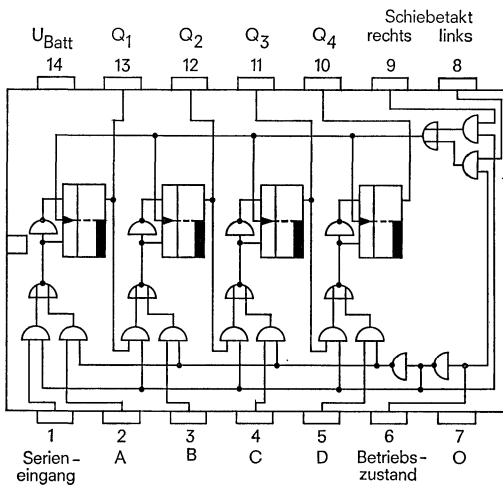
Schaltzeiten

bei $U_{\text{Batt}}=5,0\text{V}$, $T_U=25^\circ\text{C}$

Taktimpulsdauer t_{pT}
 Vorbereitungszeit t_V
 an A, B, C, D und Serien-
 eingang
 Haltezeit t_H
 an A, B, C, D und Serien-
 eingang
 Vorbereitungszeit, log. 0,
 an Betriebszustand, bei
 a) Schiebetakt rechts t_{V0r}
 b) Schiebetakt links t_{V0l}
 Vorbereitungszeit, log. 1,
 an Betriebszustand, bei
 a) Schiebetakt rechts t_{V1r}
 b) Schiebetakt links t_{V1l}
 Maximale Zählfrequenz f_Z
 Ausschaltverzögerungszeit¹⁾ t_{pd0}
 Einschaltverzögerungszeit¹⁾ t_{pd1}

Prüfbedingungen	min	typ	max	Einheit
	15	10		ns
	20	10		ns
	0	-10		ns
	20			ns
	10			ns
	10			ns
	20			ns
	20	31		MHz
$C_1=15\text{ pF}$ $R_L=400\ \Omega$		24	35	ns
		26	35	ns
				ns

1) Takteingang



Anschlußanordnung
 Ansicht von oben

Dezimaler Vor/Rück-Zähler (vorläufige Daten)

Die Bausteine FLJ 201 und FLJ 205 sind BCD-Vorwärts-Rückwärts-Zähler. Log.0 an Freigabe 1 ermöglicht das Zählen, bei log.1 wird der Zähler blockiert. Die Betriebsart – vorwärts oder rückwärts – wird durch den logischen Pegel festgelegt: bei log.0 vorwärts, bei log.1 rückwärts. Der Zähler ist unabhängig vom Takt programmierbar. Liegt am Stelleingang \bar{S} log.0, dann erscheinen die an den Informationseingängen angebotenen Informationen an den entsprechenden Ausgängen. Der Zähler kann als beliebig einstellbarer Teiler arbeiten. Mehrere Zähler können parallel oder seriell betrieben werden. Dabei liefert der Zähler nach dem 9. Impuls an den Ausgängen Übertrag einen positiven Impuls (log.1) und an Freigabe 2 einen negativen Impuls (log.0).

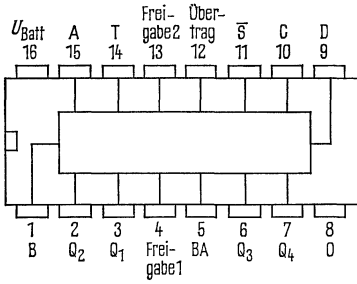
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log.1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log.0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log.1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $I_L=-400\ \mu\text{A}$	2,4			V
Ausgangsspannung, log.0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log.1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt}			40	μA
Eingangsstrom, log.0, pro Eingang	I_{e0}	$U_e=5,5\text{ V}$ $=5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$			1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$	-18		-55	mA
Stromaufnahme	I_{Batt}	$U_a=0\text{ V}$ $U_{Batt}=5,25\text{ V}$		65	105	mA

Schaltzeiten bei $U_{Batt}=5,0\text{ V}$, $T_U=25\text{ °C}$

maximale Zählfrequenz	f_z	25	32		MHz
mittlere Schaltverzögerungszeit	t_{pd}		20		ns

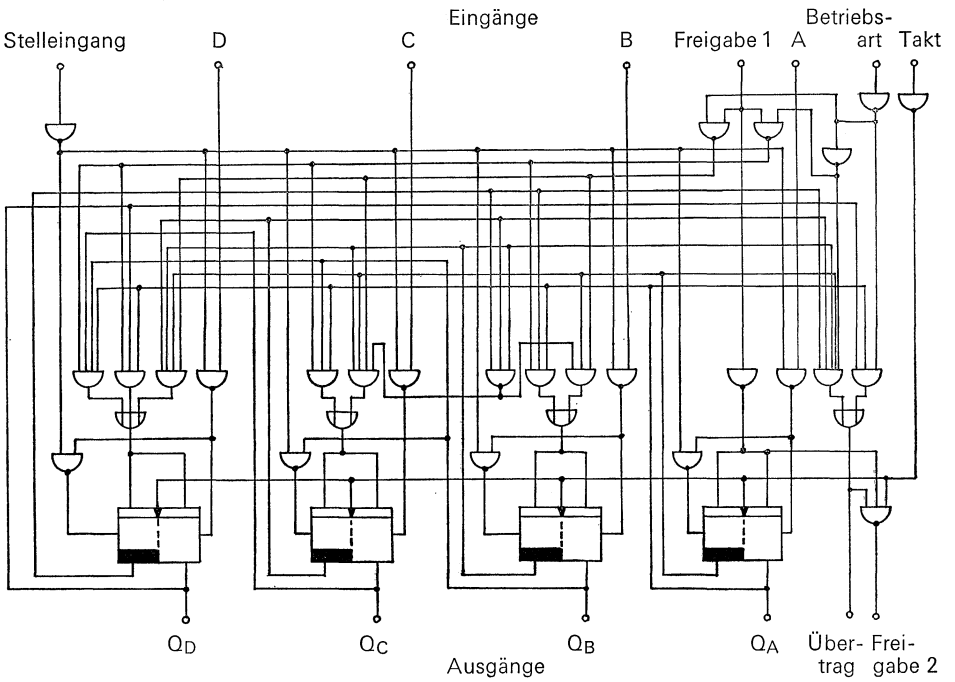
Logische Daten

Ausgangsfächer pro Ausgang	F_a			10	
----------------------------	-------	--	--	----	--



Anschlußanordnung
Ansicht von oben

Blockschaltbild



Binärer Vor/Rück-Zähler (vorläufige Daten)

Die Bausteine FLJ 211 und FLJ 215 sind binäre Vorwärts-Rückwärts-Zähler. Log.0 an Freigabe 1 ermöglicht das Zählen, bei log.1 wird der Zähler blockiert. Die Betriebsart – vorwärts oder rückwärts – wird durch den logischen Pegel festgelegt: bei log.0 vorwärts, bei log.1 rückwärts. Der Zähler ist unabhängig vom Takt programmierbar. Liegt am Stelleingang \bar{S} log.0, dann erscheinen die an den Informationseingängen angebotenen Informationen an den entsprechenden Ausgängen. Der Zähler kann als beliebig einstellbarer Teiler arbeiten. Mehrere Zähler können parallel oder seriell betrieben werden. Dabei liefert der Zähler nach dem 15. Impuls an den Ausgängen Übertrag einen positiven Impuls (log.1) und an Freigabe 2 einen negativen Impuls (log.0).

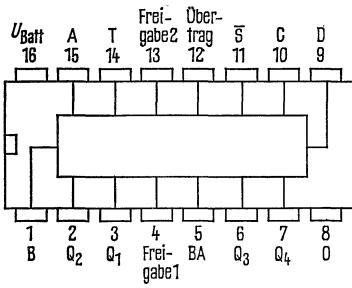
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log.1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log.0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log.1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2,4			V
Ausgangsspannung, log.0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log.1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt}			40	μA
Eingangsstrom, log.0, pro Eingang	I_{e0}	$U_e=5,5\text{ V}$ $=5,25\text{ V}$			1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$ $U_a=0\text{ V}$	-18		-55	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		65	105	mA

Schaltzeiten bei $U_{Batt}=5,0\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

maximale Zählfrequenz	f_z	25	32		MHz
mittlere Schaltverzögerungszeit	t_{pd}		20		ns

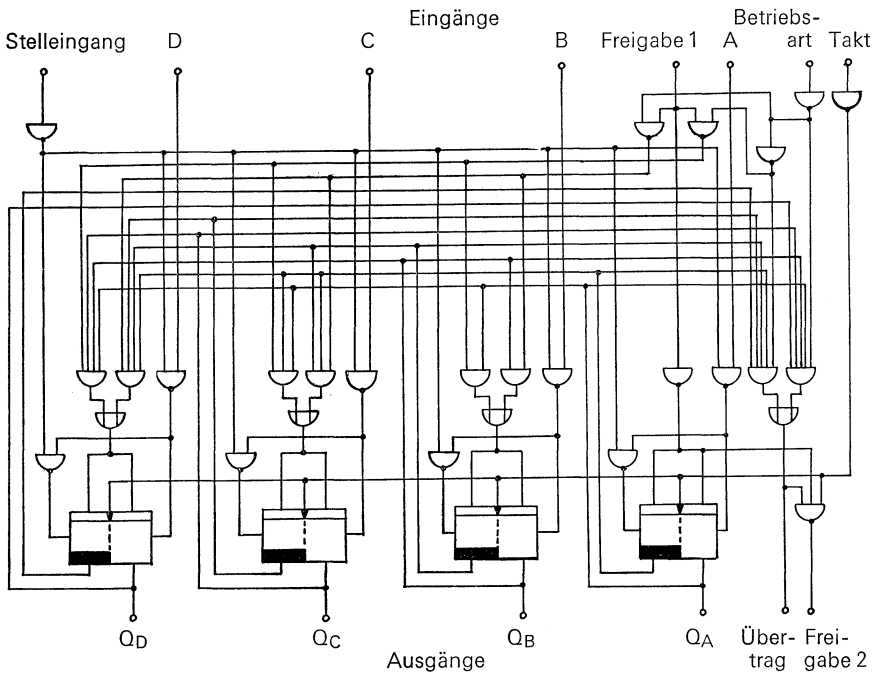
Logische Daten

Ausgangsfächer pro Ausgang	F_a			10	
----------------------------	-------	--	--	----	--



Anschlußanordnung
Ansicht von oben

Blockschaltbild



8-Bit-Serienschieberegister

Die Bausteine FLJ 221 und FLJ 225 sind 8-Bit Schieberegister mit Serienein- und -ausgabe. Sie ermöglichen Speicherung und Übertragung von Daten bis zu einer Taktfrequenz von typisch 18 MHz. An der positiven Flanke des Taktimpulses wird die Information zum Ausgang geschoben. Dadurch eignet sich dieses Schieberegister in Schaltungen mit flankengesteuerten Bausteinen wie FLJ 101 und FLJ 141.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75 \text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75 \text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=4,75 \text{ V}$ $I_L=-400 \mu\text{A}$	2,4	3,5		V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75 \text{ V}$ $I_L=16 \text{ mA}$		0,22	0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1	I_{e1}	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}$			40	μA
	I_e	$U_e=5,5 \text{ V} \mid =5,25 \text{ V}$			1,0	mA
Eingangsstrom, log. 0	I_{e0}	$U_{\text{Batt}}=5,25 \text{ V}$ $U_{e0}=0,4 \text{ V}$			-1,6	mA
Kurzschlußausgangsstrom pro Ausgang	I_{ak}	$U_{\text{Batt}}=5,25 \text{ V}$ $U_a=0 \text{ V}$	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{\text{Batt}}=5,25 \text{ V}$ $U_e=4,5 \text{ V}$		35	70	mA

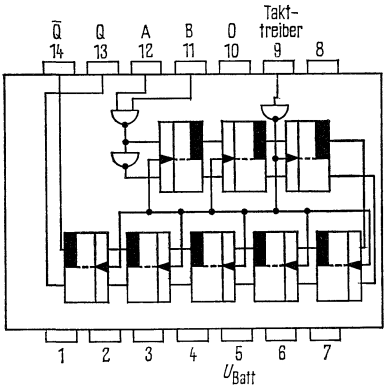
Schaltzeiten bei $U_{\text{Batt}}=5,0 \text{ V}$, $T_U=25 \text{ }^\circ\text{C}$

Taktimpulsdauer	t_{pT}		25			ns
Vorbereitungszeit	t_V		25			ns
Haltezeit	t_H		0			ns
Maximale Zählfrequenz	f_Z	$C_L=15 \text{ pF}$ $R_L=400 \Omega$	10	18		MHz
Ausschaltverzögerungszeit	t_{pd0}			27	40	ns
Einschaltverzögerungszeit	t_{pd1}			24	40	ns

Logische Daten

Ausgangsfächer pro Ausgang	F_a				10	
----------------------------	-------	--	--	--	----	--

FLJ 221, FLJ 225



Anschlußanordnung
Ansicht von oben

4-Bit-Schieberegister mit Paralleleingabe

Die Bausteine FLJ 231 und FLJ 235 sind 4-Bit-Schieberegister mit Serien- oder Paralleleingabe und Serienausgabe. Die Flipflops können entweder durch die Stelleingänge 1 oder 2 gesetzt werden. Die Eingänge A₁ bis D₁ sind betriebsbereit, wenn Stelleingang 1 auf log.1 und Stelleingang 2 auf log.0 ist. Im umgekehrtem Falle sind die Eingänge A₂ bis D₂ betriebsbereit. Bei Taktbeginn muß entweder Stelleingang 1 oder 2 und der Rückstelleingang auf log.0 sein. Unabhängig vom Takteingang werden die Flipflops auf log.0 gesetzt, wenn am Rückstelleingang log.1 angelegt wird. Die Stelleingänge sind vom Stand des Takt- und Rückstelleinganges unabhängig. Anwendung: Serien-Register; Parallel-Serien-Umsetzer mit Informationsweiche.

Statische Kenndaten		Prüfbedingungen	min	typ	max	Einheit
im Temperaturbereich 1 und 5						
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $I_L=-400\ \mu\text{A}$	2,4	3,5		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$		0,22	0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, an jeden	I_{e1}	$U_{e1}=2,4\text{ V}$			40	μA
Eingang außer Stelleingang	I_e	$U_e=5,5\text{ V}$			1	mA
1 und 2						
Eingangsstrom, log. 1, an	I_{e1}	$U_{e1}=2,4\text{ V}$			160	μA
Stelleingang 1 und 2	I_e	$U_e=5,5\text{ V}$			1	mA
Eingangsstrom, log. 0, an jeden	I_{e0}	$U_{Batt}=5,25\text{ V}$			-1,6	mA
Eingang außer Stelleingang		$U_{e0}=0,4\text{ V}$				
1 und 2						
Eingangsstrom, log. 0, an	I_{e0}	$U_{Batt}=5,25\text{ V}$			-6,4	mA
Stelleingang 1 und 2		$U_{e0}=0,4\text{ V}$				
Kurzschlußausgangsstrom	I_{ak}	$U_{Batt}=5,25\text{ V}$	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		35	57	mA

FLJ 231, FLJ 235

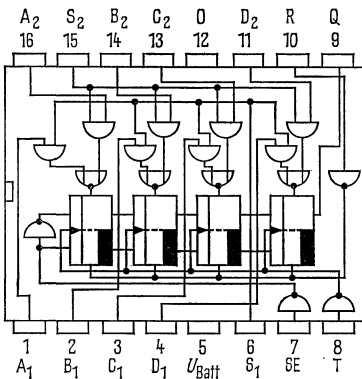
Schaltzeiten bei $U_{\text{Batt}}=5,0\text{ V}$,
 $T_U=25\text{ }^\circ\text{C}$

Taktimpulsdauer	t_{pT}
Rückstellimpulsdauer	t_{pR}
Stellimpulsdauer	t_{pS}
Vorbereitungszeit ¹⁾ , log. 1	t_{V1}
log. 0	t_{V0}
Haltezeit ¹⁾	t_H
Ausschaltverzögerungszeit ²⁾	t_{pd0T}
Ausschaltverzögerungszeit ³⁾	t_{pd0R}
Einschaltverzögerungszeit ²⁾	t_{pd1T}
Einschaltverzögerungszeit ⁴⁾	t_{pd1S}
Maximale Zählfrequenz	f_z

Prüfbedingungen	min	typ	max	Einheit	
$C_L=15\text{ pF}$ $R_L=400\ \Omega$	35			ns	
	30			ns	
	30			ns	
	35			ns	
	25			ns	
	0			ns	
			25	40	ns
			25	40	ns
				35	ns
		10			MHz

Logische Daten

Ausgangsfächer	F_a		10	
----------------	-------	--	----	--



Anschlußanordnung
 Ansicht von oben

SE = Serieneingang

1) Serieneingang SE 2) Takteingang T 3) Rückstelleingang R 4) Stelleingang S1, S2

Dezimaler Vor/Rück-Zähler mit getrennten Takteingängen

Der Baustein FLJ 241 bzw. FLJ 245 ist ein synchroner Vorwärts-Rückwärts-Dezimalzähler mit Stell- und Rückstelleingängen. Zum Löschen wird der Rückstelleingang R kurzzeitig auf log.1 gelegt. Bei log.0 am Stelleingang S wird die an den Eingängen A bis D liegende Information übernommen. Vorwärts- und Rückwärtszählen erfolgt durch die jeweiligen Takteingänge, wobei der nicht verwendete Takteingang sowie der Stelleingang auf log.1 und der Rückstelleingang auf log.0 liegen müssen. Bei mehrstelligen Zählern wird der positive und der negative Übertrag mit den Takteingängen des nachfolgenden Zählers verbunden.

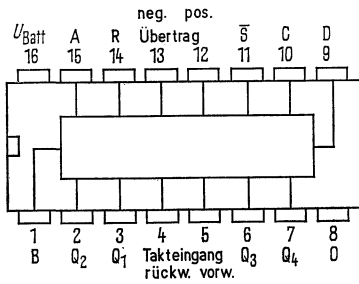
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log.1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log.0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log.1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2,4			V
Ausgangsspannung, log.0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log.1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V} \mid U_{Batt}$			40	μA
Eingangsstrom, log.0, pro Eingang	I_{e0}	$U_e=5,5\text{ V} \mid =5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$			1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$ $U_a=0\text{ V}$	-18		-65	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		65	102	mA

Schaltzeiten bei $U_{Batt}=5,0\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

maximale Zählfrequenz	f_z		25	32		MHz
Eingangsimpulsdauer	t_e		20			ns
Vorbereitungszeit	t_V		20			ns
Haltezeit	t_H		0			ns
Ausschaltverzögerungszeit von Takt zum Ausgang	t_{pd0}	} $C_L=15\text{ pF}$ $R_L=400\text{ }\Omega$		31	47	ns
von Takt zum Übertrag	t_{pd0}			16	24	ns
Einschaltverzögerungszeit von Takt zum Ausgang	t_{pd1}			25	38	ns
von Takt zum Übertrag	t_{pd1}			17	26	ns

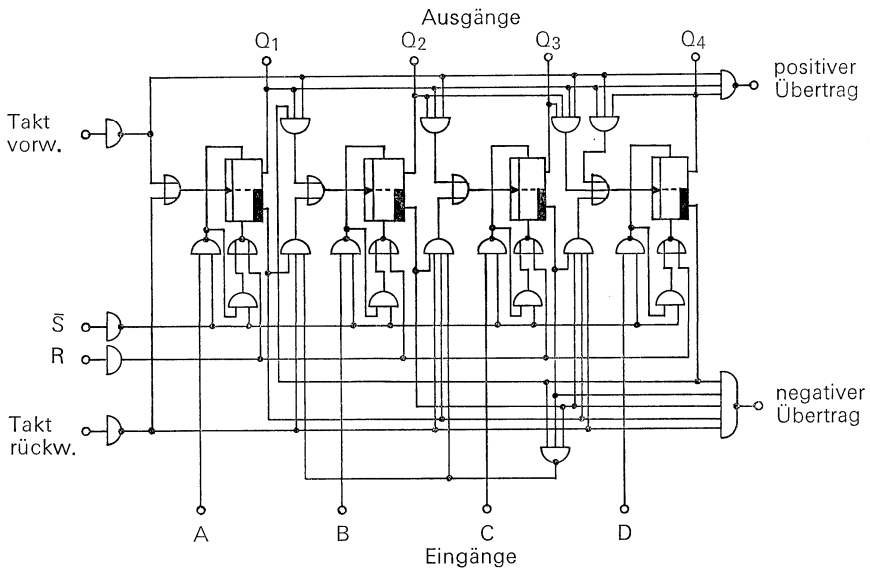
Logische Daten

Ausgangsfächer pro Ausgang	F_a			10	
----------------------------	-------	--	--	----	--



Anschlußanordnung
Ansicht von oben

Blockschaltbild



Binärer Vor/Rück-Zähler mit getrennten Takteingängen

Der Baustein FLJ 251 bzw. FLJ 255 ist ein synchroner Vorwärts-Rückwärts-Binärzähler mit Stell- und Rückstelleingang. Zum Löschen wird der Rückstelleingang R kurzzeitig auf log.1 gelegt. Bei log.0 am Stelleingang S wird die an den Eingängen A bis D liegende Information übernommen. Vorwärts- und Rückwärtszählen erfolgt durch die jeweiligen Takteingänge, wobei der nicht verwendete Takteingang sowie der Stelleingang auf log.1 und der Rückstelleingang auf log.0 liegen müssen. Beim Zählen über 15 hinaus muß der positive und negative Übertrag mit den Takteingängen des nachfolgenden Zählers verbunden werden.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log.1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log.0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log.1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $I_L=-400\ \mu\text{A}$	2,4			V
Ausgangsspannung, log.0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log.1, pro Eingang	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt}			40	μA
Eingangsstrom, log.0, pro Eingang	I_e	$U_e=5,5\text{ V}$ $=5,25\text{ V}$			1,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$ $U_a=0\text{ V}$	-18		-65	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		65	102	mA

Schaltzeiten bei $U_{Batt}=5,0\text{ V}$, $T_U=25\text{ °C}$

maximale Zählfrequenz	f_Z		25	32		MHz
Eingangsimpulsdauer	t_e		20			ns
Vorbereitungszeit	t_V		20			ns
Haltezeit	t_H		0			ns
Ausschaltverzögerungszeit von Takt zum Ausgang Q	t_{pd0}	$C_L=15\text{ pF}$ $R_L=400\ \Omega$		31	47	ns
von Takt zum Übertrag	t_{pd0}			16	24	ns
Einschaltverzögerungszeit von Takt zum Ausgang Q	t_{pd1}			25	38	ns
von Takt zum Übertrag	t_{pd1}			17	26	ns

Logische Daten

Ausgangsfächer pro Ausgang	F_a			10	
----------------------------	-------	--	--	----	--

5-Bit-Schieberegister

Die Bausteine FLJ 261 und FLJ 265 sind 5-Bit-Schieberegister mit Serien- oder Paralleleingabe und Serien- oder Parallelausgabe. Die Flipflops können auf log.1 gesetzt werden, wenn an den Eingängen A bis G und am Stelleingang S log.1 angelegt wird. Durch den gemeinsamen Stelleingang ist es möglich die Flipflops entweder unabhängig voneinander oder gleichzeitig zu setzen. Bei Taktbeginn muß der Stelleingang auf log.0 und der Rückstelleingang auf log.1 sein. Unabhängig vom Takteingang werden die Flipflops auf log.0 gesetzt, wenn am Rückstelleingang R log.0 angelegt wird.

Die Stelleingänge sind vom Stand des Takt- und Rückstelleingangs anabhängig.

Anwendung: Serien-Parallel-Umsetzer; Parallel-Serien-Umsetzer; Register; Speicher.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$	2,4	3,5		V
Ausgangsspannung, log. 0	U_{a0}	$I_L=-400\ \mu\text{A}$ $U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$		0,22	0,4	V
Statische Störsicherheit	U_{SS}		0,4	1,0		V
Eingangsstrom, log. 1, an jeden	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt}			40	μA
Eingang außer Stelleingang	I_e	$U_e=5,5\text{ V}$ $=5,25\text{ V}$			1,0	mA
Eingangsstrom, log. 1, an Stelleingang	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt}			200	μA
Eingangsstrom, log. 0, an jeden	I_{e0}	$U_e=5,5\text{ V}$ $=5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$			1,0	mA
Eingang außer Stelleingang		$U_{e0}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 0, an Stelleingang	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-8,0	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_a=0\text{ V}$	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$		48	79	mA

FLJ 261, FLJ 265

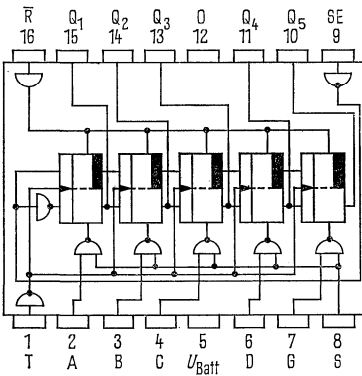
Schaltzeiten bei $U_{\text{Batt}}=5,0\text{V}$,
 $T_U=25\text{ }^\circ\text{C}$

Taktimpulsdauer	t_{pT}
Rückstellimpulsdauer	t_{pR}
Stellimpulsdauer	t_{pS}
Vorbereitungszeit ¹⁾	t_V
Haltezeit ¹⁾	t_H
Ausschaltverzögerungszeit ²⁾	t_{pd0T}
Ausschaltverzögerungszeit ³⁾	t_{pd0R}
Einschaltverzögerungszeit ²⁾	t_{pd1T}
Einschaltverzögerungszeit ⁴⁾	t_{pd1S}
maximale Zählfrequenz	f_Z

Prüfbedingungen	min	typ	max	Einheit
$C_L=15\text{ pF}$ $R_L=400\ \Omega$	35			ns
	30			ns
	30			ns
	30			ns
	0			ns
		25	40	ns
			55	ns
		25	40	ns
			35	ns
		10		

Logische Daten

Ausgangsfächer pro Ausgang F_a | | 10 | |



Anschlußanordnung
 Ansicht von oben

SE = Serieneingang

1) Serieneingang SE 2) Takteingang T 3) Rückstelleingang R 4) Stelleingang S

Zwei JK-Master-Slave-Flipflop

Der Baustein entspricht bis auf die Anschlußanordnung dem FLJ 121 bzw. FLJ 125

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2,4			V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom, log. 1, an J oder K	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt}			40	μA
	I_e	$U_e=5,5\text{ V}$ $=5,25\text{ V}$			1,0	mA
Eingangsstrom, log. 1, an \bar{R} oder T	I_{e1}	$U_{e1}=2,4\text{ V}$ U_{Batt}			80	μA
	I_e	$U_e=5,5\text{ V}$ $=5,25\text{ V}$			1,0	mA
Eingangsstrom, log. 0, an J oder K	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 0, an \bar{R} oder T	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-3,2	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=5,25\text{ V}$ $U_a=0\text{ V}$	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$		20	40	mA

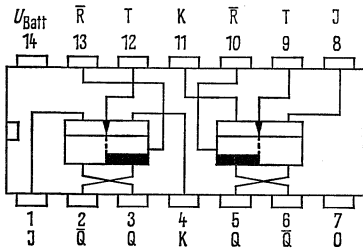
Schaltzeiten bei $U_{Batt}=5,0\text{ V}$ und $T_U=25\text{ }^\circ\text{C}$

maximale Zählfrequenz	f_Z		15	20		MHz
Taktimpulsdauer	t_{pT}		20			ns
Rückstellimpulsdauer	t_{pR}		25			ns
Vorbereitungszeit	t_V		t_{pT}			
Haltezeit	t_H		0			
Ausschaltverzögerungszeit ¹⁾	t_{pd0T}	$R_L=400\text{ }\Omega$ $C_L=15\text{ pF}$	10	25	40	ns
Einschaltverzögerungszeit ¹⁾	t_{pd1T}		10	16	25	ns
Ausschaltverzögerungszeit ²⁾	t_{pd0R}			25	40	ns
Einschaltverzögerungszeit ²⁾	t_{pd1R}			16	25	ns

Logische Daten

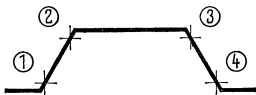
Ausgangsfächer pro Ausgang	F_a			10	
----------------------------	-------	--	--	----	--

1) Takteingang T 2) Rückstelleingang \bar{R}



Anschlußanordnung
Ansicht von oben

Taktimpuls



- (1) Slave von Master trennen
- (2) Signal von J und K in Master eingeben
- (3) J- und K-Eingänge sperren
- (4) Information von Master nach Slave übertragen

Logisches Verhalten

t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an \bar{R} bringt Q auf log.0 – \bar{R} arbeitet unabhängig von T.

FLJ 281 JK-Master-Slave-Flipflop mit JK-Eingang
FLJ 291 JK-Master-Slave-Flipflop mit \bar{J} -, \bar{K} - und JK-Eingang

Der Baustein FLJ 281 ist ein JK-Master-Slave-Flipflop, das zusätzlich einen JK-Eingang hat, mit dem eine einfache Zustandsänderung des Flipflops möglich ist. Da die J- und K-Eingänge vergrößerte Eingangskapazitäten haben, und die Vorbereitungs- und Haltezeiten verlängert wurden, zeigt der Baustein ein verbessertes Verhalten bei Systemen mit langsamen Taktflanken.

Der Baustein FLJ 291 hat zusätzlich je einen \bar{J} -, \bar{K} - und JK-Eingang. Da dieser Baustein keine verlängerten Schaltzeiten und keine vergrößerten Eingangskapazitäten hat, ist er für höhere Frequenzen geeignet als FLJ 281. Die J- und \bar{K} -Eingänge dienen zu gesonderten Kontrollzwecken. Die J- und K-Eingänge nehmen Daten auf, während der Takt auf log.0 liegt. An der positiven Flanke des Taktimpulses wird die Information zum Ausgang übertragen.

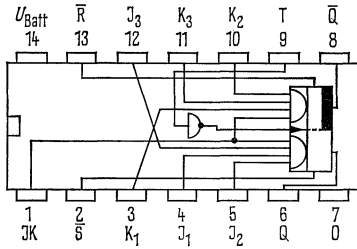
Statische Kenndaten im Temperaturbereich 1		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5	5,25	V
Eingangsspannung, log. 1	U_{e1}		2			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=4,75\text{ V}$ $I_L=-1\text{ mA}$	2,4	2,7		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$		0,2	0,4	V
Eingangsstrom, log. 1, pro Eingang J, K, \bar{J} , \bar{K}	I_{e1}	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$		2	40	μA
Eingangsstrom, log. 1, Eingang JK	I_{e1}	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$		4	80	μA
Eingangsstrom, log. 1, pro Eingang \bar{R} , \bar{S}	I_{e1}	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$		8	120	μA
Eingangsstrom, log. 0, pro Eingang J, K, \bar{J} , \bar{K}	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_e=0,4\text{ V}$		-1,1	-1,6	mA
Eingangsstrom, log. 0, Eingang JK	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_e=0,4\text{ V}$		-2,2	-3,2	mA
Eingangsstrom, log. 0, pro Eingang \bar{R} , \bar{S}	I_{e0}	$U_{Batt}=5,25\text{ V}$ $U_e=0,4\text{ V}$		-3	-4,75	mA
Stromaufnahme FLJ 281	I_{Batt}	$U_{Batt}=5\text{ V}$		15	24	mA
FLJ 291	I_{Batt}	$U_{Batt}=5\text{ V}$		17	28	mA

Schaltzeiten bei $U_{Batt}=5\text{ V}$, $T_U=25\text{ }^\circ\text{C}$

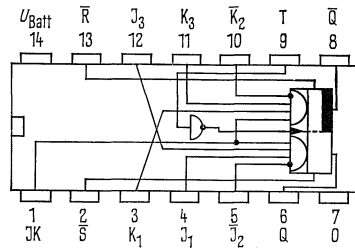
Einschaltverzögerungszeit vom Takt zum Ausgang log. 1	t_{pd1}	} $C_L=15\text{ pF}$ $R_L=400\ \Omega$	9	15	ns
Ausschaltverzögerungszeit vom Takt zum Ausgang log. 0	t_{pd0}		16	25	ns
Taktimpulsdauer, bezogen auf 1,5 V- Punkte	t_{pT}		15		ns
Stellimpulsdauer	t_{pS}		20		ns
Rückstellimpulsdauer	t_{pR}		20		ns
Freigabezeit FLJ 281	t_F			10	ns
FLJ 291	t_F			1	ns
Vorbereitungszeit FLJ 281	t_V		35		ns
FLJ 291	t_V		10		ns

FLJ 281, FLJ 291

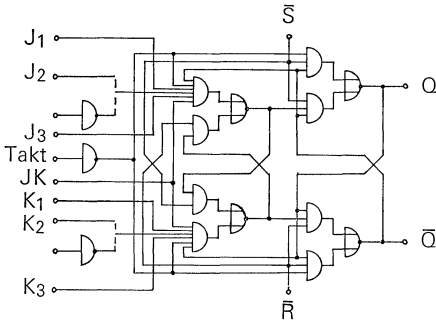
FLJ 281 Anschlußanordnung



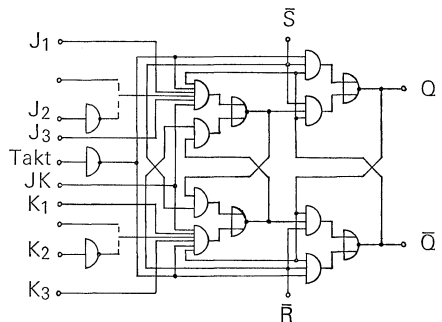
FLJ 291 Anschlußanordnung



FLJ 281 Blockschaltbild



FLJ 291 Blockschaltbild



Logisches Verhalten

JK	t_n		t_{n+1}
	J	K	Q
0*	X	X	Q_n
1	0*	0*	Q_n
1	0	1	0
1	1	0	1
1	1	1	\bar{Q}_n

Anmerkungen

t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

für FLJ 281: $J = J_1 \wedge J_2 \wedge J_3$

$K = K_1 \wedge K_2 \wedge K_3$

für FLJ 291: $J = J_1 \wedge J_2 \wedge J_3$

$K = K_1 \wedge K_2 \wedge K_3$

* Diese log.0-Pegel müssen angelegt werden, während der Takt auf log.1 liegt.

X = log.1 oder log.0

Niedrige Spannung an \bar{R} bringt Q auf log.0. Niedrige Spannung an \bar{S} bringt Q auf log.1. \bar{R} und \bar{S} arbeiten unabhängig von T.

Acht D-Flipflop

Die Bausteine FLJ 301 und FLJ 305 enthalten 2 taktunabhängige 4fach D-Flipflop. Sie sind besonders für den Einsatz als Zwischenspeicher für binäre Informationen geeignet. Die an den D-Eingängen angebotenen Informationen werden zu den Ausgängen Q übertragen, während der Takt auf log.1 liegt, und solange gespeichert, bis der nächste Wechsel des Taktimpulses von log.0 nach log.1 erfolgt.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		4,75	5	5,25	V
Eingangsspannung, log. 1	U_{e1}		2			V
Eingangsspannung, log. 0	U_{e0}				0,8	V
Ausgangsspannung, log. 1	U_{a1}	$I_L = -400 \mu A$ $U_{Batt} = 4,75 V$	2,4			V
Ausgangsspannung, log. 0	U_{a0}				0,4	V
Eingangsstrom, log. 0, an D	I_{e0}	$U_e = 0,4 V$			-3,2	mA
Eingangsstrom, log. 0, an T	I_{e0}	$U_{Batt} = 5,25 V$			-12,8	mA
Eingangsstrom, log. 1, an D	I_{e1}	$U_{e1} = 2,4 V$			80	μA
	I_e	$U_e = 5,5 V$ $U_{Batt} = 5,25 V$			1	mA
Eingangsstrom, log. 1, an T	I_{e1}	$U_{e1} = 2,4 V$			320	μA
	I_e	$U_e = 5,5 V$			1	mA
Kurzschlußausgangsstrom	I_{aK}	$U_a = 0 V$	-18		-57	mA
Stromaufnahme	I_{Batt}	$U_{Batt} = 5,25 V$	64		106	mA

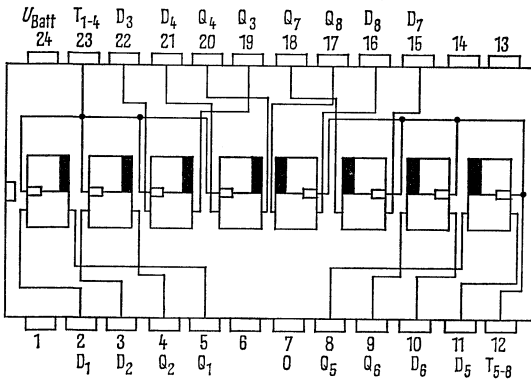
Schaltzeiten bei $U_{Batt} = 5 V$, $T_U = 25^\circ C$

Vorbereitungszeit, log. 1, an D	t_{V1}	$C_L = 15 pF$ $R_L = 400 \Omega$		7	20	ns
Vorbereitungszeit, log. 0, an D	t_{V0}			14	20	ns
Haltezeit, log. 1, an D	t_{H1}		0	15		ns
Haltezeit, log. 0, an D	t_{H0}		0	6		ns
Ausschaltverzögerungszeit von D nach Q	t_{pd0}			16	30	ns
Einschaltverzögerungszeit von D nach Q	t_{pd1}			14	25	ns
Ausschaltverzögerungszeit von T nach Q	t_{pd0}			16	30	ns
Einschaltverzögerungszeit von T nach Q	t_{pd1}			7	15	ns

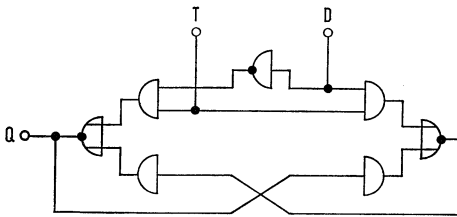
Logische Daten

Ausgangsfächer pro Ausgang	F_a			10	
----------------------------	-------	--	--	----	--

FLJ 301, FLJ 305



Anschlußanordnung
Ansicht von oben



Blockschaltbild
(ein Flipflop)

Logisches Verhalten (jedes Flipflop)

t_n	t_{n+1}
D	Q
1	1
0	0

t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

Monostabile Kippstufe

FLK 101 und FLK 105 enthalten eine monostabile TTL-Kippstufe mit folgenden Eingängen:
Die A-Eingänge sind flankengesteuerte Logikeingänge und triggern die TTL-Kippstufe bei Übergang von log. 1 auf log. 0, während Eingang B auf log. 1 liegt.

B ist ein Schmitt-Trigger-Eingang für langsame Eingangsfanken bis 1 V/s und triggert die Kippstufe beim Übergang von log. 0 auf log. 1, während A₁ oder A₂ auf log. 0 liegt.

Einmal angesteuert, ist der Ausgangsimpuls nur eine Funktion der Zeitkomponenten R_T und C_T. Die Kapazität C_T wird zwischen Anschluß 10 (positiv) und 11 gelegt, der externe Widerstand R_T zwischen Anschluß 11 und 14 (Anschluß 9 offen) oder 9 und 14. Ohne externe Zeitkomponenten (Anschluß 9 und 14 verbunden, 10 und 11 offen) wird nur der interne Widerstand von nominal 2 kΩ verwendet. Dabei erreicht man eine Ausgangsimpulsdauer von typisch 30 ns. Die Impulsdauer t_a ist weitgehend unabhängig von Versorgungsspannung und Temperatur, ihre Stabilität durch die Güte der externen Zeitkomponenten bestimmt: $t_a = C_T \cdot R_T \cdot \ln 2 \approx C_T \cdot R_T \cdot 0,7$.

Sie statische Störsicherheit der Eingänge beträgt typisch 1,2 V, der Störabstand über die Betriebsspannung 1,5 V.

Geeignete Betriebsdaten

	min	max	Einheit
Anstiegs-Abfallzeit am Eingang A ₁ , A ₂ am Eingang B	t _r , t _f t _r , t _f	1	V/μs V/s
Eingangsimpulsdauer	t _e	50	ns
Widerstand zwischen Anschluß 11 und 14	R _T	1,4	kΩ
Widerstand zwischen Anschluß 9 und 14	R _T	0	40
Kapazität zwischen Anschluß 10 und 11	C _T	0	1000
Ausgangsimpulsdauer	t _a	40	μF s
Tastverhältnis R _T = 2 kΩ		67%	
R _T = 40 kΩ		90%	

Statische Kenndaten

im Temperaturbereich 1 und 5

	Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U _{Batt}	4,75	5,0	5,25	V
obere Schwellenspannung an A ₁ oder A ₂	U _{So}		1,4	2,0	V
an B	U _{So}		1,55	2,0	V
untere Schwellenspannung an A ₁ oder A ₂	U _{Su}	0,8	1,4		V
an B	U _{Su}	0,8	1,35		V
Ausgangsspannung, log. 0	U _{a0}		0,22	0,4	V
Ausgangsspannung, log. 1	U _{a1}	2,4	3,3		V
Eingangsstrom, log. 0, an A ₁ oder A ₂	I _{e0}		-1,0	-1,6	mA
an B	I _{e0}		-2,0	-3,2	mA
Eingangsstrom, log. 1, an A ₁ oder A ₂	I _{e1}		2,0	40	μA
an B	I _e		0,05	1,0	mA
	I _{e1}		4,0	80	μA
	I _e		0,05	1,0	mA
Kurzschlußausgangsstrom	I _{aK}	-18	-25	-55	mA
Stromaufnahme bei Q=log. 0	I _{Batt}		13	25	mA
Stromaufnahme bei Q=log. 1	I _{Batt}		23	40	mA

Schaltzeiten bei $U_{\text{Batt}}=5,0\text{ V}$,
 $T_U=25\text{ }^\circ\text{C}$

Schaltverzögerungszeit zu
 log. 0 am Ausgang \bar{Q}

von Ausgang A₁ oder A₂ t_{pd0}
 von Eingang B t_{pd0}

Schaltverzögerungszeit zu
 log. 1 am Ausgang Q

von Eingang A₁ oder A₂ t_{pd1}
 von Eingang B t_{pd1}

Ausgangsimpulsdauer
 mit internem Widerstand (An-
 schluß 9 und 14 verbunden)
 mit Kapazität $C_T=0$ (An-
 schluß 10 und 11 offen, 9 und
 14 verbunden)

mit externem Widerstand t_a
 $R_T=10\text{ k}\Omega$ (Anschluß 9 offen)

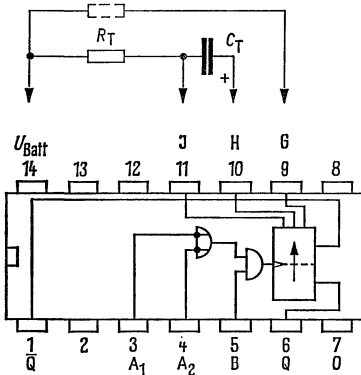
minimale Eingangsimpulsdauer t_e

Prüfbedingungen	min	typ	max	Einheit
$C_L=15\text{ pF}$ $C_T=80\text{ pF}$	30	50	80	ns
	20	40	65	ns
$C_L=15\text{ pF}$ $C_T=80\text{ pF}$	25	45	70	ns
	15	35	55	ns
$C_L=15\text{ pF}, C_T=80\text{ pF}$ $R_T=0$	70	110	150	ns
$C_L=15\text{ pF}, R_T=0$	20	30	50	ns
$C_T=100\text{ pF} \mid C_L=15\text{ pF}$	600	700	800	ns
	6	7	8	ms
$C_L=15\text{ pF}, C_T=80\text{ pF}$ $R_T=0$ (9 und 14 verb.)		30	50	ns

Logische Daten

Ausgangsfächer pro Ausgang F_a |

| 10 |



Anschlußanordnung
 Ansicht von oben

BCD-Dezimal-Dekoder und Treiber für Ziffernanzeigeröhren (vorläufige Daten)

Der Baustein FLL 101 dekodiert binäre Dezimalzahlen. Integrierte, hochsperrende Treibertransistoren in den Ausgängen ermöglichen das direkte Ansteuern von Ziffernanzeigeröhren. Die Eingänge des FLL 101 sind direkt an die Ausgänge des Dezimalzählers FLJ 161 anschließbar, wobei A mit Q₁, B mit Q₂, C mit Q₃ und D mit Q₄ verbunden wird.

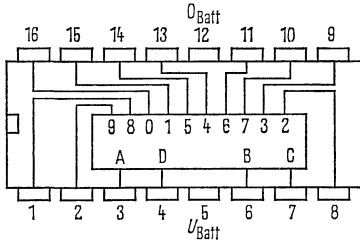
Binäre Eingangsinformationen zwischen 10 und 15 werden nicht angezeigt (Pseudotetraden-Ausblendung). Dadurch kann ohne großen Aufwand eine automatische Nullausblendung realisiert werden.

Grenzdaten

		min	max	Einheit
Betriebsspannung	U_{Batt}	0	7	V
Eingangsspannung	U_{E}	0	5,5	V
Betriebstemperatur	T_{U}	0	70	°C
Strom in den Ausgang	I_{ag}	0	2,0	mA
Spannung am Ausgang	U_{ag}	0	60	V
Lagertemperatur	T_{S}	-65	150	°C

Statische Kenndaten im Temperaturbereich 1

	Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1} $U_{\text{Batt}}=4,75 \text{ V}$	2,0			V
Eingangsspannung, log. 0	U_{e0} $U_{\text{Batt}}=4,75 \text{ V}$			0,8	V
Ausgangsspannung, T_{a} leitend	U_{al} $U_{\text{Batt}}=4,75 \text{ V}$ $I_{\text{a}}=7 \text{ mA}$			2,5	V
Ausgangsspannung, T_{a} gesperrt für Eingangsinformation 0 bis 9	U_{ag} $U_{\text{Batt}}=5,25 \text{ V}$ $I_{\text{a}}=0,5 \text{ mA}$	60			V
Ausgangsstrom, T_{a} gesperrt	I_{ag} $U_{\text{Batt}}=5,25 \text{ V}$ $U_{\text{a}}=55 \text{ V}$			50	μA
Ausgangsstrom, T_{a} gesperrt, für Eingangsinformation 10 bis 15	I_{ag} $U_{\text{Batt}}=5,25 \text{ V}$ $U_{\text{a}}=30 \text{ V}$			10	μA
Eingangsstrom, log. 1, an A	I_{e1} $U_{\text{e1}}=2,4 \text{ V}$			40	μA
	I_{e} $U_{\text{e}}=5,5 \text{ V}$			1	mA
Eingangsstrom, log. 1, an B, C oder D	I_{e1} $U_{\text{e1}}=2,4 \text{ V}$ $U_{\text{Batt}}=5,5 \text{ V}$			80	μA
	I_{e} $U_{\text{e}}=5,5 \text{ V}$			1	mA
Eingangsstrom, log 0, an A	I_{e0} $U_{\text{e0}}=0,4 \text{ V}$			-1,6	mA
Eingangsstrom, log. 0, an B, C oder D	I_{e0} $U_{\text{e0}}=0,4 \text{ V}$			-3,2	mA
Stromaufnahme	I_{Batt} $U_{\text{Batt}}=5,25 \text{ V}$		16	25	mA



Anschlußanordnung
Ansicht von oben

Logisches Verhalten

BCD-Eingänge				durchgeschalteter Ausgang ¹⁾
D	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	—
1	0	1	1	—
1	1	0	0	—
1	1	0	1	—
1	1	1	0	—
1	1	1	1	—

¹⁾ Beim jeweils aufgeführten Ausgang ist der Ausgangstransistor T_a leitend. Bei allen anderen Ausgängen ist T_a gesperrt.

Zwei Erweiterungsglieder mit je vier Eingängen

FLY 101 für FLH 151 FLH 171 und FLH 511

FLY 105 für FLH 155 FLH 175 und FLH 515

Statische Kenndaten

im Temperaturbereich 1 und 5,
wenn nicht anders angegeben

		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75 \text{ V}$	17	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75 \text{ V}$	18			0,8	V
T_a gesperrt							
Ausgangsspannung, T_a leitend	U_{a1}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2 \text{ V}, U_F=1 \text{ V}$ $R_L=1,1 \text{ k}\Omega, T_U=0 \text{ }^\circ\text{C}$	17			0,4	V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}$ $U_{e1}=5,5 \text{ V} \mid =5,25 \text{ V}$	19			40	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{\text{Batt}}=5,25 \text{ V}$ $U_{e0}=0,4 \text{ V}$	18			1	mA
Ausgangsstrom, pro Glied, T_a leitend	I_{a1}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2 \text{ V}, U_F=1 \text{ V}$	20	-0,43			mA
Ausgangsstrom, pro Glied, T_a gesperrt	I_{ag}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e0}=0,8 \text{ V}$ $U_E=4,5 \text{ V}, R=1,2 \text{ k}\Omega$ $T_U=0 \text{ }^\circ\text{C}$	18			270	μA
Stromaufnahme, T_a leitend	$I_{\text{Batt l}}$	$U_{\text{Batt}}=5,25 \text{ V}$ $U_e=5 \text{ V}$ $U_F=0,85 \text{ V}$	21		1,2	2,5	mA
Stromaufnahme, T_a gesperrt	$I_{\text{Batt g}}$	$U_{\text{Batt}}=5,25 \text{ V}$ $U_e=0 \text{ V}, U_F=0,85 \text{ V}$	21		2	4	mA

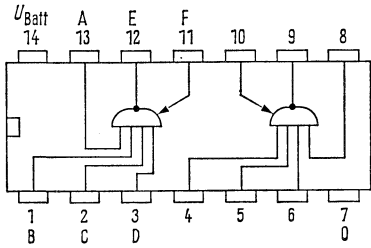
Schaltzeiten zus. mit FLH 151, 155, 171, 175 bei $U_{\text{Batt}}=5 \text{ V}, T_U=25 \text{ }^\circ\text{C}$

Ausschaltverzögerungszeit	t_{pd0}	} $C_1=15 \text{ pF}, F_a=10$	23	10	20	ns
Einschaltverzögerungszeit	t_{pd1}					

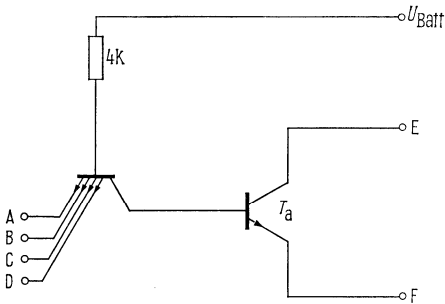
Logische Daten

Eingangsfächer	F_e	Erw. = $A \wedge B \wedge C \wedge D$	4
Logische Funktion			

FLY 101, FLY 105

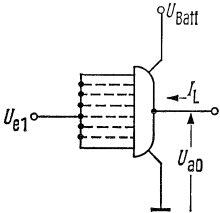


Anschlußanordnung
Ansicht von oben

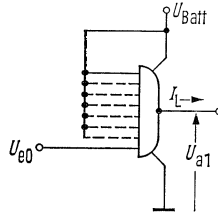


Schaltschema
(ein Glied)
Anschluß E mit E von FLH 151 oder
FLH 171 verbinden
Anschluß F mit F von FLH 151 oder
FLH 171 verbinden

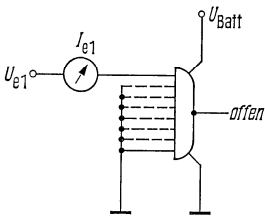
Prüfschaltungen (Schaltglieder)



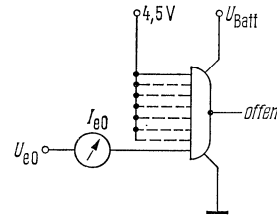
Prüfschaltung 1



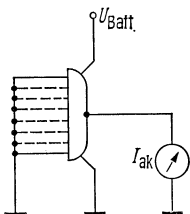
Prüfschaltung 2



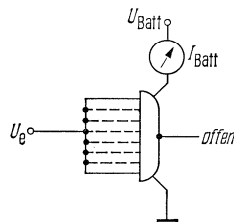
Prüfschaltung 3



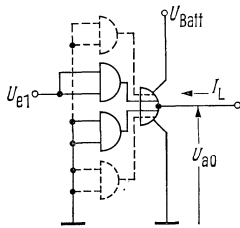
Prüfschaltung 4



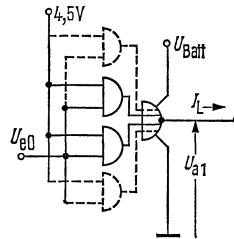
Prüfschaltung 5



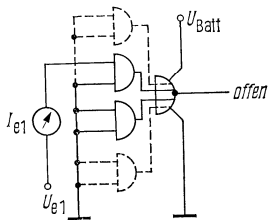
Prüfschaltung 6



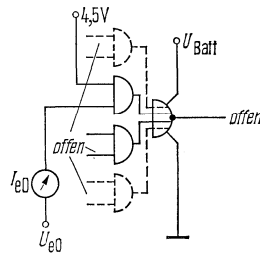
Prüf schaltung 7



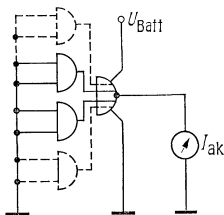
Prüf schaltung 8



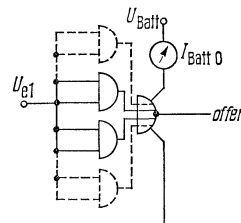
Prüf schaltung 9



Prüf schaltung 10

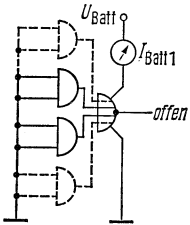


Prüf schaltung 11

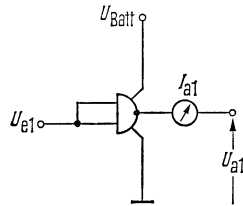


Prüf schaltung 12

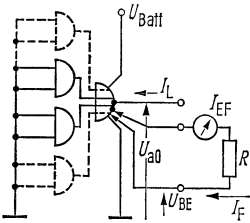
Prüfschaltungen (Schaltglieder)



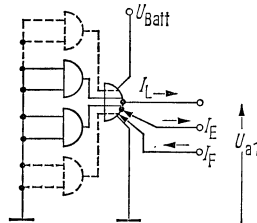
Prüfschaltung 13



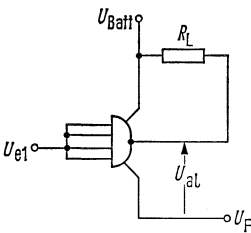
Prüfschaltung 14



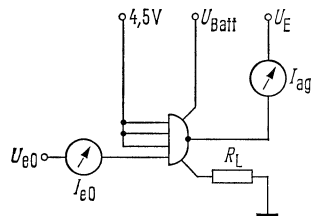
Prüfschaltung 15



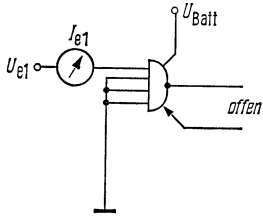
Prüfschaltung 16



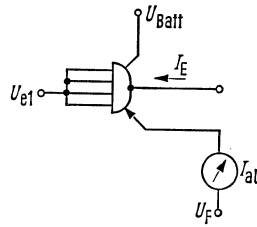
Prüfschaltung 17



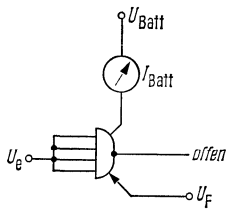
Prüfschaltung 18



Prüfschaltung 19

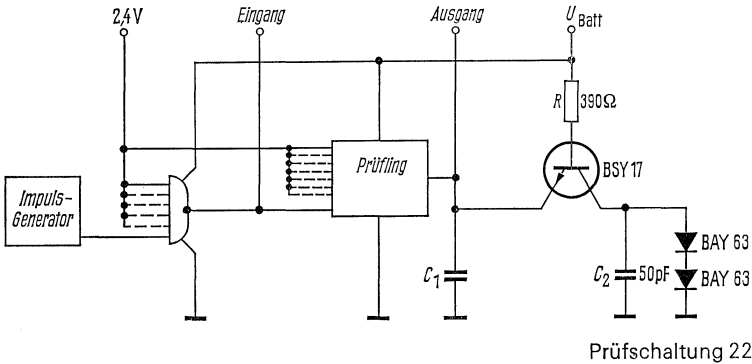


Prüfschaltung 20



Prüfschaltung 21

Prüfschaltungen für Schaltzeiten (Schaltglieder)



Anmerkung zur Prüfschaltung 22:

Für FLH 141: $R=130\ \Omega$, $C_2=150\ \text{pF}$

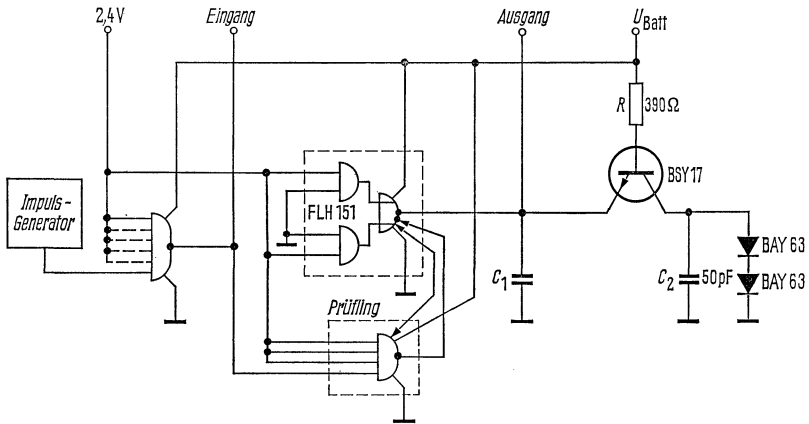
Bei UND/ODER-Gliedern wird ein Eingang des nichtangesteuerten UND-Gliedes auf Masse gelegt

Anmerkung zu Prüfschaltung 22 und 23:

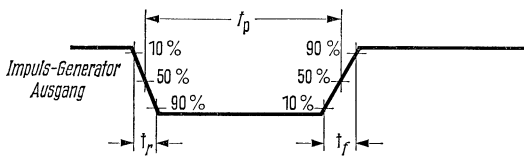
Generatorkennndaten: $t_r=t_f < 5\ \text{ns}$, $t_p=0,5\ \mu\text{s}$, $f=1\ \text{MHz}$

C_1 beinhaltet Tastkopf und Aufbaukapazitäten

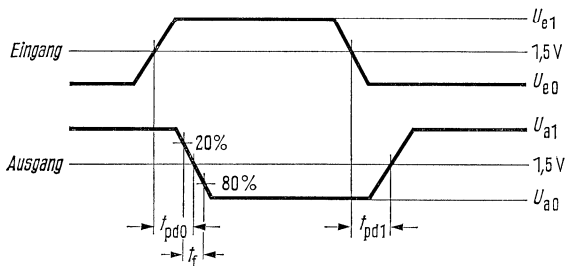
$R=3,9\ \text{k}\Omega$ zur Messung von t_r .



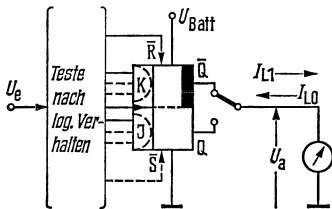
Prüfschaltung 23



Impulsdiagramm für Prüfschaltungen 22 und 23

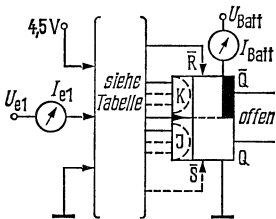


Prüfschaltungen (Flipflops)



Prüfschaltung 24

Jeder Ausgang wird getrennt getestet



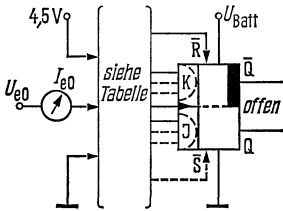
Prüfschaltung 25

U_{e1} an	Masse M	kurzzeitig M, dann statisch 4,5V
J_1 od. J^1)	T, \bar{R}, J_2, J_3	R^2)
J_2	T, \bar{R}, J_1, J_3	
J_3	T, \bar{R}, J_1, J_2	
K_1 od. K^1)	T, \bar{S}, K_2, K_3	
K_2	T, \bar{S}, K_1, K_3	
K_3	T, \bar{S}, K_1, K_2	
R	T, J_1 od. J^1), J_2, J_3	
S	T, K_1, K_2, K_3	
T	\bar{S}, \bar{R}, J_1 od. J^1), J_2, J_3, K_1 od. K^1), K_2, K_3	

I_{Batt} : U_{e1} an alle Eingänge

Anmerkung für Prüfschaltungen:

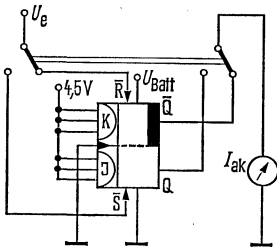
- 1) UND-Gatter (gestrichelte Linien) gelten nur für FLJ 111; FLJ 121, 131 haben direkte J- und K-Eingänge. FLJ 121 hat keinen Stelleingang
- 2) Gilt nur für die Prüfung des FLJ 121



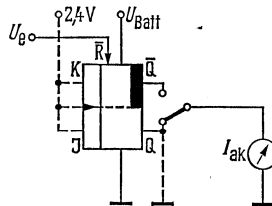
Prüfschaltung 26

U_{e0} an	kurzzeitig M, dann statisch 4,5 V	4,5 V	Masse M
J_1 od. J^1)	\bar{R}	T, J_2, J_3	\bar{Q}^2)
J_2	\bar{R}	T, J_1, J_3	
J_3	\bar{R}	T, J_1, J_2	
K_1 od. K^1)	S	T, K_2, K_3	
K_2	S	T, K_1, K_3	
K_3	S	T, K_1, K_2	
\bar{R}		K_2, K_3	
S		K_1 od. K^1)	
T	\bar{S}	J_1 od. J^1)	
T	\bar{R}	J_2, J_3	

Für FLJ 121, 131 werden alle Eingänge des unbenutzten Flipflops auf Masse gelegt.



Prüfschaltung 27

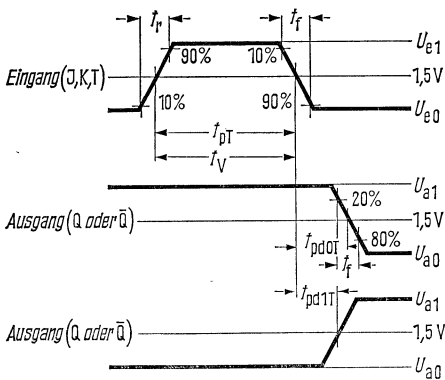
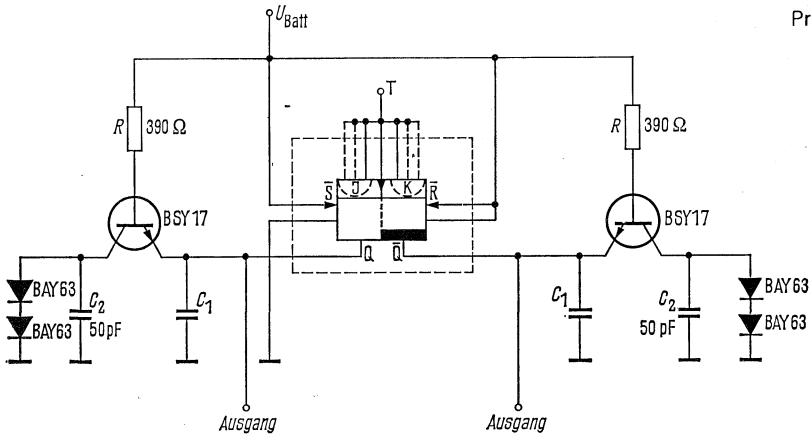


Prüfschaltung 28

Prüfschaltung für \bar{Q} . Zur Prüfung von \bar{Q} sind alle Eingänge offen, \bar{Q} liegt an Masse, max. Prüfzeit 100 ms.

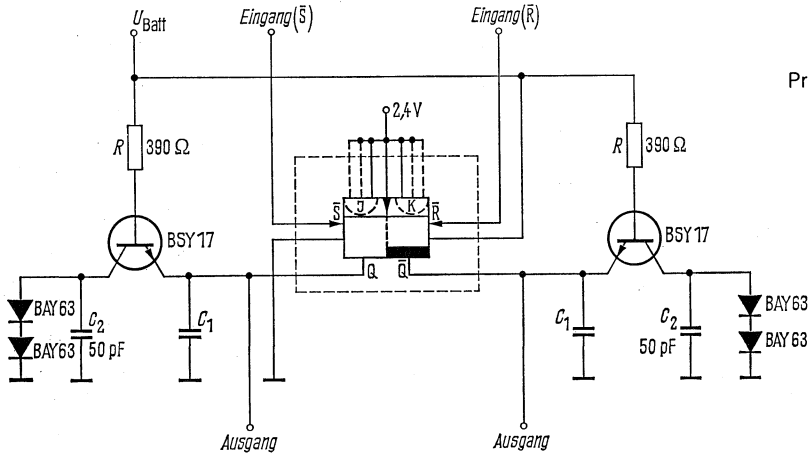
Prüfschaltungen für Schaltzeiten (Flipflops)

Prüfschaltung 29

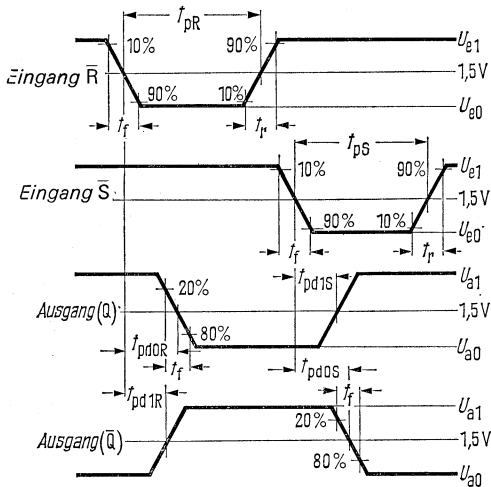


Impulssdiagramm

Prüfschaltung 30

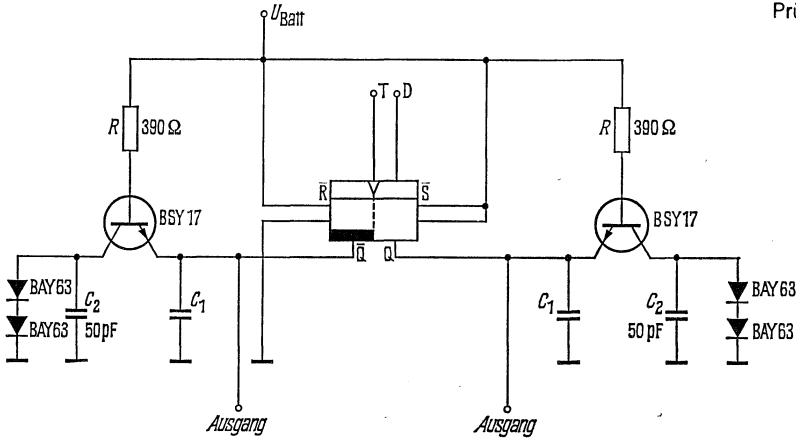


Impulssdiagramm

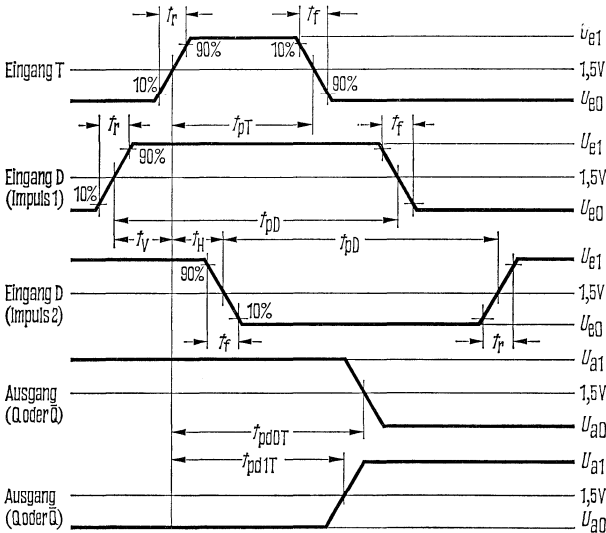


Anmerkungen zu Prüfschaltung 29 und 30.

1. Generatorkennenden: $U_{e0}=0,4\text{ V}$, $U_{e1}=2,4\text{ V}$, $t_f=t_r \leq 5\text{ ns}$, $t_{pT}=40\text{ ns}$, $t_{pR}=t_{pS}=25\text{ ns}$, $f=1\text{ MHz}$.
Beim Test von f_z variiere f .
2. C_1 beinhaltet Tastkopf und Aufbaukapazität.
3. $R=3,9\text{ k}\Omega$ für die Messung von t_f .



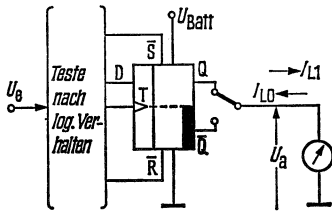
Impulsdiagramm



Anmerkungen:

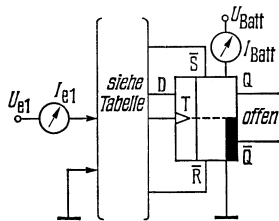
1. Generatorkenndaten: $U_{e0}=0,4\text{ V}$, $U_{e1}=2,4\text{ V}$, $t_f=t_r \leq 5\text{ ns}$, $t_{pT}=40\text{ ns}$, $f=1\text{ MHz}$. Beim Test von f_z variere f .
2. Impuls 1 gilt für t_{pd1T} an Q und t_{pd0T} an \bar{Q} . Impuls 2 gilt für t_{pd1T} an \bar{Q} und t_{pd0T} an Q. Dabei ist $t_{vT}=20\text{ ns}$, $t_{vD}=5\text{ ns}$, $t_{pD}=60\text{ ns}$, $f=0,5\text{ MHz}$.
3. C_1 beinhaltet Tastkopf- und Aufbaukapazität.

Prüfschaltungen (Flipflops)



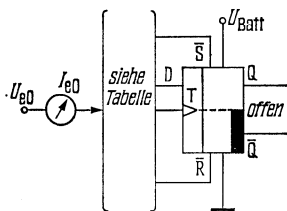
Prüfschaltung 31

Jeder Ausgang wird getrennt getestet



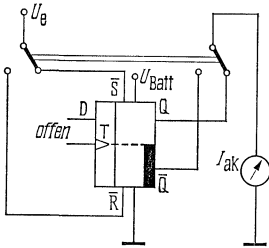
Prüfschaltung 32

U_{e1} an	4,5 V	Masse M	kurzzeitig M dann statisch 4,5 V
D	T	\bar{R}	T
R	D, R	D, Q, T	
S		R	
T		D, T	
I_{Batt}			

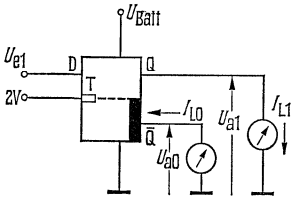


Prüfschaltung 33

U_{e0} an	4,5 V	Masse M
D	\bar{R} , T	S
S	\bar{R} , T	D
R	D, T	
T	S, \bar{R}	D

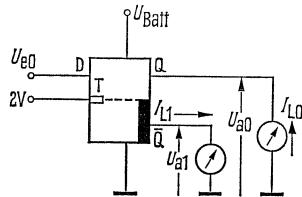


Prüfschaltung 34



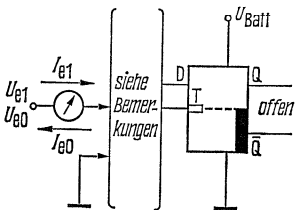
Jeder Ausgang wird getrennt getestet

Prüfschaltung 36



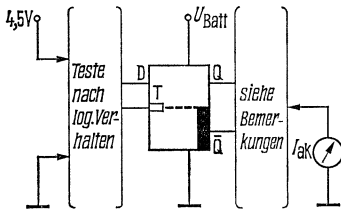
Jeder Ausgang wird getrennt getestet

Prüfschaltung 37



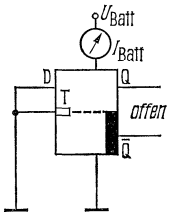
Prüfschaltung 38

1. Jeder Eingang wird getrennt getestet.
2. Bei I_{e1} -Test an D muß T geerdet werden und umgekehrt.



Jedes Flipflop und jeder Ausgang wird getrennt getestet

Prüfschaltung 39



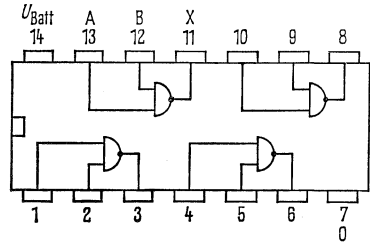
Prüfschaltung 40

Digitale integrierte Halbleiterschaltungen

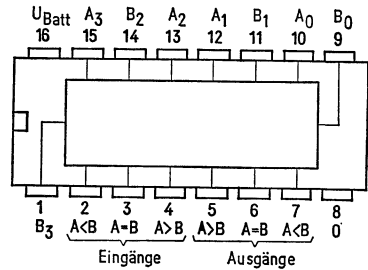
FL 100-Serie – Datenblätter dieser Typen in Vorbereitung

Typ	Funktion	Anschlußanordnung (Ansicht von oben)
Bestellnummer		

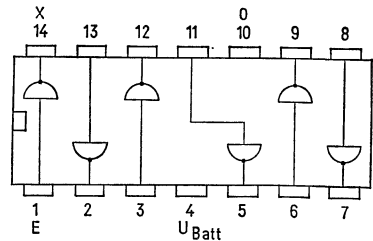
FLH 291 U Vier NAND-Glieder mit je 2 Eingängen und offenem Kollektor mit 12 V/50 µA
 7426
 Q 67000-H 506
 $X = \overline{A \wedge B}$



FLH 431 4-Bit-Komparator mit 3 Ausgängen für A kleiner, gleich oder größer B
 7485
 Q 67000-H 494



FLH 461 Sechs Inverter mit Erweiterungseingang und offenem Kollektor
 4934
 Q 67000-H 141



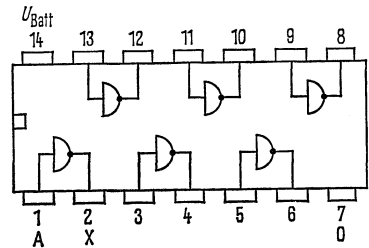
FLH 471 Sechs Inverter mit Erweiterungseingang
 4935
 Q 67000-H 142
 $X = \overline{A}$

FL 100-Serie

Typ Funktion Anschlußanordnung (Ansicht von oben)
Bestellnummer

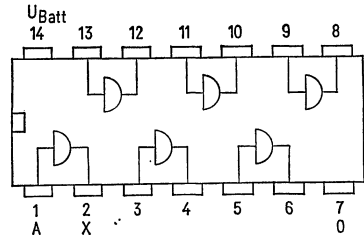
FLH 481 Sechs invertierende Treiberstufen
7406 mit offenem Kollektor mit 30 V
Q 67000-H 396

FLH 481 T Sechs invertierende Treiberstufen
7416 mit offenem Kollektor mit 15 V
Q 67000-H 400 $X = \bar{A}$

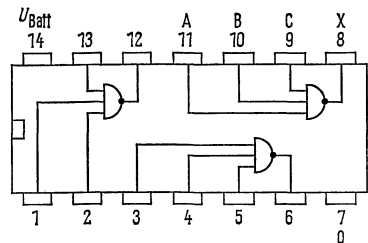


FLH 491 Sechs Treiberstufen mit offenem
7407 Kollektor mit 30 V
Q 67000-H 397

FLH 491 T Sechs Treiberstufen mit offenem
7417 Kollektor mit 15 V
Q 67000-H 401 $X = A$



FLH 501 Drei NAND-Glieder mit je
7412 3 Eingängen und offenem Kollektor
Q 67000-H 526 $X = \overline{A \wedge B \wedge C}$



FL100-Serie

Typ
Bestellnummer

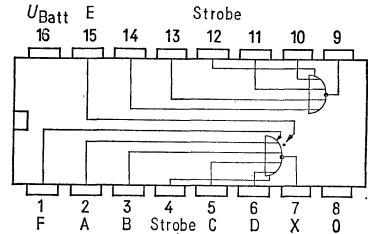
Funktion

Anschlußanordnung (Ansicht von oben)

FLH 511
7423
Q 67000-H 497

Zwei NOR-Glieder mit je
4 Eingängen, Erweiterungseingang
und Strobeanschluß

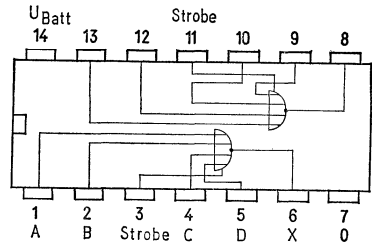
$$X = \text{Strobe} \wedge (A \vee B \vee C \vee D \vee \text{Erw})$$



FLH 521
7425
Q 67000-H 489

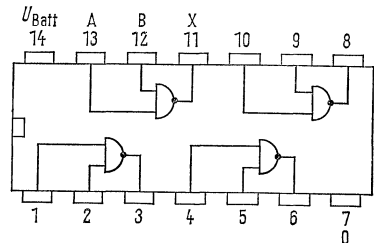
Zwei NOR-Glieder mit je
4 Eingängen und Strobe

$$X = \text{Strobe} \wedge (A \vee B \vee C \vee D)$$



FLH 531
7437
Q 67000-H 416

Vier NAND-Leistungsglieder
mit je 2 Eingängen



FLH 541
7438
Q 67000-H 493

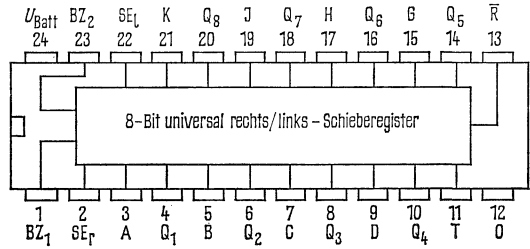
Vier NAND-Leistungsglieder mit je
2 Eingängen und offenem Kollektor

$$X = A \wedge B$$

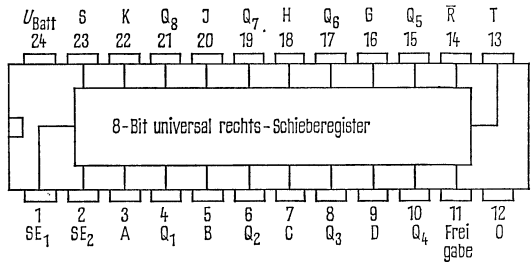
FL100-Serie

Typ Funktion Anschlußanordnung (Ansicht von oben)
 Bestellnummer

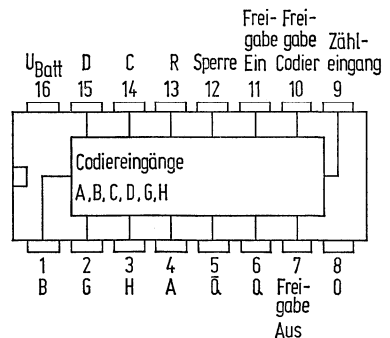
FLJ 311 Universelles
 74198 8-Bit-rechts/links-
 Q 67000-J 244 Schieberegister



FLJ 321 Universelles
 74199 8-Bit-rechts-
 Q 67000-J 245 Schieberegister



FLJ 331 Programmierbarer 6-Bit-
 7497 Binärzähler
 Q 67000-J 240



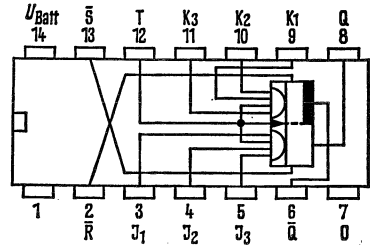
FL100-Serie

Typ
Bestellnummer

Anschlußanordnung (Ansicht von oben)

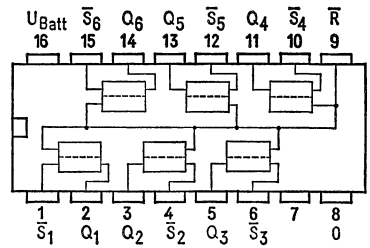
FLJ 341
74110
Q 67000-J 224

JK-Master-Slave-Flipflop mit
Eingangssperre



FLJ 361
74118
Q 67000-J 275

Sechs RS-Flipflop mit gemein-
samem Rückstelleingang



FL100-Serie

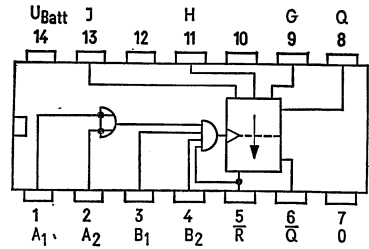
Typ
Bestellnummer

Funktion

Anschlußanordnung (Ansicht von oben)

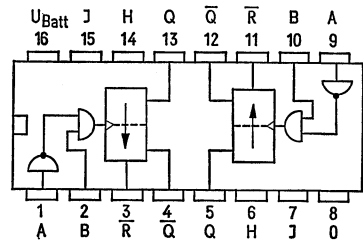
FLK 111
74122
Q 67000-K27

Monostabile Kippstufe mit
Rückstelleingang, nachtriggerbar



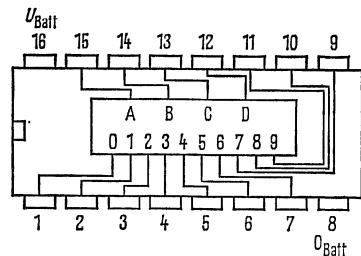
FLK 121
74123
Q 67000-K29

Zwei monostabile Kippstufen mit
Rückstelleingängen, nachtriggerbar



FLL 111
7445
Q 67000-L9

BCD-Dezimal-Dekoder und
Treiber mit offenem Kollektor mit
30 V/80 mA



FLL 111 T
74145
Q 67000-L8

BCD-Dezimal-Dekoder und
Treiber mit offenem Kollektor mit
15 V/80 mA

FY 100-Serie

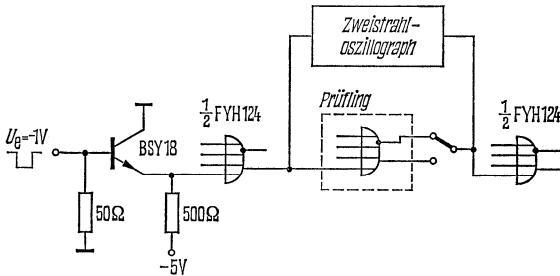
Allgemeine Angaben zur ECL-Serie FY 100:

Die ECL-Serie FY 100 umfaßt drei NOR/OR-Glieder, FYH 104, FYH 124 und FYH 134. Die ECL-Serie (Emitter-gekoppelte-Logik) ist eine ungesättigte Logikfamilie und ermöglicht dadurch den Aufbau digitaler Systeme mit sehr kurzen Verzögerungszeiten. Die Serie ist im Keramik-Flachgehäuse TO 87 (siehe Bauformzeichnungen).

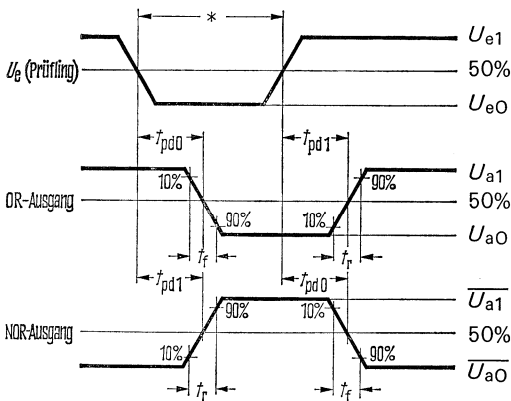
Folgende Grenzdaten gelten für alle Typen:

	min	max	Einheit	
Betriebsspannung	U_{Batt}	-7	0	V
Eingangsspannung	U_E	-5	+2	V
Betriebstemperatur	T_U	10	60	°C
Lagertemperatur	T_S	-40	150	°C

Meßschaltung für Schaltzeiten



Impulsdiagramm



* $t_p \sim 50 \text{ ns}$, $t_r = t_f = 5 \text{ ns}$, $f = 1 \text{ MHz}$

FYH 104, FYH 124, FYH 134

NOR/OR-Glieder (vorläufige Daten)

FYH 104, NOR/OR-Glied mit 8 Eingängen

FYH 124, 2 NOR/OR-Glieder mit je 4 Eingängen mit Emitterwiderstand im Ausgang

FYH 134, 2 NOR/OR-Glieder mit je 4 Eingängen ohne Emitterwiderstand im Ausgang,
für wired-OR-Verbindung

Statische Kenndaten, bei $U_{\text{Batt}} = -5 \text{ V}$, $T_U = 25 \text{ °C}$

bei FYH 104 wird Anschluß 4 mit 5 und 1 mit 14 verbunden

bei FYH 134 wird Anschluß 4 bzw. 1 mit 500Ω an Anschluß 3 gelegt

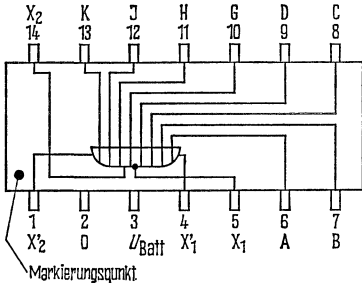
		Prüfbedingungen	min	typ	max	Einheit
Eingangsspannung, log. 1 ¹⁾	U_{e1}		-1,0			V
Eingangsspannung, log. 0 ¹⁾	U_{e0}				-1,4	V
NOR-Ausgangsspannung, log. 1 ¹⁾	$\overline{U_{a1}}$	$U_{e1} = -1,4 \text{ V}$	-0,85		-0,68	V
NOR-Ausgangsspannung, log. 0 ¹⁾	$\overline{U_{a0}}$	$U_{e0} = -1,0 \text{ V}$	-1,75		-1,48	V
OR-Ausgangsspannung, log. 1 ¹⁾	U_{a1}	$U_{e0} = -1,0 \text{ V}$	-0,82		-0,65	V
OR-Ausgangsspannung, log. 0 ¹⁾	U_{a0}	$U_{e1} = -1,4 \text{ V}$	-1,80		-1,53	V
Eingangsstrom pro Eingang	I_e	$U_e = -0,8 \text{ V}$			200	μA
Stromaufnahme FYH 104	I_{Batt}			25	40	mA
Stromaufnahme FYH 124	I_{Batt}			45	60	mA
Stromaufnahme FYH 134	I_{Batt}	Anschluß 1 und 4 offen		35	50	mA

Schaltzeiten bei $U_{\text{Batt}} = -5 \text{ V}$, $F_a = F_e = 1$, $T_U = 25 \text{ °C}$

NOR-Verzögerungszeit	t_{pd1}		5	ns
	t_{pd0}		5	ns
OR-Verzögerungszeit	t_{pd1}		5	ns
	t_{pd0}		5	ns
Anstiegszeit	t_r		7	ns
Abfallzeit	t_f		5	ns

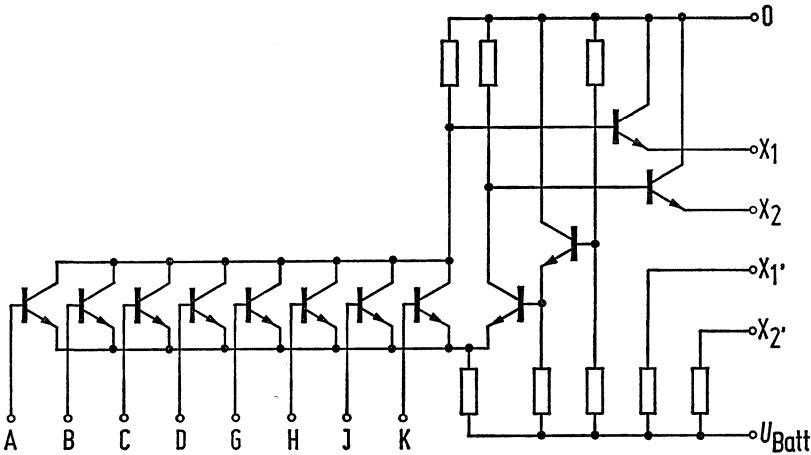
¹⁾ Bei Spannungsangaben bedeutet minimal $-U$ Volt eine Spannung von $-U$ Volt oder positiver und maximal $-U$ Volt eine Spannung von $-U$ Volt oder negativer

NOR/OR-Glied mit acht Eingängen



Anschlußanordnung
Ansicht von oben

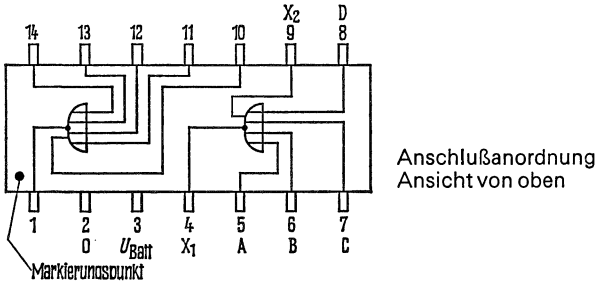
Schaltenschema



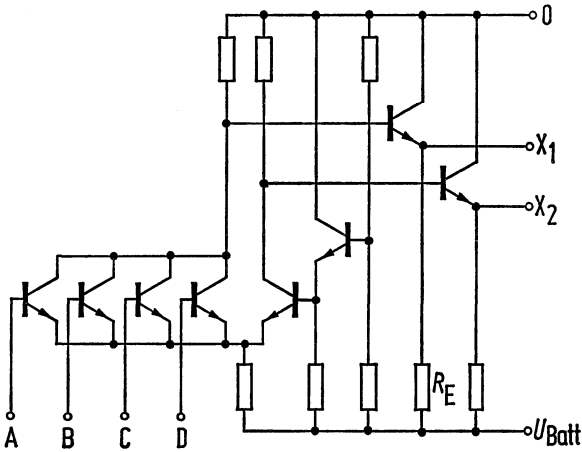
X_1, X_1' = NOR-Ausgang
 X_2, X_2' = OR-Ausgang

Logische Daten		max.
Ausgangsfächer	F_a	10
Eingangsfächer	F_e	8
Logische Funktion		$X_1 = X_2 = A \vee B \vee C \vee D \vee G \vee H \vee J \vee K$

Zwei NOR/OR-Glieder mit je vier Eingängen



Schaltschema (ein Glied)



Emitterwiderstand R_E nur bei FYH 124

X_1 = NOR-Ausgang
 X_2 = OR-Ausgang

Logische Daten		max.
Ausgangsfächer	F_a	10
Eingangsfächer	F_e	4
Logische Funktion		$X_1 = \overline{X_2} = \overline{A \vee B \vee C \vee D}$

FZ 100-Serie

Vorwort zur langsamen störsicheren Logikserie (LSL-Serie) FZ 100

FZ 100 ist eine Serie langsamer störsicherer Logikbausteine in monolithisch integrierter Halbleitertechnik. Durch Verwendung einer Zenerdiode im Eingang und durch Vergrößerung der Kollektorkapazität des Eingangstransistors erreicht man zusammen mit einer hohen Versorgungsspannung von $U_{\text{Batt}}=12\text{ V}$ bzw. 15 V ein gutes statisches und dynamisches Störverhalten der integrierten Schaltungen. Die Schaltzeiten sind mit einem Kondensator einstellbar. Dies bringt eine zusätzliche Erhöhung der dynamischen Störsicherheit. Die Serie FZ 100 ist somit besonders für den Einsatz bei stark störgefährdetem Betrieb geeignet, wenn es weniger auf hohe Schaltgeschwindigkeit als auf große Störsicherheit ankommt.

1. Beschreibung der statischen Daten

1.1 Grenzdaten

Grenzdaten sind absolute Grenzwerte, bei deren Überschreitung auch nur eines Wertes die integrierte Halbleiterschaltung zerstört werden kann. Grenzdaten gelten bei $T_U=25\text{ °C}$, wenn nicht anders angegeben.

1.2 Kenndaten

Typische Kenndaten sind statistisch erfaßte Mittelwerte, die durch Angabe eines garantierten Streubereiches ergänzt werden (worst case). Sie gelten bei der Versorgungsspannung $U_{\text{Batt}}=12\text{ V}$ bzw. 15 V und bei der Umgebungstemperatur $T_U = 25\text{ °C}$, wenn nicht anders angegeben.

1.3 Charakteristische Kennlinien

1.3.1 Übertragungskennlinie

Bild 1 zeigt die Übertragungskennlinie $U_a = f(U_e)$. Sie hängt nur wenig von der Ausgangsbelastung ab, die folgende Werte annehmen darf:

	log. 0	log. 1
Schaltglieder	$F_{a0} = 10$	$F_{a1} = 100$
Leistungsglieder	$F_{a0} = 30$	$F_{a1} = 100$
Flipflop	$F_{a0} = 10$	$F_{a1} = 50$
Pegelumsetzer	$F_{a0} = 10$	$F_{a1} = 20$

Die unterschiedlichen Ausgangsfächer bei log. 0 und log. 1 ermöglichen es, offene Eingänge parallel zu schalten, um Störeinkopplungen zu vermeiden. Parallel geschaltete Eingänge belasten dann den Ausgang zusätzlich nur im log. 1-Zustand mit dem Diodensperrstrom.

Damit die Schaltglieder sicher umschalten, muß das Eingangssignal einen bestimmten Spannungspegel (Schwellenwert) erreichen. Dieser Schwellenwert ergibt sich graphisch im Schnittpunkt der Übertragungskennlinie mit der Geraden $U_e = U_a$.

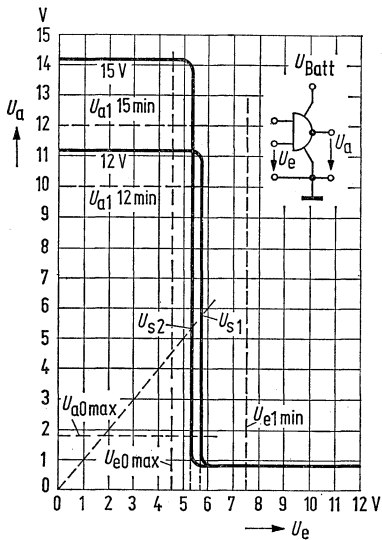


Bild 1 Übertragungskennlinie eines Schaltgliedes.
 $U_a = f(U_e)$ bei $U_{Batt} = 12$ und 15 V

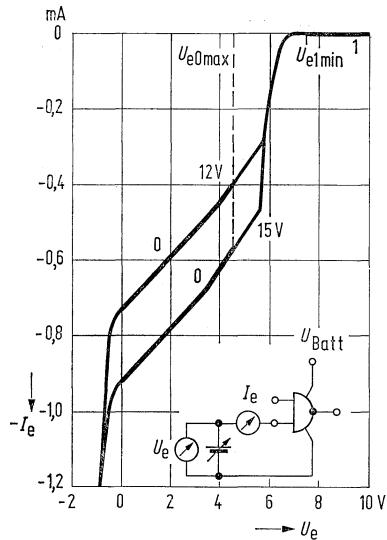


Bild 2 Eingangskennlinie eines Schaltgliedereingangs.
 $I_e = f(U_e)$ bei $U_{Batt} = 12$ und 15 V

1.3.2 Eingangskennlinie

Bild 2 zeigt die Eingangskennlinien $I_e = f(U_e)$ für die beiden Betriebsspannungen $U_{Batt} = 12$ V bzw. 15 V. Sie lassen sich in 3 Bereiche unterteilen:

1. Bei log.1 fließt ein kleiner Eingangssperrestrom (ca. $1 \mu A$) in den Eingang hinein. Die Durchbruchspannung der Dioden darf nicht überschritten werden (max. 18 V).
2. Bei log.0 fließt der Eingangsstrom aus dem Eingang heraus.
3. Bei negativen Eingangsspannungen öffnen die Substratdioden am Eingang, so daß der Eingangsstrom stark ansteigt. Da für die verschiedenen Bausteine unterschiedliche maximale zulässige negative Werte gelten, werden sie im einzelnen unter den Grenzwerten aufgeführt. Die Eingangskennlinien sind unabhängig von der Ausgangsbelastung, da keine Rückwirkung auf den Eingang besteht. Für den TTL-LSL-Pegelumsetzer FZH 181 gelten die TTL-Eingangskennlinien (Bild 2, S. 25), für den LSL-TTL-Pegelumsetzer FZH 161 die LSL-Eingangskennlinien.

1.3.3 Ausgangskennlinien

Bild 3 zeigt die Ausgangskennlinie $U_{a0} = f(I_{a0})$ im log. 0-Zustand. Der Strom I_{a0} fließt in das Schaltglied hinein.

Aus dieser typischen Kennlinie ist zu entnehmen, daß der Ausgangsstrom den im Datenblatt bei der Grenzspannung $U_{a0} = 1,7 \text{ V}$ angegebenen Laststrom $I_L = 15$ bzw. 18 mA bei $F_a = 10$ überschreiten darf. Es muß jedoch darauf geachtet werden, daß die Gesamtverlustleistung des Ausgangstransistors von 100 mW nicht überschritten wird.

Bild 4 zeigt die Ausgangskennlinie $U_{a1} = f(I_{a1})$ im log. 1-Zustand. Dabei fließt der Strom I_{a1} aus dem Schaltglied heraus.

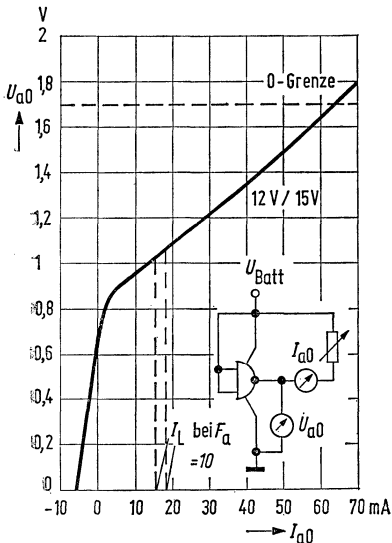


Bild 3 Ausgangskennlinie des log. 0-Pegels eines Schaltgliedes.

$U_{a0} = f(I_{a0})$ bei $U_{Batt} = 12$ und 15 V

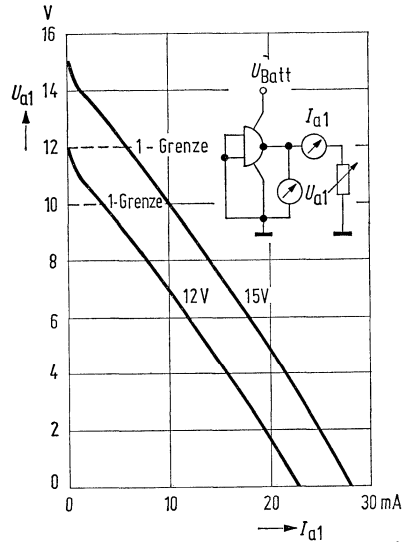


Bild 4 Ausgangskennlinie des log. 1-Pegels eines Schaltgliedes.

$U_{a1} = f(I_{a1})$ bei $U_{Batt} = 12$ und 15 V

1.4 Statische Störsicherheit

Die statische Störsicherheit charakterisiert das Verhalten eines Schaltgliedes gegenüber Störungen, die länger als die mittlere Schaltverzögerungszeit einwirken. Sie gibt den zulässigen Spannungshub an, der den logischen Zustand eines Schaltgliedes noch nicht verändert. Anhand der Übertragungskennlinie (Bild 1) lassen sich die typischen Werte der statischen Störsicherheit U_{ss} ermitteln.

Für den Zustand log. 0 ergibt sich:

bei $U_{Batt} = 12 \text{ V}$: $U_{ss0} = U_{S1} - U_{e0} = 5,9 - 0,9 = 5,0 \text{ V}$

bei $U_{Batt} = 15 \text{ V}$: $U_{ss0} = U_{S2} - U_{e0} = 5,6 - 0,9 = 4,7 \text{ V}$

und für den Zustand log. 1:

bei $U_{Batt} = 12 \text{ V}$: $U_{ss1} = U_{a1} - U_{S1} = 11,3 - 5,9 = 5,4 \text{ V}$

bei $U_{Batt} = 15 \text{ V}$: $U_{ss1} = U_{a1} - U_{S2} = 14,3 - 5,6 = 8,7 \text{ V}$

Unter Eckbedingungen (worst case) ergibt sich der garantierte Störabstand:

$U_{ss0} = U_{e0} - U_{a0} = 4,5 - 1,7 = 2,8 \text{ V}$ bei $U_{Batt} = 12$ und 15 V

$U_{ss1} = U_{a1} - U_{e1} = 10 - 7,5 = 2,5 \text{ V}$ bei $U_{Batt} = 12 \text{ V}$ und

$U_{ss1} = U_{a1} - U_{e1} = 12 - 7,5 = 4,5 \text{ V}$ bei $U_{Batt} = 15 \text{ V}$

2. Beschreibung der dynamischen Daten

2.1 Allgemeines

Durch die besondere Geometrie des Eingangstransistors der LSL-Bausteine ist die Kollektorkapazität groß. Dies ergibt lange Schaltzeiten und damit eine hohe dynamische Störsicherheit. Bei den Bausteinen mit Y-Anschluß ist es möglich, mit einer Integrierkapazität C die Schaltzeiten zu verlängern und somit die dynamische Störsicherheit noch zu erhöhen. Bei Schaltunggliedern wird der Kondensator zwischen Ausgang X und Y-Anschluß geschaltet. Bei den Flipflops FZJ 101, FZJ 105 legt man ihn zwischen die Ausgänge Q, \bar{Q} und die Anschlüsse $Y_Q, Y_{\bar{Q}}$; bei FZJ 111, FZJ 115 können zusätzlich die Anschlüsse $Y_J, Y_{\bar{J}}$ und $Y_K, Y_{\bar{K}}$ mit einem Kondensator beschaltet werden. Die Integrierkapazität C kann beliebig große Werte annehmen. Bild 5 zeigt die Verlängerung der Schaltzeiten t_s in Abhängigkeit von der Integrierkapazität C.

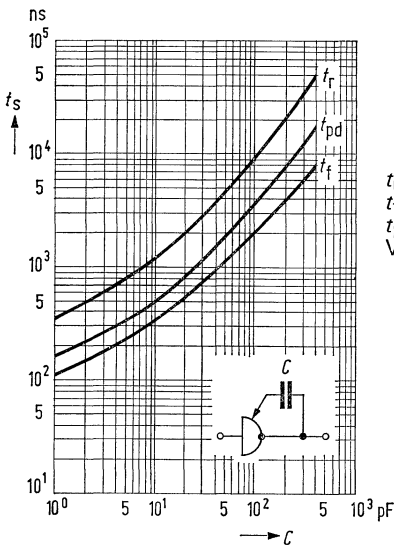


Bild 5 Verlängerung der Schaltzeiten t_s in Abhängigkeit von der Integrierkapazität C bei $U_{Batt}=12\text{ V}$.

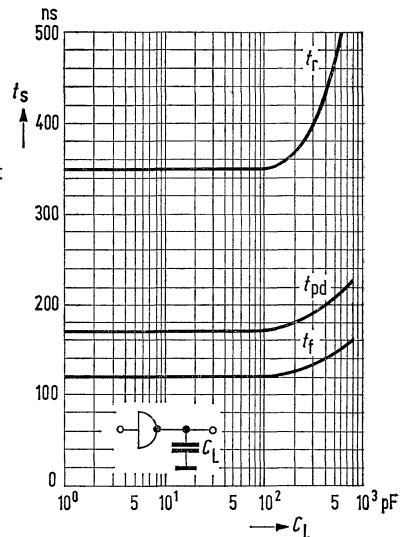


Bild 6 Abhängigkeit der Schaltzeiten t_s von der Lastkapazität C_L bei $U_{Batt}=12\text{ V}$.

2.2 Schaltzeiten

Die Einschaltverzögerungszeit t_{pd1} gibt die Impulsverzögerung zwischen Eingangs- und Ausgangsspannung an, wenn der Ausgang von log.0 auf log.1 geht. Entsprechendes gilt für die Ausschaltverzögerungszeit t_{pd0} , bei der der Ausgang von log.1 auf log.0 schaltet. Die Messung der Verzögerungszeiten ist auf die 4,5 V- Punkte bezogen.

Anstiegszeit t_r und Abfallzeit t_f der Impulsflanken werden zwischen den 10%- und 90%-Punkten ermittelt. Die Paarlaufzeit t_p gibt die Signalverzögerung an, die zwei hintereinandergeschaltete invertierende Verknüpfungsglieder bewirken. Am Ende der Kette entsteht also ein verzögertes Signal, das mit der Eingangsspannung phasengleich ist: $t_p = t_{pd1} + t_{pd0}$.

Aufgrund der niederohmigen Ausgangswiderstände in beiden logischen Zuständen sind die Schaltzeiten weitgehend unabhängig von Lastkapazitäten (Bild 6). Dadurch ist es möglich, Schaltungsglieder über lange Leitungen, die im wesentlichen eine kapazitive Last darstellen, zu verbinden. Die Schaltzeiten bleiben dabei in weitem Bereich unverändert.

FZ 100

Die Bilder 7 bis 11 zeigen die Ein- und Ausschaltverzögerungszeiten sowie Anstiegs- und Abfallzeiten in Abhängigkeit von der Versorgungsspannung U_{Batt} über den Betriebsspannungsbereich von 11,4 bis 17 V.

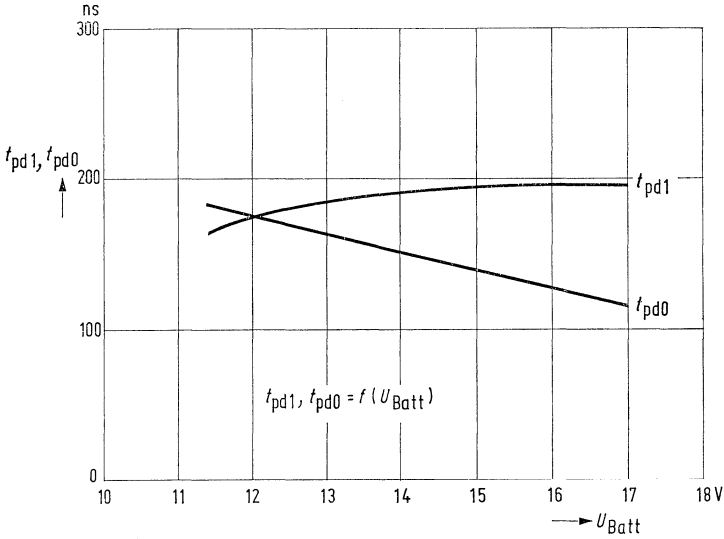


Bild 7
Einschalt-
verzögerungszeit
 $t_{pd1} = f(U_{\text{Batt}})$
Ausschalt-
verzögerungszeit
 $t_{pd0} = f(U_{\text{Batt}})$
für NAND-Glieder.

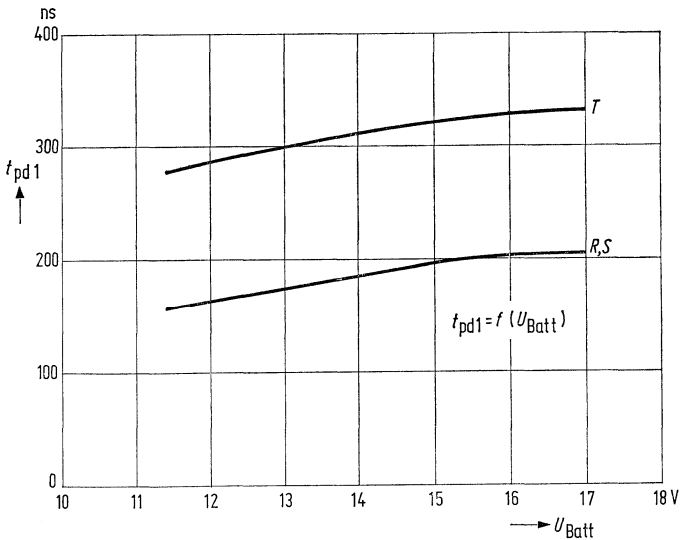


Bild 8
Einschalt-
verzögerungszeit
 $t_{pd1} = f(U_{\text{Batt}})$
für Flipflop.

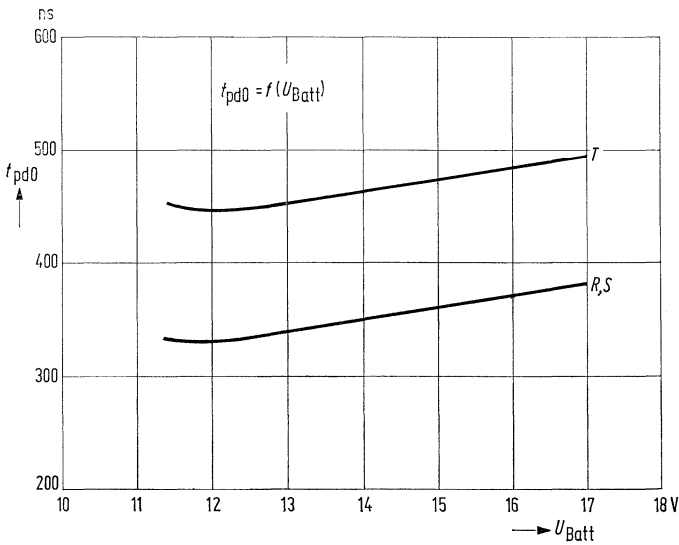


Bild 9
Ausschaltverzögerungszeit $t_{pd0} = f(U_{Batt})$ für Flipflop.

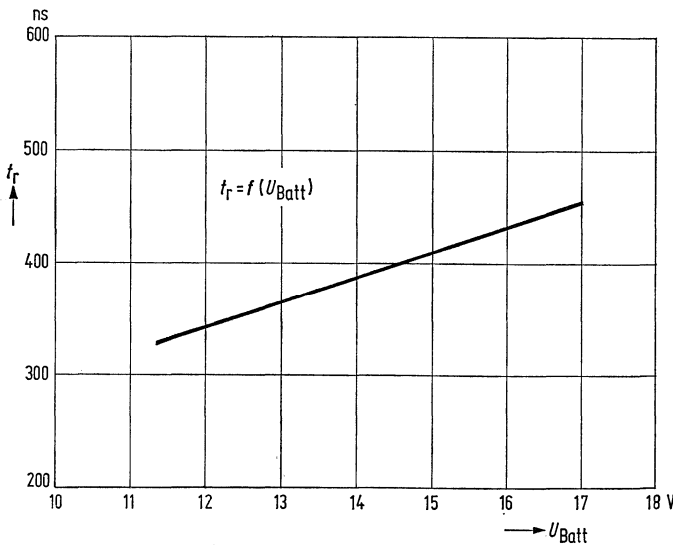


Bild 10
Anstiegszeit $t_r = f(U_{Batt})$ für NAND-Glieder und Flipflop.

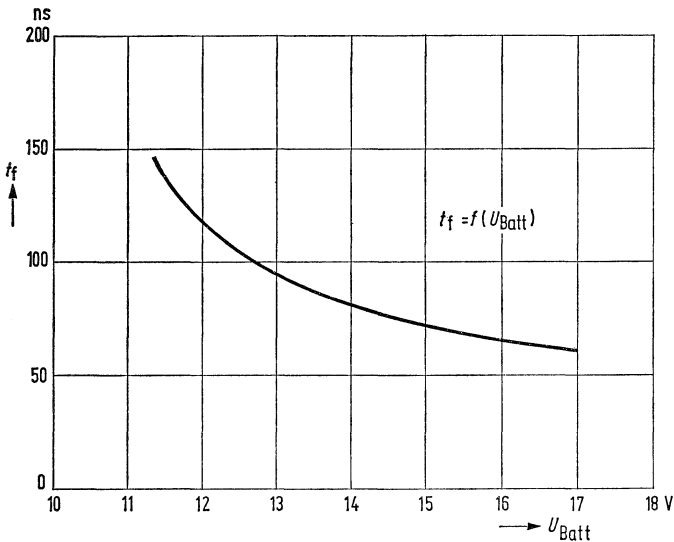


Bild 11 Abfallzeit $t_f = f(U_{Batt})$ für NAND-Glieder und Flipflop.

2.3 Dynamische Störsicherheit

Die dynamische Störsicherheit kennzeichnet das Verhalten eines Schaltgliedes gegenüber Störimpulsen, deren Dauer kurz ist im Vergleich zu der mittleren Schaltverzögerungszeit. Dabei ist die eingekoppelte Störenergie – Impulsdauer und Impulsamplitude – ausschlaggebend, ob der logische Zustand verändert wird.

Die für die Praxis wichtigsten Kriterien für die dynamische Störsicherheit sind die Eingangsempfindlichkeit und die Empfindlichkeit gegen kapazitive Störeinkopplung auf Signalleitungen, die durch Übersprechen (systemeigene Störung) oder von außen (systemfremde Störung) erfolgen kann. Der typische Wert der zulässigen Störkapazität bei systemeigenen Übersprechstörungen ist etwa 1,6 nF. Damit ist die Eigenstörsicherheit der LSL so groß, daß für ein System üblicher Größenordnung nur Fremdstörer von Bedeutung sind.

2.3.1 Eingangsempfindlichkeit

Die zulässige Dauer und Amplitude eines Störimpulses am Eingang hängen von der Verzögerungszeit t_{pd} des Schaltgliedes ab. Bei Störimpulsen mit Impulsweiten $b < \frac{1}{2} t_{pd}$ darf die Impulsamplitude größer sein als der statische Störabstand. Bei $b > t_{pd}$ darf die Impulsamplitude den statischen Störabstand nicht überschreiten. t_{pd} kann jedoch durch die Integrierkapazität C vergrößert werden. Die Bilder 12 und 13 zeigen die Eingangsempfindlichkeit gegen Störspannungsspitzen für NAND-Glieder ohne und mit Integrierkapazität C und für den Baustein FZH 151. Aufgetragen ist die typisch zulässige Störspannung U_s in Abhängigkeit von der Impulsbreite b des Störimpulses. Der kritischere Fall ist dabei, wenn eine am Eingang anliegende logische 0 gestört wird (Bild 12), da die fallende Ausgangsflanke steiler ist als die steigende. Die Länge des zulässigen Störimpulses ist also kleiner als bei Störung der logischen 1 (Bild 13).

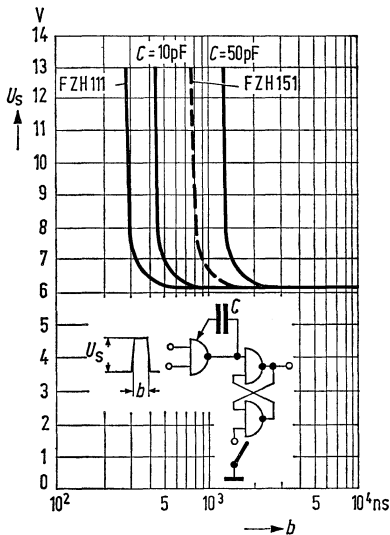


Bild 12 Grenzkurven der dynamischen Störsicherheit des log.-0-Zustands bei Störungen am Eingang.

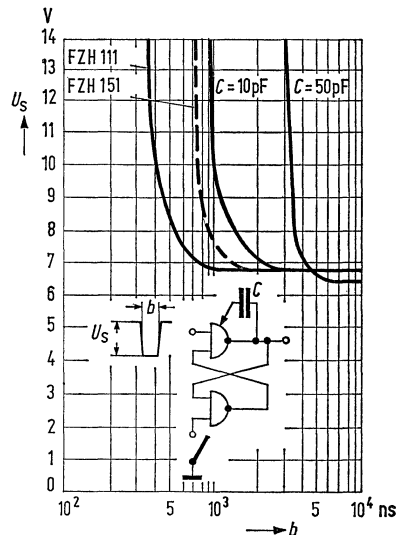


Bild 13 Grenzkurven der dynamischen Störsicherheit des log.-1-Zustands bei Störungen am Eingang.

2.3.2 Kapazitive Störeinkopplung

Bei kapazitiven Einkopplungen von Störungen haben die Schaltglieder den Vorteil eines niederohmigen Gegentaktausgangs, der im Zustand log.0 etwa 20Ω und im Zustand log.1 etwa 400Ω aufweist. Daraus ergibt sich eine kleine Zeitkonstante, die ein rasches Abklingen der Störimpulse bewirkt.

Die Bilder 14 und 15 zeigen die Empfindlichkeit des log.-0- und log.-1-Zustandes gegen kapazitive Störeinkopplung für NAND-Glieder mit und ohne Integrierkapazität C und für den Baustein FZH 151. Aufgetragen wurde die typisch zulässige Störspannung U_s in Abhängigkeit von der Koppelkapazität C_s . Der ungünstigere Fall ist hier bei Störung der logischen 1 gegeben, da der Gatterausgang im log.-1-Zustand einen höheren Innenwiderstand hat. Gestört wurde mit einer Impulsflanke von 1 ns aus einer Quelle mit etwa 1Ω Innenwiderstand.

FZ 100

In den Bildern 12 bis 15 geben die fast senkrechten Kurventeile die dynamischen Störgrenzen an, d. h. bis zu diesen Werten können sich Störungen nicht auswirken. Die Kurven laufen waagrecht auf den Wert der statischen Störsicherheit aus. Als Störkriterium dient das Umschalten eines RS-Flipflops aus 2 NAND-Gliedern.

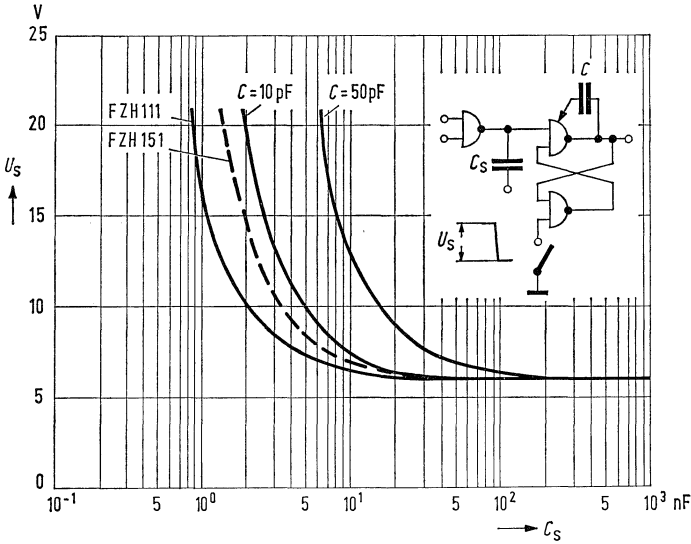


Bild 14 Grenzkurven der dynamischen Störsicherheit des log.0-Zustands bei kapazitiver Störeinkopplung.

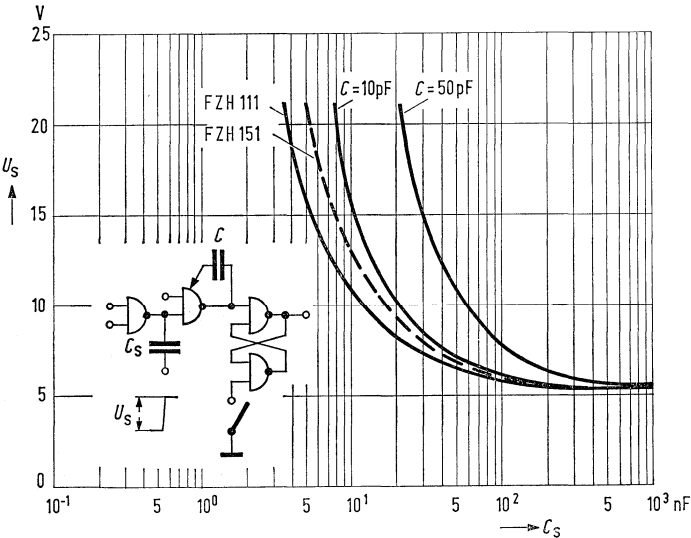


Bild 15 Grenzkurven der dynamischen Störsicherheit des log.1-Zustands bei kapazitiver Störeinkopplung.

Allgemeine Angaben zur LSL-Serie FZ 100

Die Kenndaten in den Tabellen sind für zwei Spannungsbereiche definiert. Dabei gilt für den Spannungsbereich $U_{\text{Batt}}=12\text{ V}$ ein $U_{\text{min}}=11,4\text{ V}$ und ein $U_{\text{max}}=13,5\text{ V}$ und für den Spannungsbereich $U_{\text{Batt}}=15\text{ V}$ ein $U_{\text{min}}=13,5\text{ V}$ und ein $U_{\text{max}}=17,0\text{ V}$. Die typischen Werte gelten bei der jeweiligen Nennspannung und einer Temperatur $T_U=25\text{ }^\circ\text{C}$.

Grenzdaten		min	max	Einheit
Betriebsspannung	U_{Batt}	0	18	V
Betriebsspannung FZH 181	U_{Batt}	0	7	V
Eingangsspannung	U_E	0	18	V
Eingangsspannung FZH 181	U_E	0	5,5	V
Spannung am Y-Anschluß	U_Y	-1,0	0,6	V
Strom am Y-Anschluß	I_Y	-10	2,0	mA
Betriebstemperatur Bereich 1	T_U	0	70	$^\circ\text{C}$
Bereich 5	T_U	-25	85	$^\circ\text{C}$
Lagertemperatur	T_S	-65	150	$^\circ\text{C}$

Grenzdaten, maximale negative Werte bei $T_U=0$ bis $70\text{ }^\circ\text{C}$

	U_e (V)	I_e (mA)	U_{Batt} (V)
Alle Eingänge außer Y-Anschlüsse bei FZH 101, 111, 121, 131, 141, 161, 171, FZJ 101, 111		-25	17
Zusatz zum FZH 171: keine negativen Spannungen an den Erweiterungseingängen			
FZH 151	-0,7		17
FZH 181	-0,5	-25	5

Freie Anschlüsse dürfen nicht beschaltet werden.

Die Serie FZ 100 ist im Plastik-Steckgehäuse (Bauformzeichnungen siehe Seite 205).

Eine ständige Erweiterung der Serie ist vorgesehen. Zur Zeit sind folgende Bausteine in Vorbereitung:

FZH 191	Drei NAND-Glieder mit je drei Eingängen und einstellbarer Flankendauer
FZH 201	Sechs Inverter mit Strobe-Eingängen
FZH 211	Vier NAND-Glieder mit je zwei Eingängen, offenem Kollektor und einstellbarer Flankendauer
FZH 231	Zwei NAND-Glieder mit je fünf Eingängen, offenem Kollektor und einstellbarer Flankendauer
FZH 241	Zwei NAND-Schmitt-Trigger für 6 V Schwellenspannung mit je fünf Eingängen
FZJ 121	Zwei JK-Master-Slave-Flipflop mit Stell- und Rückstelleingängen
FZJ 131	Vier D-Flipflop
FZJ 141	Dezimalzähler mit Stell- und Rückstelleingängen
FZJ 151	Binärzähler mit Stell- und Rückstelleingängen
FZL 101	BCD-Dezimal-Dekoder und Treiber für Ziffernanzeigeröhren

FZH 101, FZH 111, FZH 121, FZH 131, FZH 171 FZH 105, FZH 115, FZH 125, FZH 135, FZH 175

FZH 101, FZH 105, Vier NAND-Glieder mit je zwei Eingängen
 FZH 111, FZH 115, Vier NAND-Glieder mit je zwei Eingängen und Y-Anschluß
 FZH 121, FZH 125, Zwei NAND-Glieder mit je fünf Eingängen
 FZH 131, FZH 135, Zwei NAND-Glieder mit je fünf Eingängen und Y-Anschluß
 FZH 171, FZH 175, Zwei NAND-Glieder mit je vier Eingängen, Erweiterungseingang und Y-Anschluß

Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			11,4	12,0	13,5	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7 \text{ V}, I_L=15 \text{ mA}$	1	7,5			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=U_{min}$ und U_{max} $U_{e0} \geq 10 \text{ V}, I_L=-0,1 \text{ mA}$	2			4,5	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=U_{min}$ und U_{max} $U_{e0}=4,5 \text{ V}, I_L=-0,1 \text{ mA}$	2	10,0	11,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,5 \text{ V}, I_L=15 \text{ mA}$	1		0,9	1,7	V
Statische Störsicherheit, log. 1 log. 0	U_{ss}			2,5	5,0		V
	U_{ss}			2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	3			1,0	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{Batt}=U_{max}$ $U_{e0}=1,7 \text{ V}$	4		-0,8	-1,5	mA
Kurzschlußausgangsstrom pro Glied	I_{aK}	$U_{Batt}=U_{max}$ $U_e=0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$	5	-10,0	-30,0	-50,0	mA
Stromaufnahme, log. 1, pro Glied	I_{Batt1}	$U_{Batt}=U_{max}$ $U_e=0 \text{ V}$	6		0,9	1,6	mA
Stromaufnahme, log. 0, pro Glied	I_{Batt0}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	7		1,7	3,0	mA
Leistungsverbrauch pro Glied	P	$U_{Batt}=U_{max}$ Tastverhältnis 1:1			16		mW

Schaltzeiten bei Nennspannung, $F_a=1$, $T_U=25 \text{ }^\circ\text{C}$
 für die Schaltzeitgrenzen gilt ein Einzel-AQL von 1,5

Einschaltverzögerungszeit	t_{pd1}	} $C_L=10 \text{ pF}$	26	90	175	310	ns
Ausschaltverzögerungszeit	t_{pd0}			90	175	310	ns
Anstiegszeit	t_r			200	340	570	ns
Abfallzeit	t_f			70	120	210	ns

FZH 101, FZH 111, FZH 121, FZH 131, FZH 171 FZH 105, FZH 115, FZH 125, FZH 135, FZH 175

Statische Kenndaten im 15-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			13,5	15,0	17,0	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a0} \leq 1,7 \text{ V}, I_L=18 \text{ mA}$	1	7,5			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=U_{\text{min}}$ und U_{max} $U_{a1} \geq 12 \text{ V}, I_L=-0,1 \text{ mA}$	2			4,5	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=U_{\text{min}}$ und U_{max} $U_{e0}=4,5 \text{ V}, I_L=-0,1 \text{ mA}$	2	12,0	14,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e1}=7,5 \text{ V}, I_L=18 \text{ mA}$	1		1,0	1,7	V
Statische Störsicherheit, log. 1	U_{ss}			4,5	8,0		V
	log. 0			2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$	3			1,0	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7 \text{ V}$	4		-1,0	-1,8	mA
Kurzschlußausgangsstrom pro Glied	I_{aK}	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$	5	-15,0	-37,0	-60,0	mA
Stromaufnahme, log. 1 pro Glied	$I_{\text{Batt}1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}$	6		1,2	2,1	mA
Stromaufnahme, log. 0, pro Glied	$I_{\text{Batt}0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$	7		2,3	4,0	mA
Leistungsverbrauch pro Glied	P	$U_{\text{Batt}}=U_{\text{max}}$ Tastverhältnis 1:1			27		mW

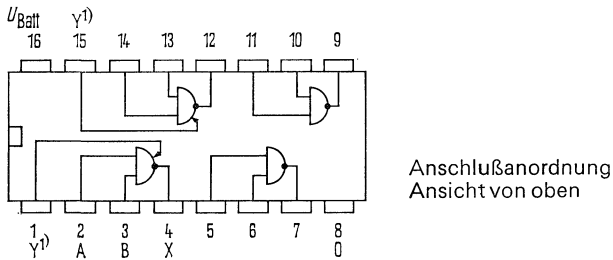
Schaltzeiten bei Nennspannung, $F_a=1$, $T_U=25 \text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{\text{pd}1}$	}	}	195	}	ns
Ausschaltverzögerungszeit	$t_{\text{pd}0}$			140		ns
Anstiegszeit	t_r			410		ns
Abfallzeit	t_f			75		ns

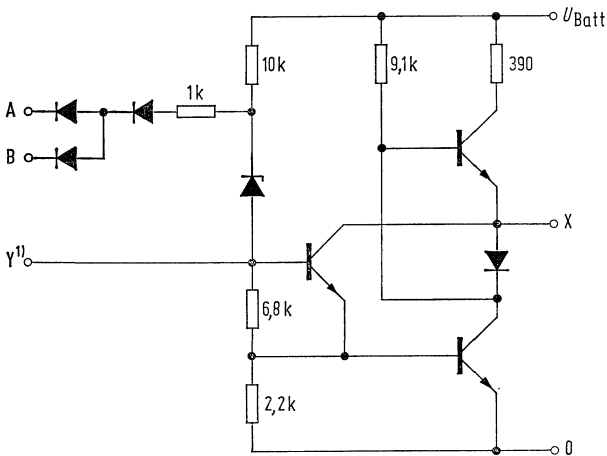
FZH 101, FZH 105, FZH 111, FZH 115

Q67000-H190; Q67000-H250; Q67000-H191; Q67000-H215

Vier NAND-Glieder mit je zwei Eingängen



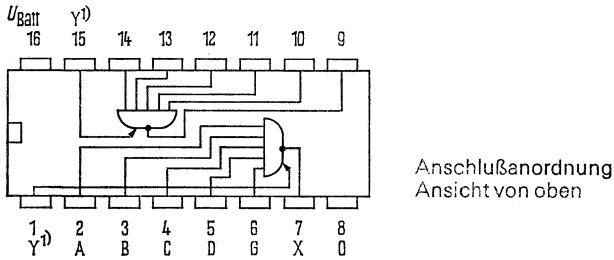
Schaltschema (ein Glied)



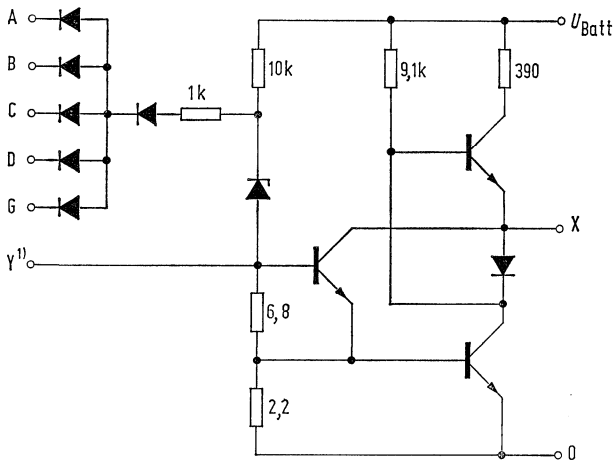
Logische Daten pro Glied		max
Ausgangsfächer, log. 1 log. 0	F_{a1}	100
	F_{a0}	10
Eingangsfächer	F_e	2
Logische Funktion	$X = \overline{A \wedge B}$	

1) nur bei FZH 111, 115

Zwei NAND-Glieder mit je fünf Eingängen



Schaltschema (ein Glied)



Logische Daten pro Glied		max
Ausgangsfächer, log. 1	F_{a1}	100
	log. 0	10
Eingangsfächer	F_e	5

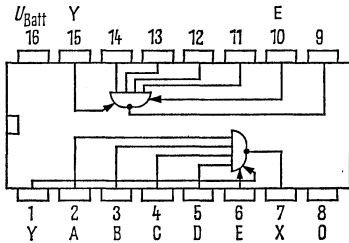
Logische Funktion

FZH 121, 125, 131, 135 $X = \overline{A \wedge B \wedge C \wedge D \wedge G}$

1) Nur bei FZH 131, 135

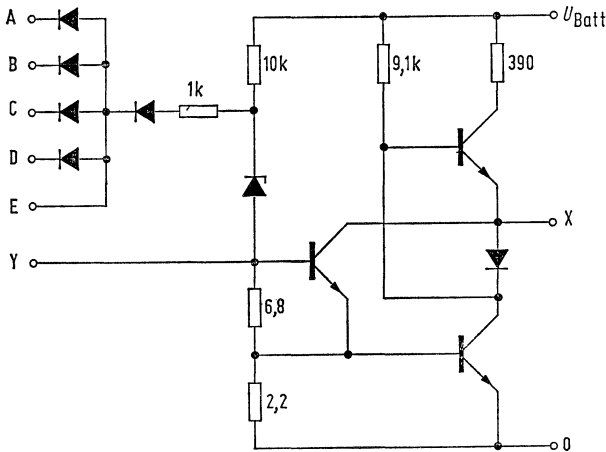
Zwei NAND-Glieder mit je vier Eingängen, Erweiterungseingang und Y-Anschluß

An den Erweiterungseingängen E können die NAND-Glieder mit Hilfe von Dioden BAW 76 beliebig erweitert werden. Dabei müssen die Anoden der Erweiterungsdioden am Anschluß E parallel geschaltet werden.



Anschlußanordnung
Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied		max
Ausgangsfächer, log. 1	F_{a1}	100
	F_{a0}	10
Eingangsfächer	F_e	4 + Erw.

Logische Funktion $X = \overline{A \wedge B \wedge C \wedge D \wedge \text{Erw.}}$

Zwei NAND-Leistungsglieder mit je fünf Eingängen und Y-Anschluß

Es gelten die auf Seite 170 und 171 aufgeführten Daten ähnlich FZH 131 und FZH 135 mit Ausnahme der hier angegebenen Werte.

Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5

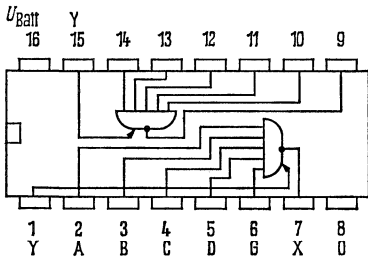
	Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit
Eingangsspannung, log.1 U_{e1}	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7\text{ V}, I_L=45\text{ mA}$	1	7,5			V
Ausgangsspannung, log.0 U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,6\text{ V}, I_L=45\text{ mA}$	1		1,3	1,7	V

Statische Kenndaten im 15-V-Bereich im Temperaturbereich 1 und 6

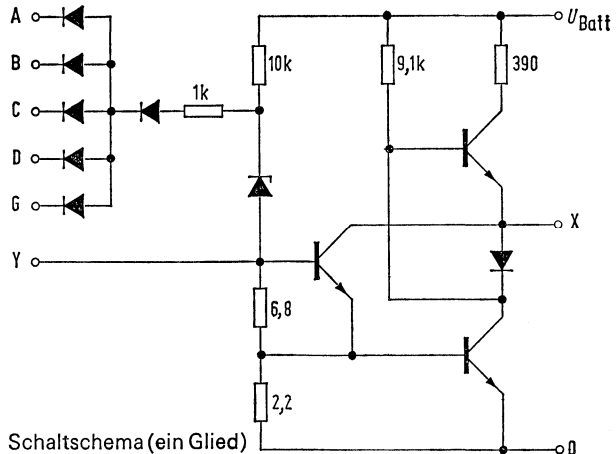
Eingangsspannung, log.1 U_{e1}	$U_{Batt}=U_{min}$ $U_{a0} < 1,7\text{ V}, I_L=54\text{ mA}$	1	7,5			V
Ausgangsspannung, log.0 U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,5\text{ V}, I_L=54\text{ mA}$	1		1,4	1,7	V

Logische Daten pro Glied

Ausgangsfächer, log.1	F_{a1}		100
log.0	F_{a0}		30
Eingangsfächer	F_e		5
Logische Funktion	$X = \overline{A \wedge B \wedge C \wedge D \wedge G}$		



Anschlußanordnung
Ansicht von oben



Schaltschema (ein Glied)

UND-ODER-Kombinationsglied mit Y-Anschluß

Der Baustein FZH 151 bzw. FZH 155 ist ein UND-ODER-Kombinationsglied, mit dem folgende Schaltungen realisiert werden können: Flipflop, Zähler und Frequenzteiler, Schieberegister, Addierschaltungen, Verzögerungsschaltungen. Der Baustein kann bis zu einer minimalen Versorgungsspannung von $U_{Batt}=10\text{ V}$ betrieben werden.

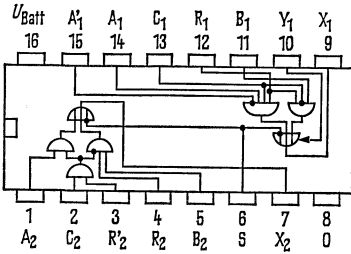
Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			11,4	12,0	13,5	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7\text{ V}, I_L=30\text{ mA}$	15	7,5			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=U_{min}$ $U_{a1} \geq 10\text{ V}, I_L=-0,1\text{ mA}$	16			4,5	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=U_{min}$ $U_{e0}=4,5\text{ V}, I_L=-0,1\text{ mA}$	16	10,0	11,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,5\text{ V}, I_L=15\text{ mA}$	15		0,9	1,7	V
Statische Störsicherheit, log. 1	U_{ss}			2,5	5,0		V
	log. 0 U_{ss}			2,8	5,0		V
Eingangsstrom, log. 1, an R_1, C_1, R_2, C_2	I_{e1}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	17			2,0	μA
Eingangsstrom, log. 1, an übrige Eingänge	I_{e1}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	17			1,0	μA
Eingangsstrom, log. 0, an R_1, C_1, R_2, C_2	I_{e0}	$U_{Batt}=U_{max}$ $U_{e0}=1,7\text{ V}$	18		-1,0	-2,5	mA
Eingangsstrom, log. 0, an übrige Eingänge	I_{e0}	$U_{Batt}=U_{max}$ $U_{e0}=1,7\text{ V}$	18		-0,5	-1,25	mA
Kurzschlußausgangsstrom pro Glied	I_{aK}	$U_{Batt}=U_{max}$ $U_e=0\text{ V}, T_U=25^\circ\text{C}$	19	-10,0	-30,0	-50,0	mA
Stromaufnahme, log. 1, gesamt	I_{Batt1}	$U_{Batt}=U_{max}$ $U_e=0\text{ V}$	20		14,0	22,0	mA
Stromaufnahme, log. 0, gesamt	I_{Batt0}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	21		8,0	18,0	mA
Leistungsverbrauch	P	$U_{Batt}=U_{max}$ Tastverhältnis 1:1			132		mW

Schaltzeiten bei $U_{Batt}=12\text{ V}, F_a=1, T_U=25^\circ\text{C}$

Einschaltverzögerungszeit	$t_{pd1\text{ I}}$	für nichtinvertiertes Ausgangssignal für invertiertes Aus- gangssignal	27	340	ns
	$t_{pd1\text{ II}}$			340	ns
	$t_{pd1\text{ III}}$			270	ns
Ausschaltverzögerungszeit	$t_{pd0\text{ I}}$	für nichtinvertiertes Ausgangssignal für invertiertes Aus- gangssignal	27	230	ns
	$t_{pd0\text{ II}}$			300	ns
	$t_{pd0\text{ III}}$			400	ns
Anstiegszeit	t_r	$C_L=10\text{ pF}$		330	ns
Abfallzeit	t_f			200	ns

Statische Kenndaten im 15-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			13,5	15,0	17,0	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a0} \leq 1,7 \text{ V}, I_L=36 \text{ mA}$	15	7,5			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a1} \geq 12 \text{ V}, I_L=-0,1 \text{ mA}$	16			4,5	V
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e0}=4,5 \text{ V}, I_L=-0,1 \text{ mA}$	16	12,0	14,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e1}=7,5 \text{ V}, I_L=18 \text{ mA}$	15		1,0	1,7	V
Statische Störsicherheit, log. 1	U_{ss}			4,5	8,0		V
log. 0	U_{ss}			2,8	5,0		V
Eingangsstrom, log. 1, an R_1, C_1, R_2, C_2	I_{e1}	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$	17			2,0	μA
Eingangsstrom, log. 1, an übrige Eingänge	I_{e1}	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$	17			1,0	μA
Eingangsstrom, log. 0, an R_1, C_1, R_2, C_2	I_{e0}	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7 \text{ V}$	18		-1,2	-3,0	mA
Eingangsstrom, log. 0, an übrige Eingänge	I_{e0}	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7 \text{ V}$	18		-0,6	-1,5	mA
Kurzschlußausgangsstrom pro Glied	I_{aK}	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}, T_U=25^\circ\text{C}$	19	-15,0	-37,0	-60,0	mA
Stromaufnahme, log. 1, gesamt	$I_{\text{Batt}1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}$	20		18,0	29,0	mA
Stromaufnahme, log. 0, gesamt	$I_{\text{Batt}0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$	21		12,0	25,0	mA
Leistungsverbrauch	P	$U_{\text{Batt}}=U_{\text{max}}$ Tastverhältnis 1:1			225		mW

FZH 151, FZH 155



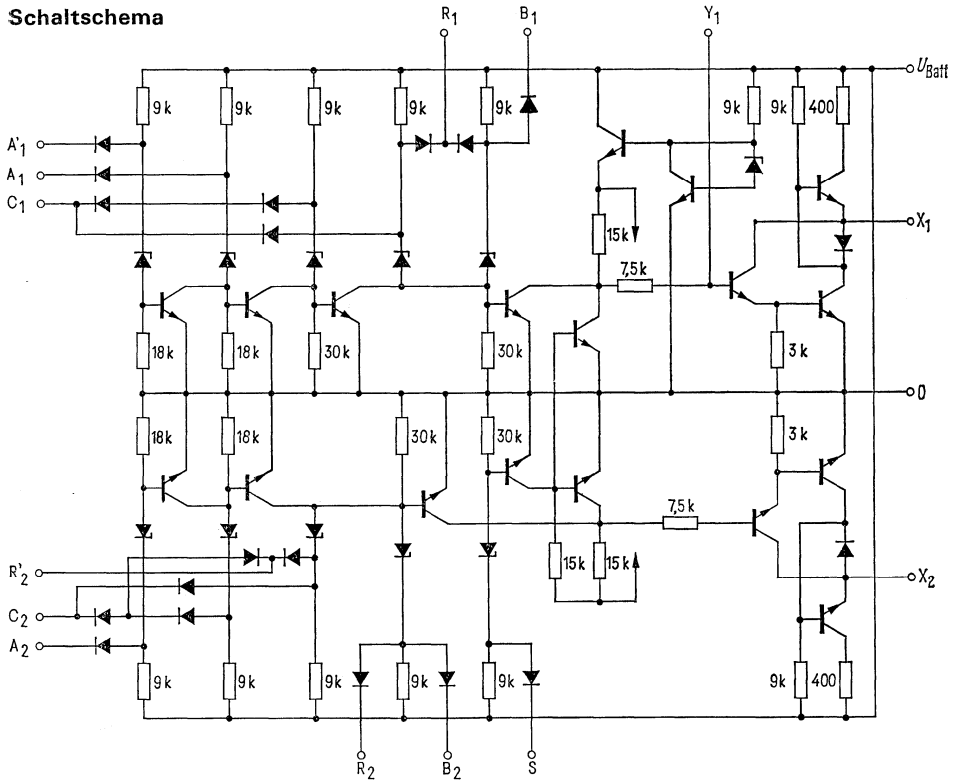
Anschlußanordnung
Ansicht von oben

Logische Daten

Logische Daten		max
Ausgangsfächer log. 1	F_{a1}	100
pro Ausgang log. 0 (für beliebige LSL-Lasten)	F_{a0}	20
log. 0 (für FZH 151 als Last)	F_{s0}	24

Logische Funktion $X_1 = \overline{S} \vee (A_1 \wedge \overline{A_1} \wedge R_1 \wedge C_1) \vee (B_1 \wedge R_1 \wedge \overline{C_1})$
 $X_2 = \overline{S} \vee (A_2 \wedge C_2 \wedge R_2) \vee (B_2 \wedge R_2 \wedge \overline{C_2} \wedge \overline{R_2})$

Schaltschema



LSL-TTL-Pegelumsetzer

Die Bausteine FZH 161 und FZH 165 enthalten 4 LSL-TTL-Pegelumsetzer. Sie können auch als LSL-wired-AND-Stufen verwendet werden. Für die Berechnung des gemeinsamen Kollektorarbeitswiderstandes gelten die auf Seite 183 aufgeführten Formeln. Die zulässige Spannung am Ausgang X beträgt maximal 18 V.

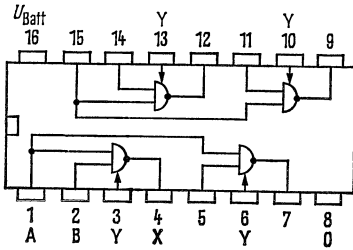
Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit
Betriebsspannung	U_{Batt}			11,4	12,0	13,5	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=U_{min}$ $U_{a0}=0,4 V, I_L=20 mA$	9	7,5			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=U_{min}$ $U_{a1}=U_{max}, I_{a1}=40 \mu A$	10			4,5	V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,5 V, I_L=20 mA$	9			0,4	V
Statische Störsicherheit, log. 1	U_{ss}			2,5	5,0		V
Statische Störsicherheit, log. 0	U_{ss}			2,8	5,0		V
Eingangsstrom, log. 1 pro Eingang 2, 5, 11, 14	I_{e1}	$U_{Batt}=U_{max}, U_e=U_{max}$	11			1,0	μA
pro Eingang 1, 15	I_{e1}					2,0	μA
Eingangsstrom, log. 0 pro Eingang 2, 5, 11, 14	I_{e0}	$U_{Batt}=U_{max}, U_e=1,7 V$	12		-0,8	-1,5	mA
pro Eingang 1, 15	I_{e0}				-1,6	-3,0	mA
Ausgangssperrstrom, log. 1	I_{a1}	$U_{Batt}=U_{max}, U_a=18 V$	10			40	μA
Stromaufnahme, log. 1, pro Glied	I_{Batt1}	$U_{Batt}=U_{max}, U_e=0 V$	14		2,5	4,5	mA
Stromaufnahme, log. 0, pro Glied	I_{Batt0}	$U_{Batt}=U_{max}, U_e=U_{max}$	13		4,0	6,0	mA
Leistungsverbrauch pro Glied	P	$U_{Batt}=U_{max}$ Tastverhältnis 1:1			39		mW

Schaltzeiten bei $U_{Batt}=12 V, F_a=1, T_U=25 \text{ }^\circ C$

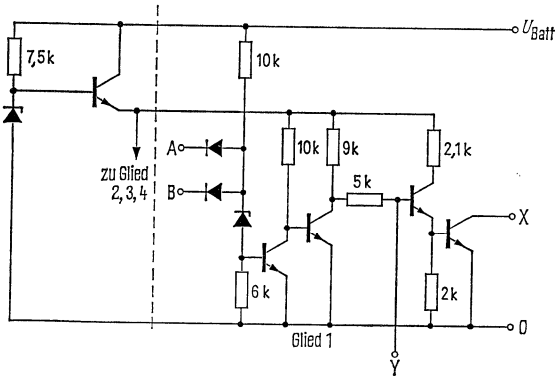
Einschaltverzögerungszeit	t_{pd1}	$U_X=12 V$	} 28		160	350	ns	
	t_{pd1}	$U_X=5 V$						140
Ausschaltverzögerungszeit	t_{pd0}	$U_X=12 V$			130	300		
	t_{pd0}	$U_X=5 V$						120

Statische Kenndaten im 15-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf-	min	typ	max	Ein- heit
			schal- tung				
Betriebsspannung	U_{Batt}			13,5	15	17,0	V
Eingangsspannung, log.1	U_{e1}	$U_{Batt}=U_{min}$ $U_{a0}=0,4\text{ V}, I_L=20\text{ mA}$	9	7,5			V
Eingangsspannung, log.0	U_{e0}	$U_{Batt}=U_{min}$ $U_{a1}=U_{max}, I_{a1}=40\text{ }\mu\text{A}$	10			4,5	V
Ausgangsspannung, log.0	U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,5\text{ V}, I_L=20\text{ mA}$	9			0,4	V
Statische Störsicherheit, log.1	U_{ss}			4,5	8,0		V
	log.0 U_{ss}			2,8	5,0		V
Eingangsstrom, log.1	I_{e1}	$U_{Batt}=U_{max}, U_e=U_{max}$	11			1,0	μA
pro Eingang 2, 5, 11, 14	I_{e1}					2,0	μA
Eingangsstrom, log.0	I_{e0}	$U_{Batt}=U_{max}, U_e=1,7\text{ V}$	12		-1,0	-1,8	mA
pro Eingang 2, 5, 11, 14	I_{e0}					-2,0	-3,6
pro Eingang 1, 15	I_{a1}	$U_{Batt}=U_{max}, U_a=18\text{ V}$	10			40	μA
Ausgangssperrstrom, log.1	I_{Batt1}					2,8	4,5
Stromaufnahme, log.1,	I_{Batt1}	$U_{Batt}=U_{max}, U_e=0\text{ V}$	14				
pro Glied							
Stromaufnahme, log.0,	I_{Batt0}	$U_{Batt}=U_{max}, U_e=U_{max}$	13		4,5	7,0	mA
pro Glied							
Leistungsverbrauch	P	$U_{Batt}=U_{max}$ Tastverhältnis 1:1			55		mW
pro Glied							

FZH 161, FZH 165



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

Logische Daten pro Glied		max
Ausgangsfächer	F_a	10
Eingangsfächer	F_e	2
Logische Funktion	$X = \overline{A \wedge B}$	

Berechnung des Kollektorarbeitswiderstandes R_A

Der Widerstand R_A berechnet sich aus dem notwendigen Spannungshub und den Eingangs- und Ausgangsströmen der Gatter nach folgenden Formeln:

$$R_{A\max} = \frac{U_{\text{Batt}} - U_{a1} \text{ V}}{nI_{a1} + NI_{e1} \mu\text{A}} \quad R_{A\min} = \frac{U_{\text{Batt}} - U_{a0} \text{ V}}{I_{L\max} - NI_{e0} \text{ mA}}$$

Wobei: U_{Batt} = Versorgungsspannung des Arbeitswiderstandes

n = Anzahl der AND-Verknüpfungen

N = Anzahl der angeschlossenen Eingänge

Der in der Schaltung verwendete Widerstand muß zwischen dem Maximal- und Minimalwert liegen.

Bei Verwendung als **Pegelumsetzer** ergibt sich für

$$\text{FZH 161 LSL-TTL: } R_{A\max} = \frac{5 - 2,4 \text{ V}}{n40 + N40 \mu\text{A}} \quad R_{A\min} = \frac{5 - 0,4 \text{ V}}{20 - N1,6 \text{ mA}}$$

wobei $n_{\max}=2$ für $N_{\max}=10$

$$\text{FZH 181 TTL-LSL}_{12}\text{V: } R_{A\max} = \frac{12 - 10 \text{ V}}{n250 + N1 \mu\text{A}} \quad R_{A\min} = \frac{12 - 1,0 \text{ V}}{50 - N1,5 \text{ mA}}$$

$$\text{TTL-LSL}_{15}\text{V: } R_{A\max} = \frac{15 - 12 \text{ V}}{n250 + N1 \mu\text{A}} \quad R_{A\min} = \frac{15 - 1,0 \text{ V}}{50 - N1,8 \text{ mA}}$$

wobei $n_{\max}=4$ für $N_{\max}=25$

Wird der Baustein FZH 161 für wired-AND-Verknüpfungen verwendet, so ergibt sich

$$\text{im 12-V-Bereich: } R_{A\max} = \frac{12 - 10 \text{ V}}{n40 + N1 \mu\text{A}} \quad R_{A\min} = \frac{12 - 0,4 \text{ V}}{20 - N1,5 \text{ mA}}$$

$$\text{und im 15-V-Bereich: } R_{A\max} = \frac{15 - 12 \text{ V}}{n40 + N1 \mu\text{A}} \quad R_{A\min} = \frac{15 - 0,4 \text{ V}}{20 - N1,8 \text{ mA}}$$

wobei $n_{\max}=9$ für $N_{\max}=10$

Der Kollektorarbeitswiderstand für die TTL-wired-AND-Verknüpfung des Bausteins FZH 181 ist aus den Formeln und Tabellen zum FLH 201, Seiten 56 und 57, zu ersehen.

TTL-LSL-Pegelumsetzer

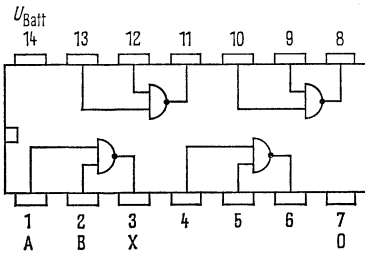
Die Bausteine FZH 181 und FZH 185 enthalten 4 TTL-LSL-Pegelumsetzer, die auch in wired-AND-Verknüpfung betrieben werden können. Sie können ebenso als TTL-wired-AND-Stufen verwendet werden. Für die Berechnung des gemeinsamen Kollektorarbeitswiderstandes gelten die auf Seite 183 aufgeführten Formeln.

Die zulässige Spannung am Ausgang X beträgt maximal 18 V.

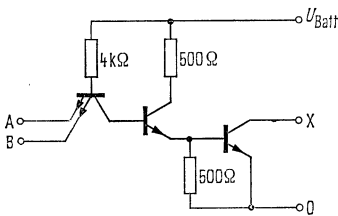
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			4,75	5,0	5,25	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=4,75 \text{ V},$ $U_{a0} \leq 1,0 \text{ V}, I_L=50 \text{ mA}$	1	2,0			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=4,75 \text{ V},$ $U_{a1}=18,0 \text{ V},$ $I_{a1} \leq 250 \mu\text{A}$	8			0,8	V
Ausgangssperrstrom, log. 1	I_{a1}	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e0}=0,8 \text{ V}, U_{a1}=18 \text{ V}$	8			250	μA
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=4,75 \text{ V},$ $U_{e1}=2,0 \text{ V}, I_L=16 \text{ mA}$	1			0,4	V
	U_{a0}	$U_{\text{Batt}}=4,75 \text{ V},$ $U_{e1}=2,0 \text{ V}, I_L=50 \text{ mA}$	1			1,0	V
Statische Störsicherheit	U_{ss}			0,4	1,0		V
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{\text{Batt}}=5,25 \text{ V},$ $U_{e0}=0,4 \text{ V}$	4			-1,6	mA
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{\text{Batt}}=5,25 \text{ V},$ $U_{e1}=2,4 \text{ V}$	3			40	μA
	I_e	$U_{\text{Batt}}=5,25 \text{ V},$ $U_e=5,5 \text{ V}$	3			1,0	mA
Stromaufnahme, log. 1, pro Glied	$I_{\text{Batt}1}$	$U_{\text{Batt}}=5 \text{ V}, U_e=0 \text{ V}$	6		1,0	2,0	mA
Stromaufnahme, log. 0, pro Glied	$I_{\text{Batt}0}$	$U_{\text{Batt}}=5 \text{ V}, U_e=5 \text{ V}$	7		8,5	12	mA
Leistungsverbrauch pro Glied	P	$U_{\text{Batt}}=U_{\text{max}},$ Tastverhältnis 1:1			24		mW

Schaltzeiten bei Nennspannung, $F_a=1, T_U=25 \text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{\text{pd}1}$	$U_X=12 \text{ V}$	} 29		130	300	ns
Ausschaltverzögerungszeit	$t_{\text{pd}0}$	$U_X=12 \text{ V}$					



Anschlußanordnung
Ansicht von oben



Schaltschema
(ein Glied)

Logische Daten pro Glied		max
Ausgangsfächer	F_a	10
Eingangsfächer	F_e	2
Logische Funktion	$X = \overline{A \wedge B}$	

FZJ 101, FZJ 105, FZJ 111, FZJ 115

Q67000-J95; Q67000-J124; Q67000-J96; Q67000-J125

FZJ 101, FZJ 105, JK-Master-Slave Flipflop mit je zwei J- und K-Eingängen
 FZJ 111, FZJ 115, JK-Master-Slave Flipflop mit Y-Anschlüssen

Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit
Betriebsspannung	U_{Batt}	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7 V, I_L=15 mA$	22	11,4	12,0	13,5	V
Eingangsspannung, log. 1	U_{e1}			7,5			V
Eingangsspannung, log. 0, an allen Eingängen außer T	U_{e0}	$U_{Batt}=U_{min}$ und U_{max} $U_{a1} \geq 10 V, I_L=-0,1 mA$	22			4,5	V
Eingangsspannung, log. 0, an T	U_{e0}			$U_{Batt}=U_{min}$ und U_{max} $U_{a1} \geq 10 V, I_L=-0,1 mA$			4,0
Ausgangsspannung, log. 1, pro Ausgang	U_{a1}	$U_{Batt}=U_{min}$ und U_{max} $U_{e0}=4,5 V, I_L=-0,1 mA$	22	10,0	11,3		V
Ausgangsspannung, log. 0, pro Ausgang	U_{a0}			$U_{Batt}=U_{min}$ $U_{e1}=7,5 V, I_L=15 mA$		0,9	1,7
Statische Störsicherheit, log. 1	U_{ss}			2,5	5,0		V
	log. 0	U_{ss}		2,8	5,0		V
Eingangsstrom, log. 1, an allen Eingängen außer T	I_{e1}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	23			1,0	μA
Eingangsstrom, log. 1, an T	I_{e1}	$U_{Batt}=U_{max}, U_e=U_{max}$	23			3,0	μA
Eingangsstrom, log. 0, an allen Eingängen außer T1)	I_{e0}	$U_{Batt}=U_{max}$ $U_{e0}=1,7 V$	24		-0,8	-1,5	mA
Eingangsstrom, log. 0, an T	I_{e0}			$U_{Batt}=U_{max}$ $U_{e0}=1,7 V$		-1,6	-3,0
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=U_{max}$ $U_e=0 V, T_U=25^\circ C$	25	-10,0	-30,0	-50,0	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=U_{max}$	23		8,0		mA

Schaltzeiten bei $U_{Batt}=12 V, F_a=1, T_U=25^\circ C$
 für die Schaltzeitgrenzen gilt ein Einzel-AQL von 1,5

Taktimpulsdauer	t_{pT}	} bei 50%		0,6			μs	
Rückstellimpulsdauer	t_{pR}				1,0			μs
Stellimpulsdauer	t_{pS}				1,0			μs
Haltezeit	t_H	} Taktverhältnis 1:1		0			ns	
Vorbereitungszeit	t_V				0			ns
Maximale Zählfrequenz	f_Z				0,2	0,5		MHz
Anstiegszeit zwischen 10% und 90%	t_r	} $C_L=10 pF$	31	200	340	570	ns	
Abfallzeit zwischen 10% und 90%	t_f			31	70	120	210	ns
Einschaltverzögerungszeit ²⁾	t_{pd1}	} $C_L=10 pF$ bei 4,5 V über Masse	31	160	290	520	ns	
Ausschaltverzögerungszeit ²⁾	t_{pd0}			31	270	450	770	ns
Einschaltverzögerungszeit ³⁾	t_{pd1}			30	70	165	330	ns
Ausschaltverzögerungszeit ³⁾	t_{pd0}			30	180	330	580	ns

1) Dynamisch wirken \bar{R} und \bar{S} wie etwa 1,5 Normallasten.

2) Takteingang.

3) Stell-, Rückstelleingang.

FZJ 101, FZJ 105, FZJ 111, FZJ 115

Statische Kenndaten im 15-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen		min	typ	max	Einheit
			Prüfschaltung				
Betriebsspannung	U_{Batt}			13,5	15,0	17,0	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7 V, I_L=18 mA$	22	7,5			V
Eingangsspannung, log. 0, an allen Eingängen außer T	U_{e0}	$U_{Batt}=U_{min}$ und U_{max} $U_{a1} \geq 12 V, I_L=-0,1 mA$	22			4,5	V
Eingangsspannung, log. 0, an T	U_{e0}	$U_{Batt}=U_{min}$ und U_{max} $U_{a1} \geq 12 V, I_L=-0,1 mA$	22			4,0	V
Ausgangsspannung, log. 1, pro Ausgang	U_{a1}	$U_{Batt}=U_{min}$ und U_{max} $U_{e0}=4,5 V, I_L=-0,1 mA$	22	12,0	14,3		V
Ausgangsspannung, log. 0, pro Ausgang	U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,5 V, I_L=18 mA$	22		1,0	1,7	V
Statische Störsicherheit, log. 1	U_{ss}			4,5	8,0		V
log. 0	U_{ss}			2,8	5,0		V
Eingangsstrom, log. 1, an allen Eingängen außer T	I_{e1}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	23			1,0	μA
Eingangsstrom, log. 1, an T	I_{e1}	$U_{Batt}=U_{max}, U_e=U_{max}$	23			3,0	μA
Eingangsstrom, log. 0, an allen Eingängen außer T ¹⁾	I_{e0}	$U_{Batt}=U_{max}$ $U_{e0}=1,7 V$	24		-1,0	-1,8	mA
Eingangsstrom, log. 0, an T	I_{e0}	$U_{Batt}=U_{max}$ $U_{e0}=1,7 V$	24		-2,0	-3,6	mA
Kurzschlußausgangsstrom pro Ausgang	I_{aK}	$U_{Batt}=U_{max}$ $U_e=0 V, T_U=25^\circ C$	25	-15,0	-37,0	-60,0	mA
Stromaufnahme	I_{Batt}	$U_{Batt}=U_{max}$	23		11,0		mA

Schaltzeiten bei $U_{Batt}=15 V, F_a=1, T_U=25^\circ C$

Taktimpulsdauer	t_{pT}	} bei 50%		0,6		μs
Rückstellimpulsdauer	t_{pR}			1,0		μs
Stellimpulsdauer	t_{pS}			1,0		μs
Haltezeit	t_H			0		ns
Vorbereitungszeit	t_V			0		ns
Maximale Zählfrequenz	f_Z	} Taktverhältnis 1:1			0,5	MHz
Anstiegszeit zwischen 10% und 90%	t_r		} $C_L=10 pF$	31		410
Abfallzeit zwischen 10% und 90%	t_f	31			75	ns
Einschaltverzögerungszeit ²⁾	t_{pd1}	} $C_L=10 pF$ bei 4,5 V über Masse		31		330
Ausschaltverzögerungszeit ²⁾	t_{pd0}		31		470	ns
Einschaltverzögerungszeit ³⁾	t_{pd1}		30		195	ns
Ausschaltverzögerungszeit ³⁾	t_{pd0}		30		340	ns

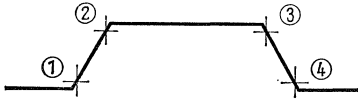
1) Dynamisch wirken \bar{R} bzw. \bar{S} wie etwa 1,5 Normallasten.

2) Takteingang.

3) Stell-, Rückstelleingang.

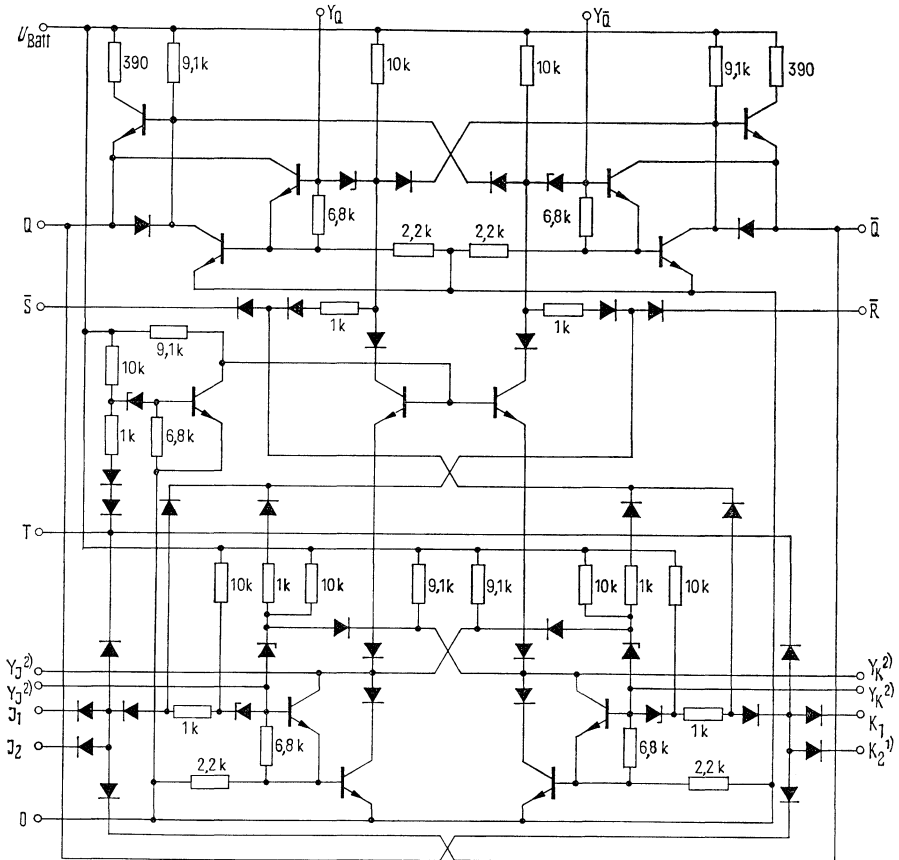
FZJ 101, FZJ 105, FZJ 111, FZJ 115

Taktimpuls



- 1 Slave von Master trennen
- 2 Signal von J und K in Master eingeben
- 3 J- und K-Eingänge sperren
- 4 Information von Master nach Slave übertragen

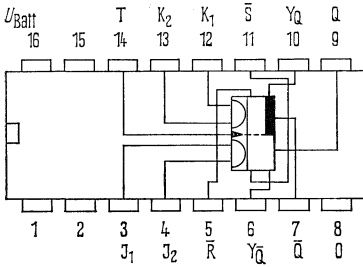
Schaltschema



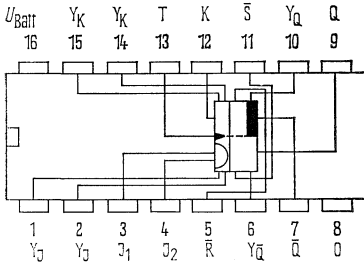
\bar{R} = Rückstelleingang, \bar{S} = Stelleingang, T=Takteingang

1) Nur bei FZJ 101, 105 2) Nur bei FZJ 111, 115

FZJ 101, FZJ 105, FZJ 111, FZJ 115



FZJ 101, FZJ 105
Anschlußanordnung
Ansicht von oben



FZJ 111, FZJ 115
Anschlußanordnung
Ansicht von oben

Logische Daten		max
Ausgangsfächer, log. 1	F_{a1}	50
pro Ausgang, log. 0	F_{a0}	10

Logisches Verhalten

t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

$J = J_1 \wedge J_2$
 $K = K_1 \wedge K_2$ nur bei FZJ 101, FZJ 105
 t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an \bar{R} bringt Q auf log. 0
 Niedrige Spannung an \bar{S} bringt Q auf log. 1
 \bar{R} und \bar{S} arbeiten unabhängig von T

Monostabile LSL-Kippstufe mit Y-Anschlüssen (vorläufige Daten)

Die monostabile Kippstufe hat folgende elektrische Funktionen und Eigenschaften:

1. Triggerung durch die positive oder negative Flanke beliebig langer Eingangsimpulse.
2. Monostabile Kippstufe, L, J und M verbinden.
3. Impulsverzögerung, L und K verbinden.
4. Impulsverkürzung, J und M verbinden.
5. Die erzeugte Impulslänge bzw. Verzögerungszeit ist sehr konstant bei Temperatur-, Betriebs-
spannungsschwankungen und Fertigungstoleranzen.
6. Es kann ein gepolter Kondensator C_t als zeitbestimmendes Glied verwendet werden.
7. Rückstellen, Ausgang Q auf log.0, erfolgt durch Anlegen von log.0 an den Rückstelleingang \bar{R} .
8. Hohe Sicherheit gegen Falschtriggerung infolge schneller Störungen auf den Versorgungs-
leitungen (U_{Batt}).
9. Durch Anlegen einer Kapazität C zwischen den Anschlüssen Y und 0 kann die Störsicherheit
der Eingänge erhöht werden.
10. An den Anschlüssen J, K, L, M dürfen keine Spannungen oder Ströme eingepreßt werden. Die
zur Funktionsumschaltung notwendigen Verbindungen zwischen diesen Anschlüssen sind
so kurz wie möglich zu halten (max. 5 mm).
11. Wird der Baustein an den Eingängen C und D angesteuert, dann muß Eingang A oder B auf log.0
gelegt werden.

Statische Kenndaten im 12-V-Bereich		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		11,4	12,0	13,5	V
Eingangsspannung, log.1	U_{e1}	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7V, I_L=15mA$	7,5			V
Eingangsspannung, log.0	U_{e0}	$U_{Batt}=U_{min}$ und U_{max} $U_{a1} > 10V, I_L=-0,1mA$			4,5	V
Ausgangsspannung, log.1	U_{a1}	$U_{Batt}=U_{min}$ und U_{max} $U_{e0}=4,5V, I_L=-0,1mA$	10,0	11,3		V
Ausgangsspannung, log.0	U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,5V, I_L=15mA$		0,9	1,7	V
Statische Störsicherheit, log.1 log.0	U_{ss}		2,5	5,0		V
	U_{ss}		2,8	5,0		V
Eingangsstrom, log.1, pro Eingang	I_{e1}	$U_{Batt}=U_{max}, U_e=U_{max}$			1,0	μA
Eingangsstrom, log.0, pro Eingang	I_{e0}	$U_{Batt}=U_{max}, U_{e0}=1,7V$		-0,8	-1,5	mA
Kurzschlußausgangsstrom	I_{aK}	$U_{Batt}=U_{max}, T_U=25^\circ C$	-10,0	-30,0	-50,0	mA
Stromaufnahme, Eingänge log.0	I_{Batt}			13,0	18,5	mA
Stromaufnahme, Eingänge log.1	I_{Batt}			12,0	17,0	mA

Statische Kenndaten im 15-V-Bereich		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{Batt}		13,5	15,0	17,0	V
Eingangsspannung, log. 1	U_{e1}	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a0} \leq 1,7 \text{ V}, I_L=18 \text{ mA}$	7,5			V
Eingangsspannung, log. 0	U_{e0}	$U_{\text{Batt}}=U_{\text{min}}$ und U_{max} $U_{a1} > 12 \text{ V}, I_L=-0,1 \text{ mA}$			4,5	mA
Ausgangsspannung, log. 1	U_{a1}	$U_{\text{Batt}}=U_{\text{min}}$ und U_{max} $U_{e0}=4,5 \text{ V}, I_L=-0,1 \text{ mA}$	12,0	14,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e1}=7,5 \text{ V}, I_L=18 \text{ mA}$		1,0	1,7	V
Statische Störsicherheit, log. 1	U_{ss}		4,5	8,0		V
Statische Störsicherheit, log. 0	U_{ss}		2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{\text{Batt}}=U_{\text{max}}, U_e=U_{\text{max}}$			1,0	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{\text{Batt}}=U_{\text{max}}, U_{e0}=1,7 \text{ V}$		-1,0	-1,8	mA
Kurzschlußausgangsstrom	I_{AK}	$U_{\text{Batt}}=U_{\text{max}}, T_U=25 \text{ }^\circ\text{C}$	-15,0	-37,0	-50,0	mA
Stromaufnahme, Eingänge log. 1	I_{Batt}			14,0	20,0	mA
Stromaufnahme, Eingänge log. 0	I_{Batt}			15,0	21,5	mA

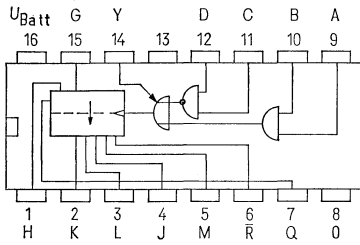
Schaltzeiten für die 12-V- und 15-V-Bereiche

Einschaltverzögerungszeit	t_{pd1}			270		ns
Ausschaltverzögerungszeit	t_{pd0}			330		ns
bei Impulsverzögerung						
Ausschaltverzögerungszeit	t_{pd0}			180		ns
bei Impulsverkürzung						
Eingangsimpulsdauer	t_e	500				ns
Ausgangsimpulsdauer	t_a	400				ns
Anstiegszeit	t_r			30		ns
Abfallzeit	t_f			30		ns
Totzeit	t_t			$0,02 \cdot t_a$		

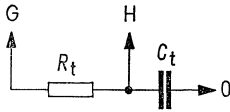
Zeitbestimmendes Glied

Widerstand	R_t	40		500	$\text{k}\Omega$
Kondensator	C_t	0		∞	μF
innere Kapazität zwischen Anschluß H und 0 V	C_0		10		pF

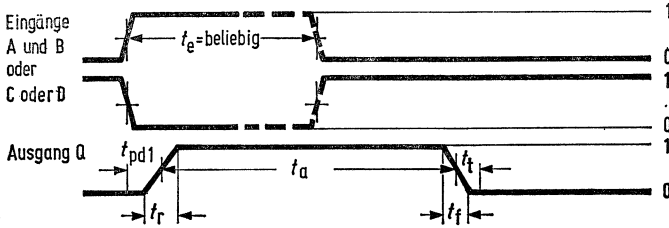
FZK 101



Anschlußanordnung
Ansicht von oben

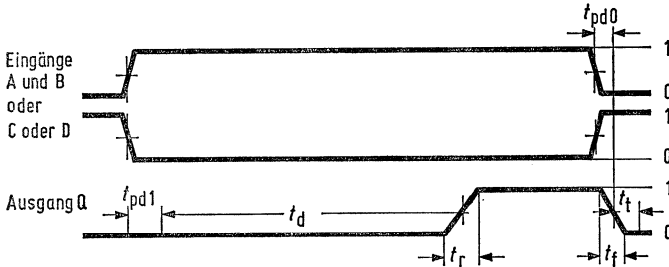


Logische Daten		max
Ausgangsfächer log. 1	F_{a1}	100
log. 0	F_{a0}	10
Logische Funktion	$X = (A \wedge B) \vee (\overline{C} \wedge \overline{D})$ siehe Impulsdiagramm	



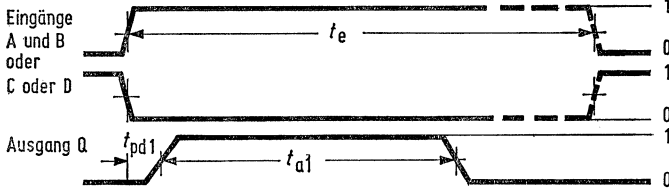
Impulsdiagramm für:
monostabile Kippstufe
(L, J, und M verbinden)

$$t_a = 0,7 \cdot R_T \cdot (C_0 + C_T)$$



Impulsverzögerung
(L und K verbinden)

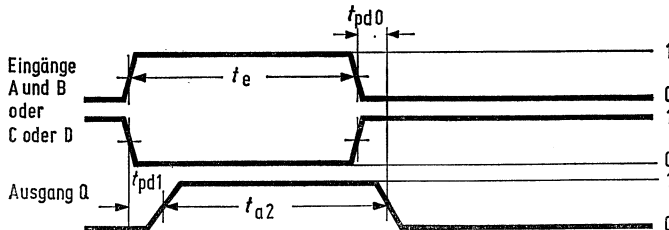
$$t_d = 0,7 \cdot R_T \cdot (C_0 + C_T)$$



Impulsverkürzung
(J und M verbinden)

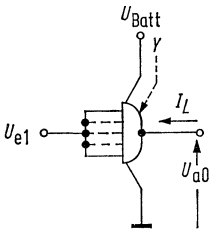
a) $t_e > 0,7 \cdot R_T \cdot (C_0 + C_T)$

$$t_{a1} = 0,7 \cdot R_T \cdot (C_0 + C_T)$$

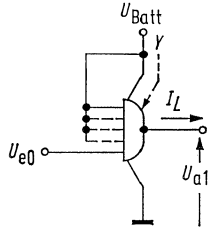


b) $t_e \leq 0,7 \cdot R_T \cdot (C_0 + C_T)$

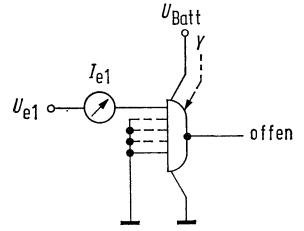
$$t_{a2} = t_e$$



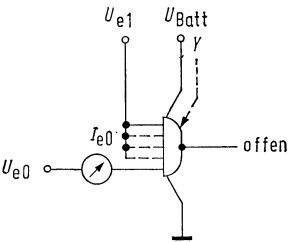
Prüfschaltung 1



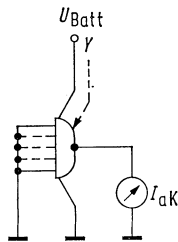
Prüfschaltung 2



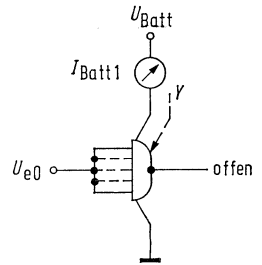
Prüfschaltung 3



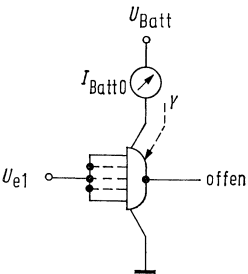
Prüfschaltung 4



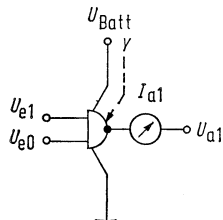
Prüfschaltung 5



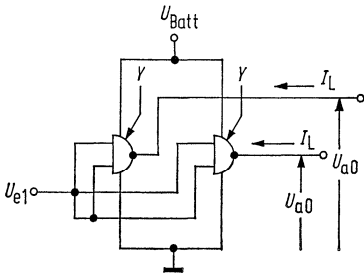
Prüfschaltung 6



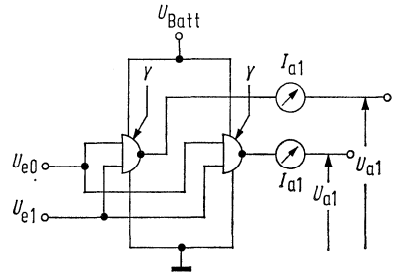
Prüfschaltung 7



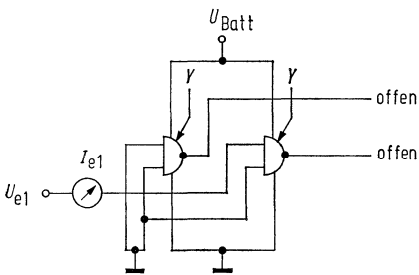
Prüfschaltung 8



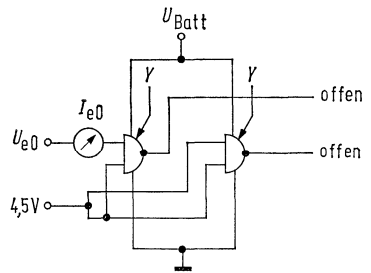
Prüfschaltung 9



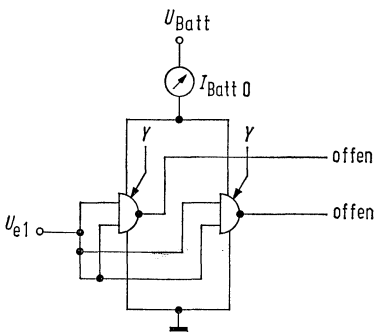
Prüfschaltung 10



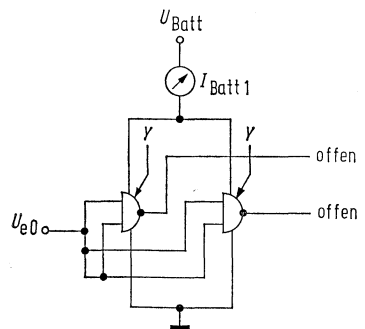
Prüfschaltung 11



Prüfschaltung 12

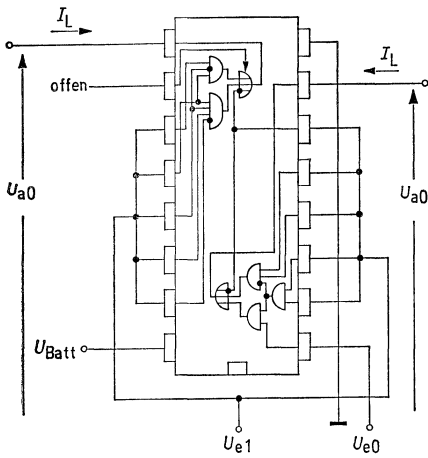


Prüfschaltung 13

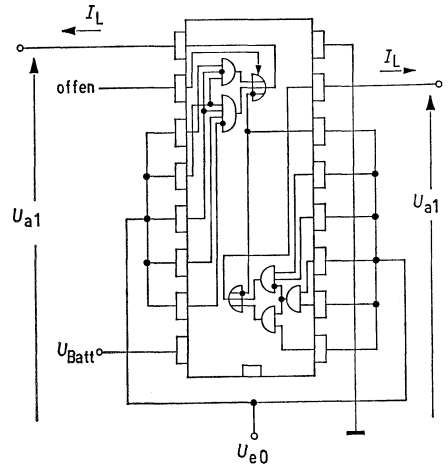


Prüfschaltung 14

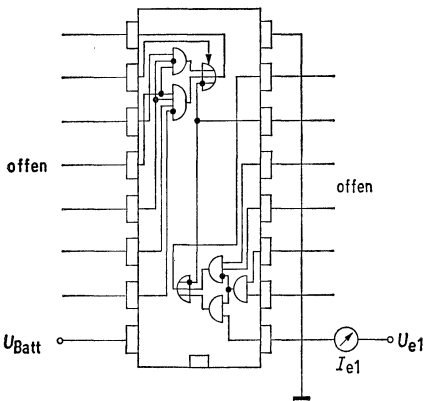
FZ 100



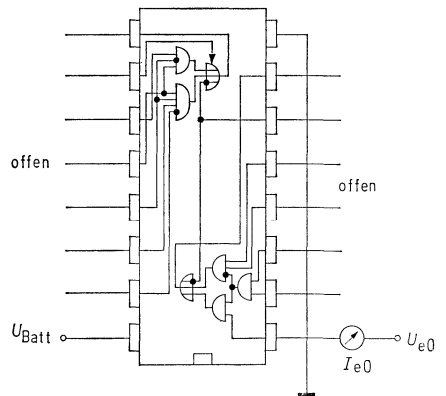
Prüf schaltung 15



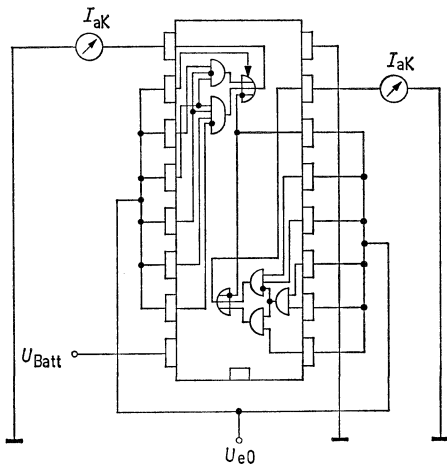
Prüf schaltung 16



Prüf schaltung 17

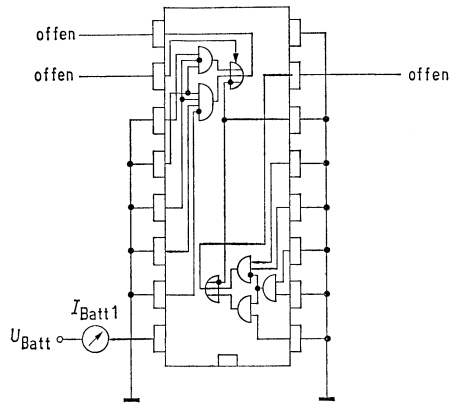


Prüf schaltung 18

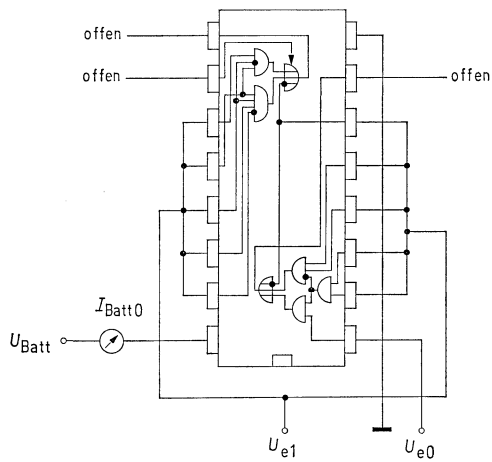


Jeder Ausgang wird getrennt getestet

Prüfschaltung 19

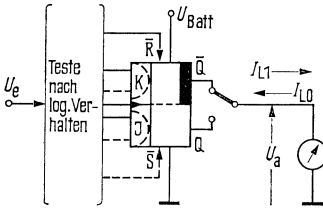


Prüfschaltung 20



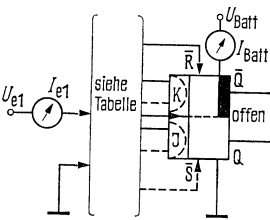
Prüfschaltung 21

FZ 100



Prüfschaltung 22

Jeder Ausgang wird getrennt getestet

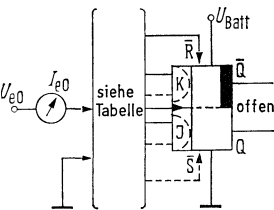


Prüfschaltung 23

$I_{Batt} : U_{e1}$ an alle Eingänge

I_{e1} : Jeder Eingang wird getrennt getestet

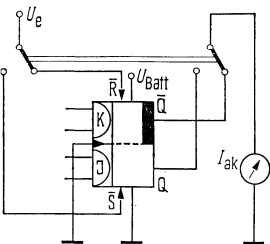
U_{e1} an	Masse an
J ₁ oder J ₂	T, \bar{S} , J ₂ oder J ₁
K ₁ oder K ₂	T, \bar{R} , K ₂ oder K ₁
\bar{R}	J ₁ und J ₂ , T
S	K ₁ und K ₂ , T
T	J ₁ , J ₂ , K ₁ , K ₂ , \bar{R} und \bar{S}



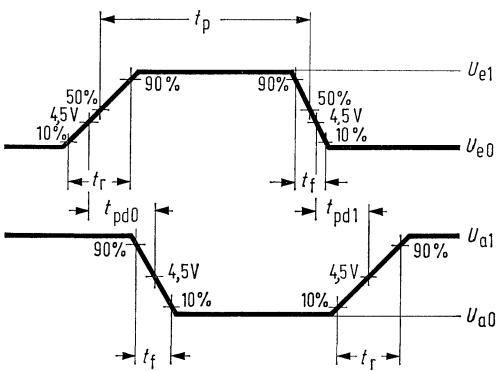
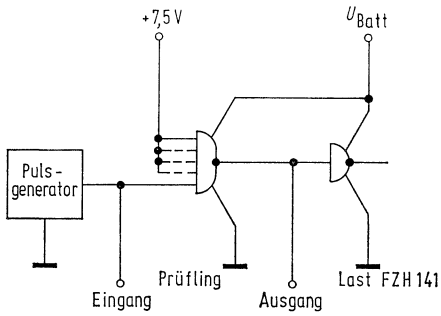
Prüfschaltung 24

Jeder Eingang wird getrennt getestet

U_{e0} an	4,5 V an	17 V an
J ₁ oder J ₂	\bar{R}	T, J ₂ oder J ₁
K ₁ oder K ₂	S	T, K ₂ oder K ₁
\bar{R}		J ₁ und J ₂
S		K ₁ und K ₂
T		J ₁ , J ₂ , K ₁ und K ₂



Prüfschaltung 25



Prüfschaltung 26

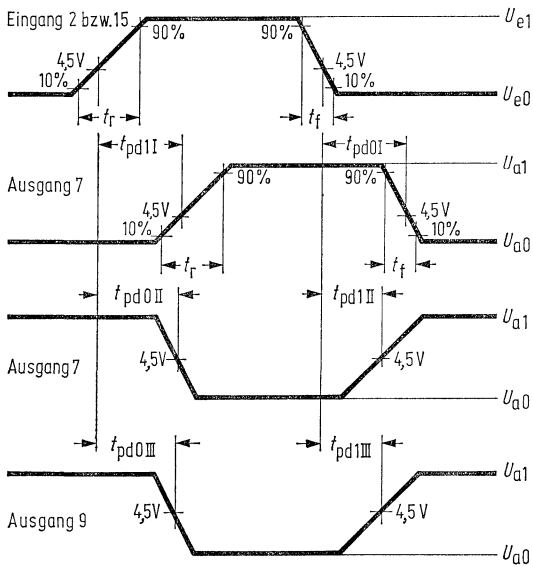
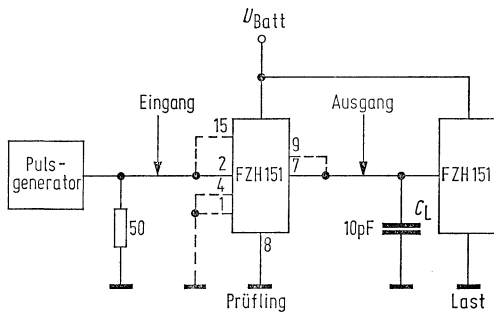
Pulsgeneratorokenndaten:

$t_r = 350 \text{ ns}$, $t_f = 120 \text{ ns}$, $t_p = 1 \mu\text{s}$

Pulsamplitude: +10V, +1V Offset

Die Last setzt sich zusammen aus Aufbau- und Streukapazitäten und einem Schaltglied FZH 141.

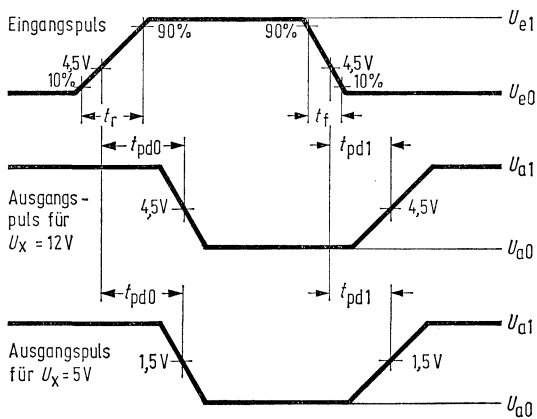
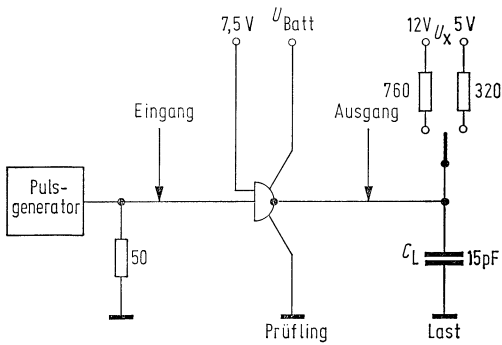
FZ 100



Prüfschaltung 27

Pulsgeneratorckendaten: $t_r = 350$ ns, $t_f = 240$ ns; Pulsamplitude: +10 V.

Für die Messung von Eingang 2 nach Ausgang 7 wird Eingang 4, bei einer zweiten Messung Eingang 1 auf Masse gelegt. Für die Messung von Eingang 15 nach Ausgang 9 bleiben alle übrigen Eingänge offen. t_r und t_f werden am nicht invertierenden Ausgang 7 gemessen.

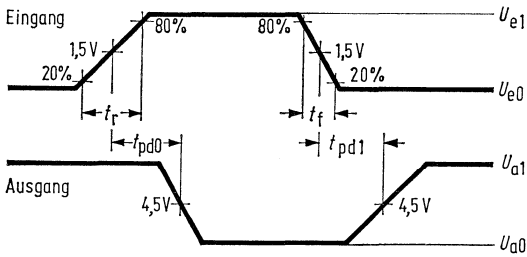
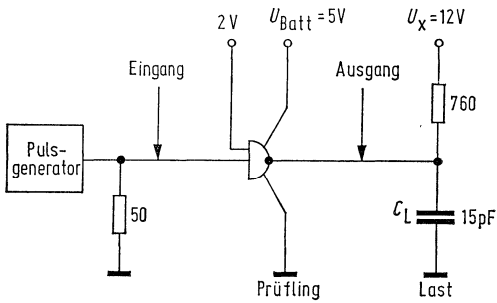


Prüfschaltung 28

Pulsgenerator-kenndaten: $t_r=350$ ns, $t_f=120$ ns; Pulsamplitude: +10 V.

Meßpegel: Eingangsimpuls 4,5 V über Masse, Ausgangsimpuls 1,5 V (für $U_X=5$ V) bzw. 4,5 V (für $U_X=12$ V) über Masse.

FZ 100

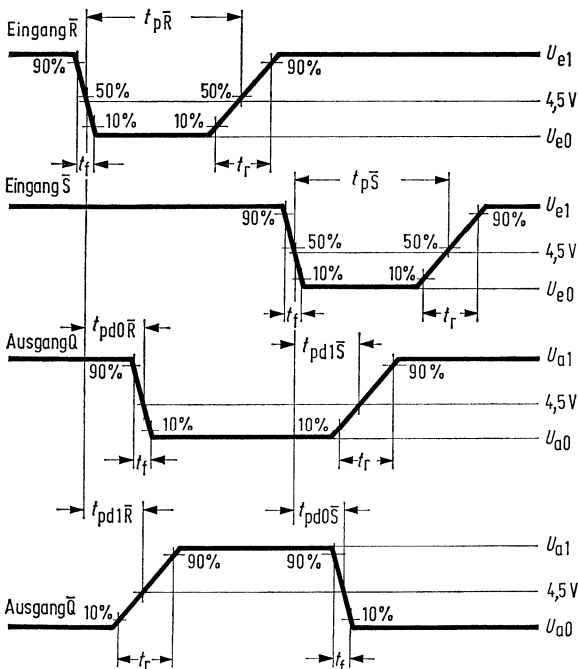
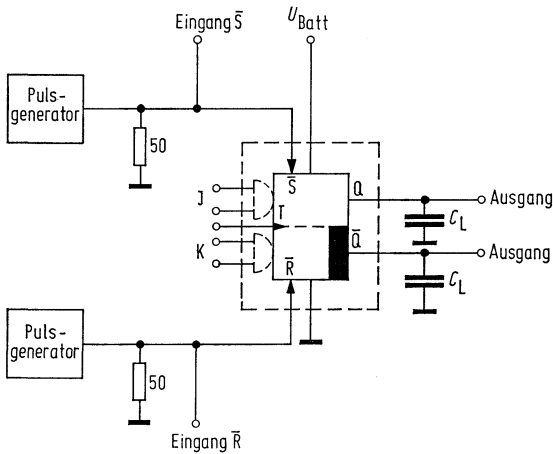


Prüfschaltung 29

Pulsengeneratorkennndaten: $t_r=10$ ns, $t_f=5$ ns; Pulsamplitude: +3 V

Meßpegel: 1,5 V über Masse (Eingangsimpuls); 4,5 V über Masse (Ausgangsimpuls).

Messung der Verzögerungszeit
 \bar{R} oder \bar{S} nach Q oder \bar{Q}



Prüfschaltung 30

Pulsgeneratordaten:

$t_r = 350$ ns,

$t_f = 120$ ns, $t_{pR} = t_{pS} = 700$ ns

Pulsamplitude: +9 V, +1 V offset.

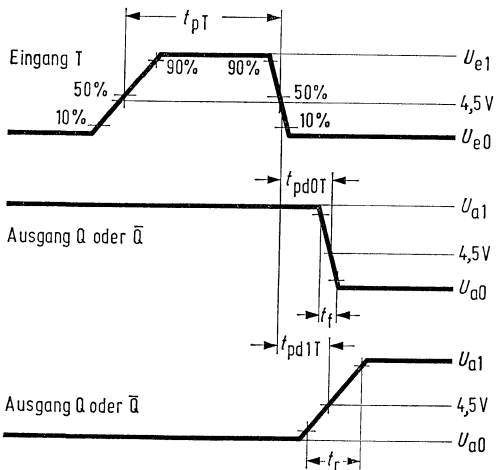
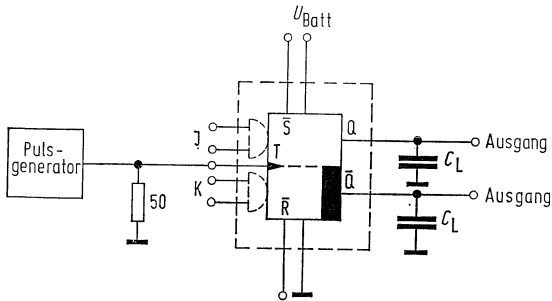
Nichtangesteuerte Eingänge sind offenzulassen.

Die Last ($C_L = 10$ pF) beinhaltet Tastkopf und Aufbaukapazitäten.

$t_{pd0R(S)}$ und $t_{pd1R(S)}$ werden bei der Spannung 4,5 V über Masse gemessen.

FZ 100

Messung der Verzögerungszeit »Takt nach Q oder \bar{Q} «



Prüfschaltung 31

Pulsgeneratorckendaten: $t_r=350$ ns, $t_f=120$ ns, $t_{pT}=400$ ns

Pulsamplitude = +9 V, +1 V offset

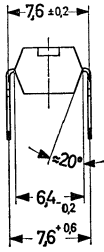
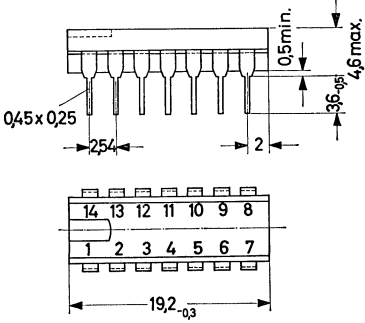
Nichtangesteuerte Eingänge sind offenzulassen.

Die Last ($C_L=10$ pF) beinhaltet Tastkopf und Aufbaukapazitäten.

t_{pd0T} und t_{pd1T} werden bei der Spannung 4,5 V über Masse gemessen.

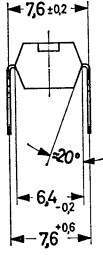
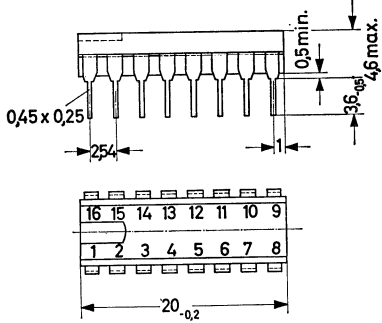
Bauformen für Bausteine der TTL-, LSL-, und ECL-Serie

Plastik-Steckgehäuse 14 Anschlüsse



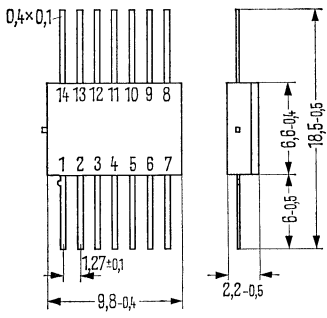
Gewicht etwa 1,1 g
Maße mm

Plastik-Steckgehäuse 16 Anschlüsse



Gewicht etwa 1,2 g
Maße mm

Keramik-Flachgehäuse (TO-87)



Gewicht etwa 0,35 g
Maße mm

Digitale integrierte MOS-Halbleiterschaltungen

Inhaltsverzeichnis

4. MOS-Serie

Allgemeine Angaben zu den MOS-Halbleiterschaltungen	209
Schutzmaßnahmen für MOS-Halbleiterschaltungen	210
Übersicht für kundenspezifische MOS-Entwicklungen	211
Bauformen für MOS-Gehäuse	212, 213

Schaltkreis -Typen

FDN 141 A	Programmierbares dynamisches 256-Bit-Schieberegister mit 2 Takteingängen	214
FDN 151 A	Programmierbares dynamisches 256-Bit-Schieberegister mit 1 Takteingang	218
GDJ 156	Statisches 2×16-Bit-Schieberegister	222
GDN 116 A	Dynamischer 64-Bit-Akkumulator	224
GDQ 101, GDQ 106	Statischer 256-Bit-Schreib-Lese-Speicher	228
GDR 101, GDR 106	2048-(2240-, 2304-)Bit-Festwertspeicher	236
SAJ 131, SAJ 135	Statischer Frequenzteiler 1000:1	257

Allgemeine Angaben zu den MOS-Halbleiterschaltungen

Die Schaltkreise der Serien FDN 100 und GD 100 sind monolithisch integrierte Halbleiterschaltungen in P-Kanal-MOS-Technik. Neben der hohen Packungsdichte zeichnen sich diese Schaltkreise durch große Störsicherheit, geringen Leistungsverbrauch und hohen Eingangswiderstand aus. Die Ausgänge haben Leistungsstufen, die zur Ansteuerung von TTL-Bausteinen geeignet sind. Die Anschlüsse sind durch geeignete Schutzstrukturen gegen Überspannungen geschützt (Näheres siehe Schutzmaßnahmen).

Neben den in diesem Datenbuch angeführten **Standardschaltungen** für

- Schieberegister
- Schreib-Lese-Speicher
- Festwertspeicher

bietet Siemens die Möglichkeit, **Kundenspezifische Schaltungen**, d. h. Schaltungen mit einer speziellen, vom Kunden gewünschten Funktion, anzufertigen. Neben Varianten der Standardschaltungen können Subsysteme wie z. B.

- Multiplexer
- Dekoder
- Zähler
- Seriell/Parallel-Wandler
- Rechenwerke
- Steuerlogik

und gesamte digitale Systeme realisiert werden.

Es ist möglich, auf einem Schaltkreis – je nach Struktur der Logik – 150 bis 250 Gatterfunktionen unterzubringen. Die Gesamtgröße eines aus mehreren Schaltkreisen bestehenden MOS-Systems ist nur durch die maximale Arbeitsfrequenz von ca. 1 MHz begrenzt.

Als Grundlage für kundenspezifische Schaltungen können Pflichtenheft, Logikdiagramm, Logikgleichungen oder ein TTL-Konzept dienen. Siemens berät den Kunden bei der Ausarbeitung einer MOS-gerechten Logik und bei der geeignetsten Systemteilung in mehrere Schaltkreise (Partitioning). Es ist aber auch möglich, daß der Kunde in jeder nachfolgenden Entwicklungsphase mit einem Auftrag für Muster- oder Serienfertigung an Siemens herantritt.

Die Übersicht für kundenspezifische MOS-Entwicklungen zeigt die Schnittstellen (1) bis (6), bei denen eine Zusammenarbeit zwischen Kunde und Siemens beginnen kann.

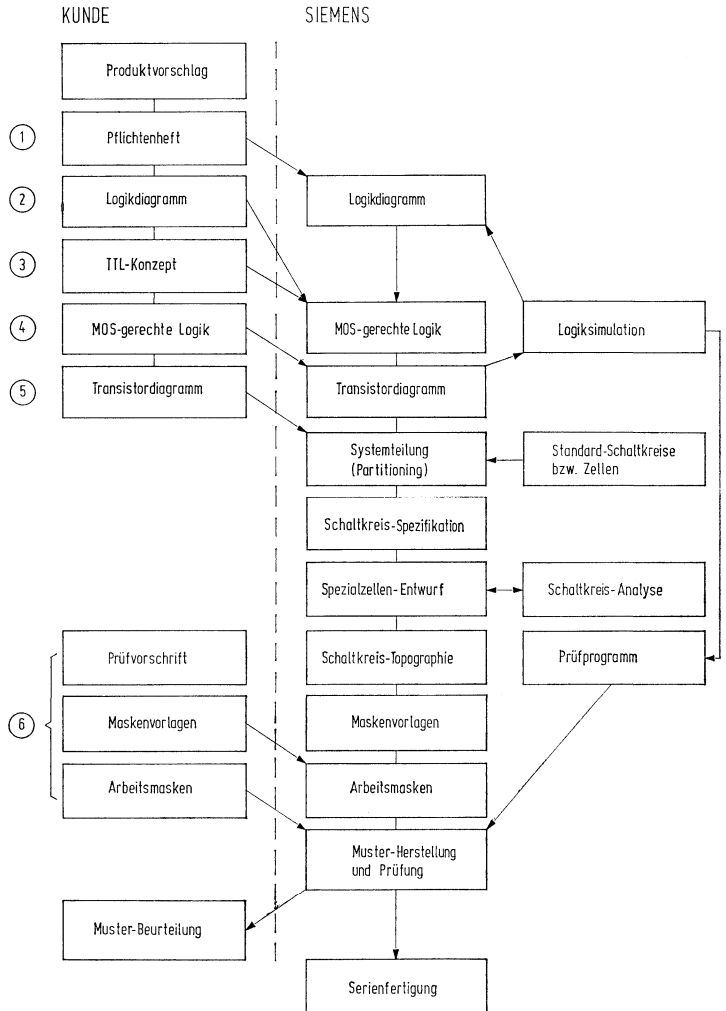
Schutzmaßnahmen für MOS-Halbleiterschaltungen

Wegen der Empfindlichkeit von MOS-Halbleiterschaltungen gegen Störspannungen und statische Aufladungen sind an den Ein- und Ausgängen Schutzstrukturen mitintegriert:

1. Bei positiven Überspannungen wird ein p-n-Übergang zum Substrat in Durchlaßrichtung geschaltet.
2. Zu hohe negative Eingangsspannungen führen zu einem definierten Diodendurchbruch mit Strombegrenzung.
3. Jeder Ein- und Ausgang führt außerdem auf Gate und Drain eines Transistors mit einer Schwellenspannung von -35 Volt, so daß auch über diese Transistoren Ein- und Ausgänge bei Überspannung kurzgeschlossen werden.

Trotz dieser Schutzschaltungen sollte beachtet werden, daß Kunststoffböden, nichtleitende Arbeitsplatten und Sitzgelegenheiten sowie kunstfaserhaltige Kleidung zu Aufladungen führen, die für die Schaltungen gefährlich werden können. Personen oder Geräte, die mit den Anschlüssen der Schaltungen in Berührung kommen, sollten daher über einen hohen Widerstand ($10\text{ k}\Omega$ bis $100\text{ k}\Omega$) geerdet sein.

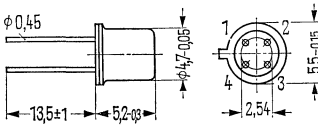
Übersicht für kundenspezifische MOS-Entwicklungen



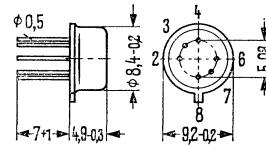
Bauformen

1. Metall-Gehäuse mit 4 Anschlüssen 18 A 4 DIN 41876 (ähnlich TO-72).
2. Metall-Gehäuse mit 6 Anschlüssen 5 H 6 DIN 41873 (ähnlich TO-78).
3. Metall-Gehäuse mit 10 Anschlüssen 5 J 10 DIN 41873 (TO-100).
4. Metall-Gehäuse mit 12 Anschlüssen 5 G 12 DIN 41873 (TO-101).
5. Metall-Keramikgehäuse mit 16 Anschlüssen DIL-Ausführung (DIN 41866).
6. Metall-Keramikgehäuse mit 24 Anschlüssen DIL-Ausführung (DIN 41866).

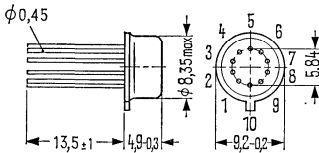
Bauform 1



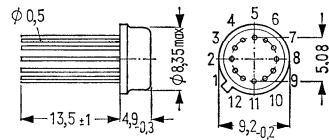
Bauform 2



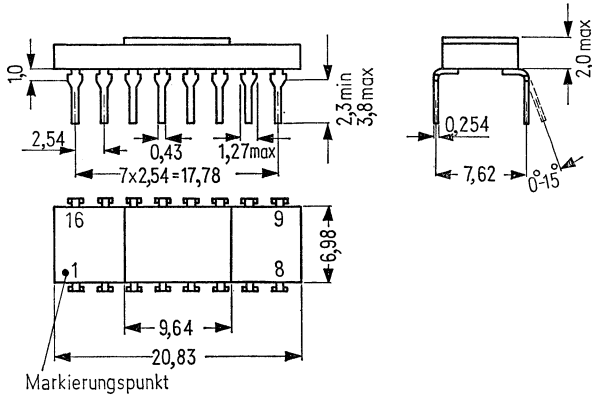
Bauform 3



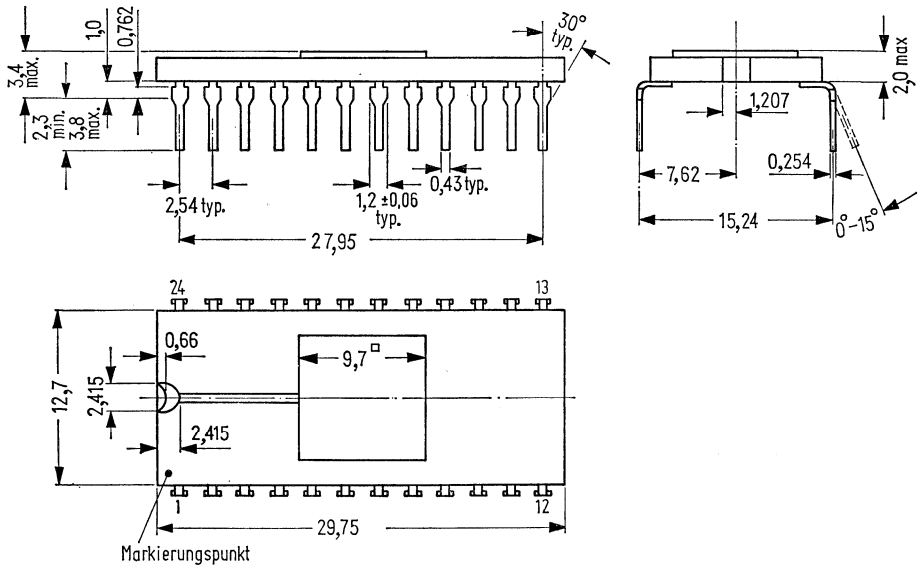
Bauform 4



Bauform 5



Bauform 6



256 Bit Dynamisches Schieberegister mit zwei Takteingängen

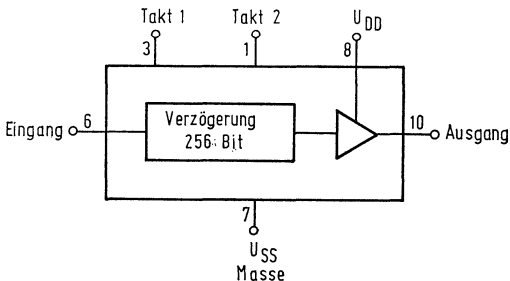
Allgemeine Beschreibung

Die Type FDN 141 A ist ein dynamisches 256 Bit Serienschieberegister in MOS-Technik mit Transistoren vom P-Kanal-Anreicherungstyp. Dieses Schieberegister zeichnet sich aus durch hohe Grenzfrequenz (3 MHz) und geringe Verlustleistung (0,8 mW/Bit bei 3 MHz). Die niederohmige Gegentakt-Ausgangsstufe (Push-Pull-Ausgangspuffer) kann bei entsprechender Spannungsversorgung direkt MOS-, DTL-, TTL- oder andere Lasten ansteuern. Das Schieberegister ist mit höheren garantierten Grenzfrequenzen verfügbar.

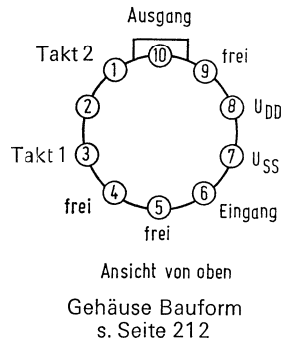
Besondere Eigenschaften

- Bit-Längen programmierbar (Änderung nur einer Maske)
- TTL-kompatibel
- Hohe Grenzfrequenz (3 MHz)
- Niedrige Verlustleistungen: Max. 0,03 mW/Bit bei 10 kHz
Max. 0,8 mW/Bit bei 3 MHz
- Variable, vom Takt unabhängige Ausgangsspannung
- NRZ-Ausgangssignal
- Schutzstrukturen an allen Anschlüssen
- Austauschbar mit EA 1204 und pL 5 R 256

Blockschaltbild



Anschlußanordnung



Grenzdaten

		min	max	
Spannung an allen Anschlüssen (bezogen auf $U_{ss}=0\text{ V}$)	U	+0,5	-30	V
Verlustleistung	P		300	mW
Betriebstemperatur	T_U	0	+70	°C
Lagertemperatur	T_S	-55	+125	°C

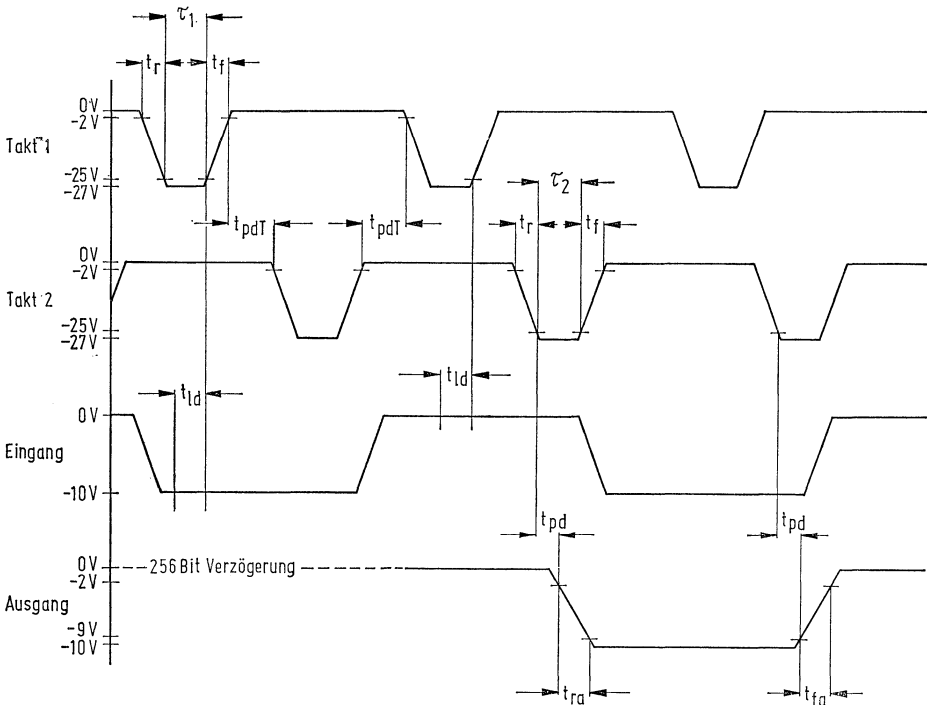
Kenndaten		Prüfbedingungen	min	max	Einheit
Betriebsspannung	U_{DD}		-5	-14	V
Leistungsverbrauch	P	$f=2\text{ MHz}, R_L=1\text{ M}\Omega$ $C_L=20\text{ pF}, U_{DD}=-14\text{ V}$		150	mW
Informationseingang					
Eingangsspannung, log. »0«	U_{e0}		+0,3	-1,5	V
Eingangsspannung, log. »1«	U_{e1}		-9	-28	V
Eingangskapazität	C_e	$U_e=0\text{ V}, f=1\text{ MHz}$		3,5	pF
Sperrstrom	I_e	$U_e=-15\text{ V}$, alle anderen Anschlüsse 0V, $T_U=25\text{ }^\circ\text{C}$ $U_e=-15\text{ V}$, alle anderen Anschlüsse 0V, $T_U=70\text{ }^\circ\text{C}$		1 10	μA μA
Überlappzeit	t_{ld}		10		ns
Störspannungsabstand			1		V
Informationsausgang					
Ausgangsspannung log. »0«	U_{a0}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$		-0,5	V
Ausgangsspannung log. »1«	U_{a1}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$	-10	-14	V
Ausgangswiderstand log. »0«	R_{a0}	$U_{DD}=-5\text{ V}$		500	Ω
Ausgangswiderstand log. »1«	R_{a1}	$U_{DD}=-5\text{ V}$		300	Ω
Anstiegszeit	t_{ra}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$		100	ns
Abfallzeit	t_{fa}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$		100	ns
Verzögerungszeit	t_{pd}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$		100	ns
Takteingänge					
Taktfrequenz	f		0,01	3,0	MHz
Eingangsspannung log. »0«	U_{e0}		+0,3	-2	V
Eingangsspannung log. »1«	U_{e1}		-26	-28	V
Sperrstrom	I_e	$U_e=-28\text{ V}$, alle anderen Anschlüsse 0V, $T_U=25\text{ }^\circ\text{C}$		100	μA
Eingangskapazität Takt 1 u. 2	C_{e1}	$U_e=0\text{ V}, f=1\text{ MHz}$		85	pF
	C_{e2}	$U_e=-26\text{ V}, f=1\text{ MHz}$		60	pF
Impulsbreite	τ_1		0,125	1,0	μs
	τ_2		0,125	1,0	μs
Anstiegszeit	t_r			100	ns
Abfallzeit	t_f			100	ns
Verzögerungszeit	t_{dpT}		0	49	μs

Kenndaten bei $T_U=70\text{ }^\circ\text{C}$ und $U_{DD}=-12$ bis -14 V , wenn nicht anders spezifiziert. Der Betriebsstrom I_{DD} ist von der externen Last abhängig; z. B. $I_{DD}<1,5\text{ mA}$ bei $R_L=1\text{ M}\Omega$, $C_L=50\text{ pF}$, $U_{DD}=-13\text{ V}$, $f=1\text{ MHz}$.

Die max. kapazitive Last ist abhängig von der max. Verlustleistung.

FDN 141 A, Q67000-N 32

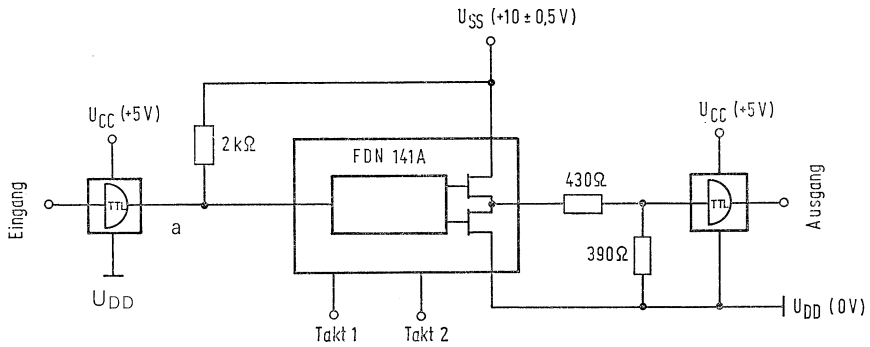
Impulsdiagramm



Erläuterungen

- τ_1, τ_2 = Zeitdauer, in der der Taktimpuls auf log. »1« liegt.
- t_f = Zeitdauer, in der die Spannung des Taktimpulses von -25 V auf -2 V abfällt.
- t_r = Zeitdauer, in der die Spannung des Taktimpulses von -2 V auf -25 V ansteigt.
- t_{pdT} = Zeitdauer des Taktimpulsbetriebes vom Ende des Taktimpulses (-2 V) an Takt 1 (bzw. Takt 2) bis zum Beginn des Taktimpulses (-2 V) am Takt 2 (bzw. Takt 1).
- t_{id} = Zeit, in der das Eingangssignal schon anliegen muß, bevor die Taktspannung von -25 V auf -2 V abfällt. Mindestens während dieser Zeit, also bis zum Erreichen der -2 V, muß der Eingang angesteuert werden, um sicherzustellen, daß das Eingangssignal vom Schieberegister aufgenommen wird.
- t_{fa} = Zeitdauer, in der die Spannung des Ausgangssignales von -9 V auf -2 V abfällt.
- t_{ra} = Zeitdauer, in der die Spannung des Ausgangssignales von -2 V auf -9 V ansteigt.
- t_{pd} = Verzögerungszeit, nach der sich das Ausgangssignal ändert, wenn die Taktspannung von log. »0« auf log. »1« gewechselt hat.

Anschluß an TTL-Schaltungen



Der Ausgang der TTL-Schaltung (Punkt a) muß für $+10\text{ V}$ ausgelegt sein.

256 Bit, Dynamisches Schieberegister mit einem Takteingang

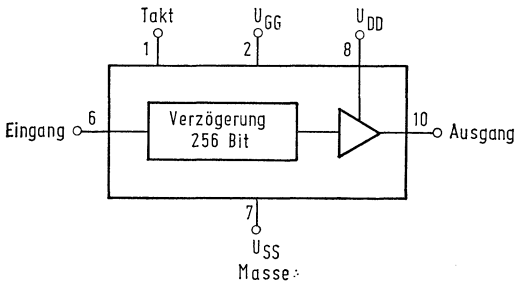
Allgemeine Beschreibung

Die Type FDN 151 A ist ein dynamisches 256 Bit Serienschieberegister in MOS-Technik mit Transistoren vom P-Kanal-Anreicherungstyp. Dieses Schieberegister zeichnet sich aus durch eine geringe Taktkapazität (max. 10 pF), kleine Taktamplitude (min. 9 V), variable, vom Takt unabhängige Ausgangsspannung und geringe Verlustleistung (max. 0,8 mW/Bit bei 1 MHz). Die niederohmige Gegentakt-Ausgangsstufe (Push-Pull-Ausgangspuffer) kann bei entsprechender Spannungsversorgung direkt MOS-, DTL-, TTL- oder andere Lasten ansteuern. Das Schieberegister ist mit höheren garantierten Grenzfrequenzen verfügbar.

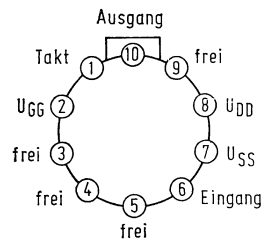
Besondere Eigenschaften

- Bit-Längen programmierbar (Änderung nur einer Maske)
- TTL-kompatibel
- Nur ein Takteingang
- Sehr kleine Taktkapazität (max. 10 pF)
- Kleine Taktamplitude (min. 9 V)
- Garantierte Grenzfrequenz 1 MHz
- Sehr kleine Verlustleistung: Max. 0,25 mW/Bit bei 10 kHz
Max. 0,80 mW/Bit bei 1 MHz
- Variable, vom Takt unabhängige Ausgangsspannung
- NRZ-Ausgangssignal
- Schutzstrukturen an allen Anschlüssen
- Austauschbar mit EA 1205 und pL 5 R 256 (bei Ausführung 256 Bit)

Blockschaltbild



Anschlußanordnung



Ansicht von oben
Gehäuse Bauform 3
s. Seite 212

Grenzdaten

	min	max		
Spannung an allen Anschlüssen (bezogen auf $U_{SS}=0\text{ V}$)	U	+0,5	-30	V
Verlustleistung	P		300	mW
Betriebstemperatur	T_U	0	+70	°C
Lagertemperatur	T_S	-55	+125	°C

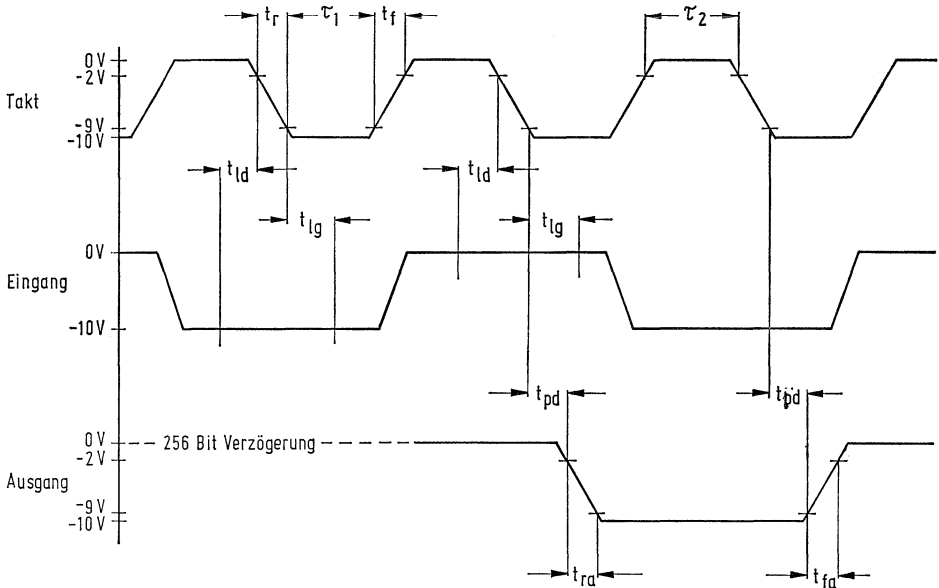
Kenndaten		Prüfbedingungen	min	max	Einheit
Betriebsspannung	U_{DD}		-5	-14	V
Leistungsverbrauch	P	$f=1\text{ MHz}, R_L=1\text{ M}\Omega$ $C_L=20\text{ pF}, U_{DD}=14\text{ V}$		150	mW
Informationseingang					
Eingangsspannung log. »0«	U_{e0}		+0,3	-1,5	V
Eingangsspannung log. »1«	U_{e1}		-9	-28	V
Eingangskapazität	C_e	$U_e=0\text{ V}, f=1\text{ MHz}$		3,5	pF
Sperrstrom	I_e	$U_e=-15\text{ V}$, alle anderen Anschlüsse 0 V, $T_U=25\text{ }^\circ\text{C}$		1	μA
Überlappzeit	t_{ld}		20		ns
Nachlaufzeit	t_{lg}		75		ns
Störspannungsabstand			1		V
Informationsausgang					
Ausgangsspannung log. »0«	U_{a0}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$ $U_{DD}=-12\dots-14\text{ V}$ $U_{GG}=-26\dots-28\text{ V}$	0	-0,5	V
Ausgangsspannung log. »1«	U_{a1}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$ $U_{DD}=-12\dots-14\text{ V}$ $U_{GG}=-26\dots-28\text{ V}$	-10	-14	V
Ausgangswiderstand log. »0«	R_{a0}	$U_{DD}=-5\text{ V}$ $U_{GG}=-26\dots-28\text{ V}$		500	Ω
Ausgangswiderstand log. »1«	R_{a1}	$U_{DD}=-5\text{ V}$ $U_{GG}=-26\dots-28\text{ V}$		500	Ω
Anstiegszeit	t_{ra}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$ $U_{DD}=-12\dots-14\text{ V}$ $U_{GG}=-26\dots-28\text{ V}$		100	ns
Abfallzeit	t_{fa}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$ $U_{DD}=-12\dots-14\text{ V}$ $U_{GG}=-26\dots-28\text{ V}$		100	ns
Verzögerungszeit	t_{pd}	$R_L=1\text{ M}\Omega, C_L=20\text{ pF}$ $U_{DD}=-12\dots-14\text{ V}$ $U_{GG}=-26\dots-28\text{ V}$		300	ns
Takteingang					
Taktfrequenz	f		0,01	1	MHz
Eingangsspannung log. »0«	U_{e0}		+0,3	-2	V
Eingangsspannung log. »1«	U_{e1}		-9	-28	V
Sperrstrom	I_e	$U_e=-15\text{ V}$, alle anderen Anschlüsse 0 V, $T_U=25\text{ }^\circ\text{C}$		1	μA
	I_e	$U_e=-28\text{ V}$, alle anderen Anschlüsse 0 V, $T_U=25\text{ }^\circ\text{C}$		100	μA
Eingangskapazität	C_E	$U_e=0\text{ V}, f=1\text{ MHz}$		3,5	pF
Impulsbreite	τ_1		0,4	50	μs
	τ_2		0,4	50	μs
Anstiegszeit ¹⁾	t_r			100	ns
Abfallzeit	t_f			100	ns
Verzögerungszeit	t_{pd}			500	ns

1) Die Anstiegszeit wurde spezifiziert um sicherzustellen, daß bei Anwendung mehrerer Schieberegister, die von einem gemeinsamen Takt gesteuert werden, die Ausgangsinformation des einen die Dateneinlesezeiten (t_{ld} und t_{lg}) des nachfolgenden Schieberegisters erfüllt. Bei Verwendung als Einzelschieberegister können die Anstiegs- und Abfallzeiten langsamer sein.

FDN 151 A

Kenndaten bei $T_U = +70^\circ\text{C}$ und $U_{DD} = 12$ bis -14 V , wenn nicht anders spezifiziert.
 Betriebsstrom I_{DD} von externer Last abhängig; z. B. $I_{DD} < 1,5\text{ mA}$ bei $R_L = 1\text{ M}\Omega$; $C_L = 50\text{ pF}$;
 $U_{DD} = -13\text{ V}$; $f = 1\text{ MHz}$.
 Die max. kapazitive Last ist abhängig von der max. Verlustleistung.

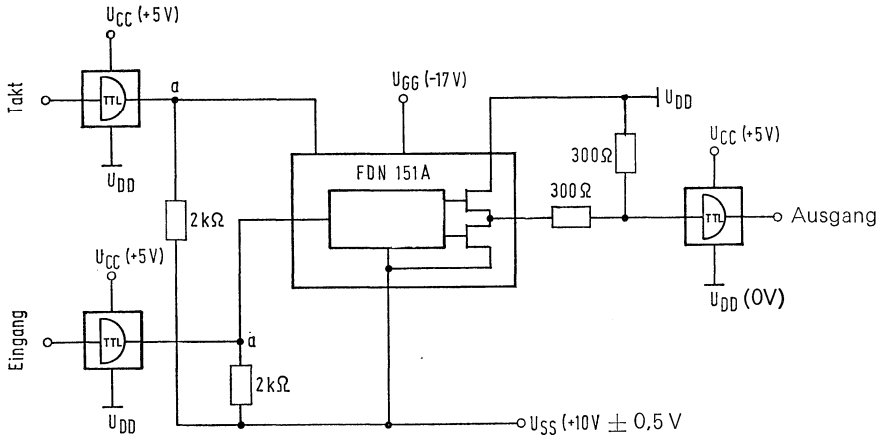
Impulsdiagramm



Erläuterungen

- τ_1 = Zeitdauer, in der der Taktimpuls auf log. »1« liegt.
- τ_2 = Zeitdauer, in der der Taktimpuls auf log. »0« liegt
- t_f = Zeitdauer, in der die Spannung des Taktimpulses von -2 V auf -9 V abfällt.
- t_r = Zeitdauer, in der die Spannung des Taktimpulses von -2 V auf -9 V ansteigt.
- t_{ld} = Zeit, in der das Eingangssignal schon anliegen muß, bevor die Taktspannung auf -9 V ansteigt.
 Während dieser Zeit bis zum Erreichen der -9 V muß der Eingang bereits angesteuert werden, um sicherzustellen, daß das Eingangssignal vom Schieberegister aufgenommen wird.
- t_{lg} = Zeit, in der das Eingangssignal noch anliegen muß, nachdem die Taktspannung -9 V erreicht hat.
 Während dieser Zeit nach Erreichen der -9 V muß der Eingang noch angesteuert werden, um zu gewährleisten, daß das Eingangssignal vom Schieberegister aufgenommen wird.
- t_{fa} = Zeitdauer, in der die Spannung des Ausgangssignales von -9 V auf -2 V abfällt.
- t_{ra} = Zeitdauer, in der die Spannung des Ausgangssignales von -2 V auf -9 V ansteigt.
- t_{pd} = Verzögerungszeit, nach der sich das Ausgangssignal ändert, wenn die Taktspannung von log. »0« auf log. »1« gewechselt hat.

Anschluß an TTL-Schaltungen



Die Ausgänge der TTL-Schaltungen (Punkt a) müssen für +10V ausgelegt sein.

Zwei statische 16-Bit-Serienschieberegister

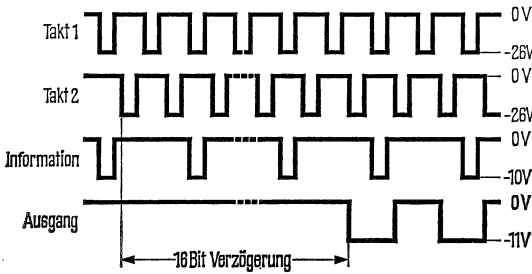
Grenzdaten		min	max	Einheit
Drain-Spannung	U_{DD}	0,3	-30	V
Gate-Spannung	U_{GG}	0,3	-30	V
Takt- und Informations- eingangsspannung	U_E	0,3	-30	V
Betriebstemperatur	T_U	-55	85	°C
Lagertemperatur	T_S	-55	150	°C

Bauform 3, siehe Seite 212

Kenndaten bei $U_{GG} = -27\text{ V} \pm 1\text{ V}$, $U_{DD} = -13\text{ V} \pm 1\text{ V}$, $R_L = 1\text{ M}\Omega$, $C_L = 10\text{ pF}$, $T_U = -55\text{ °C}$ bis $+85\text{ °C}$, wenn nicht anders angegeben.

		Prüfbedingungen	min	typ	max	Einheit
		siehe Bild 1				
Taktimpuls						
Eingangsspannung, log. 0	U_{e0}				-2	V
Eingangsspannung, log. 1	U_{e1}		-26		-28	V
Eingangswiderstand, Takt 1	R_{e1}	Takt 1 = -26 V, Takt 2 = 0 V	2,6			M
Eingangswiderstand, Takt 2	R_{e2}	Takt 1 = 0 V, Takt 2 = -26 V	2,6			MΩ
Eingangskapazität, Takt 1	C_{e1}	Takt 1 = Takt 2 = 0 V		4	6	pF
Eingangskapazität, Takt 2	C_{e2}	Takt 1 = Takt 2 = 0 V		4	6	pF
Frequenzbereich	f				1	MHz
Impulsbreite, Takt 1	τ_1		0		10	μs
Impulsbreite, Takt 2	τ_2		0,4			μs
Schaltzeiten						
Taktverzögerungszeit	t_{pdT}		0,01		10	μs
Anstiegszeit	t_r	} 10% bis 90%			5	μs
Abfallzeit	t_f				5	μs
Serieneingang		siehe Bild 1				
Eingangsspannung, log. 0	U_{e0}				-2	V
Eingangsspannung, log. 1	U_{e1}		-10			V
Eingangswiderstand	R_e	$U_e = -20\text{ V}$, $I_e = 1\text{ μA}$	20			MΩ
Eingangskapazität	C_e			3		pF
Störsicherheit	U_{SS}		1	2		V
Impulsbreite	τ		0,4 + t_r			μs
Informationsausgang		siehe Bild 1				
Ausgangsspannung, log. 0	U_{a0}			-0,5	-1	V
Ausgangsspannung, log. 1	U_{a1}		-11	-12		V
Ausgangsspannung, log. 1	U_{a1}	$R_L = 27\text{ k}\Omega$	-10	-11		V
Ausgangsspannung, log. 1	U_{a1}	$R_L = 4,7\text{ k}\Omega$	-5			V
Ausgangswiderstand gegen Masse	R_a	bei log. 0, Laststrom 0,5 mA			3	kΩ
Leistungsverbrauch	P				184	mW
Stromaufnahme	I_{DD}				10	mA
	I_{GG}				2	mA

Funktionsdiagramm



Anschlußschema

Anschluß	Funktion
1	Masse
2	Takt 2
3	Eingang 1
4	Eingang 2
5	Masse
6	U_{GG}
7	Ausgang 2
8	Takt 1
9	Ausgang 1
10	U_{DD}

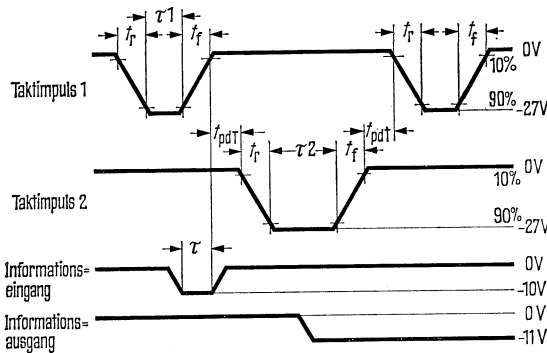
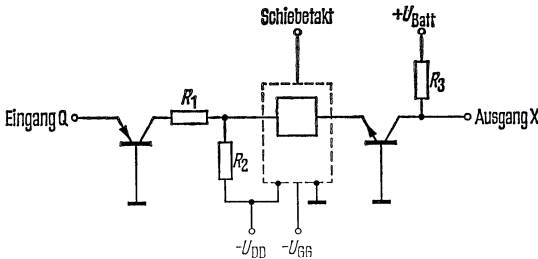


Bild 1
Impulsdiagramm



Prinzipschaltbild einer
Anpassungsstufe für TTL

Mit dieser Anpassungsstufe werden positive Informationen verarbeitet und wieder ausgegeben. Die Widerstandswerte hängen von den Versorgungsspannungen ab. Wenn Transistor T1 durchgesteuert ist, soll die Gleichspannung an der Verbindung R1, R2 zwischen 0 V und -2 V sein. Widerstand R1 schützt das Schieberegister vor positiver Spannung, wenn T1 kurzgeschlossen ist.

Jedes Bit ist ein kreuzgekoppeltes Flipflop, damit die Information unbegrenzt zwischen zwei Taktimpulsen gespeichert werden kann. Für Langzeitspeicherung müssen an Takteingang 2 log.1 und an Takteingang 1 log.0 liegen. Um die Information eine Stufe weiter zu schieben, müssen Takteingang 2 kurzzeitig auf log.0 und Takteingang 1 auf log.1 liegen. Takteingang 1 und 2 dürfen nicht gleichzeitig auf log.1 liegen.

Dynamischer 64-Bit-Akkumulator

Grenzdaten		min	max	Einheit
Taktimpulsspannung	U_T	+0,3	-30	V
Informations- und Speicherspannung	U_E	+0,3	-30	V
Betriebstemperatur	T_U	-55	+ 85	°C
Lagertemperatur	T_S	-55	+150	°C

Bauform 3 (GDN 116A), siehe Seite 212

Kenndaten bei $R_L=10\text{ M}\Omega$, $C_L=12\text{ pF}$, $T_U=-55\text{ °C}$ bis 85 °C , wenn nicht anders angegeben.

		Prüfbedingungen	min	typ	max	Einheit
Taktimpuls						
Eingangsspannung, log. 0	U_{e0}	$U_e=-27\text{ V}$	0,3		-1	V
Eingangsspannung, log. 1	U_{e1}		-24		-27	V
Sperrstrom	I_e				100	μA
Eingangskapazität, Takt 1, 3, 4	C_e				10	pF
Eingangskapazität, Takt 2		plus kapazitive Last			10	pF
Frequenzbereich	f		0,01		2	MHz
Impulsbreite, Takt 1 und 3	$\tau_{1,3}$	s. Bild 1, bei -24 V	100			ns
Impulsbreite, Takt 2 und 4	$\tau_{2,4}$		200			ns
Informations- und Speichereingang						
Eingangsspannung, log. 0	U_{e0}		0		-2	V
Eingangsspannung, log. 1	U_{e1}		-10		-24	V
Sperrstrom	I_e				5	μA
Eingangskapazität	C_e				2	pF
Impulsbreite Information	τ_1	siehe Bild 1	100			ns
Impulsbreite Speicherbefehl	τ_2		200			ns
Ausgangsspannungen						
		siehe Anmerkung				
Ausgangsspannung, log. 0	U_{a0}		0		-2	V
Ausgangsspannung, log. 1	U_{a1}		-11		-24	V

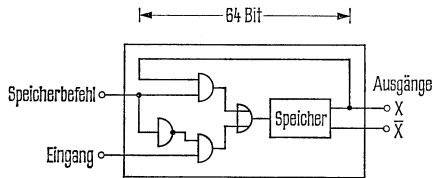
Anmerkung:

Eine Widerstandslast am Ausgang gegen Masse entlädt den Ausgangspegel log.1 mit der Zeitkonstanten $\tau=RC$, so daß log. 0 zu log. 1 wird.

Der dynamische 64-Bit-Serienakkumulator besteht aus einem 64-Bit-Schieberegister mit einer Logik, damit die Information zirkulieren oder gespeichert werden kann.

Der Leistungsverbrauch jeder Stufe nimmt proportional zur Frequenz zu. Ein Serienakku kann direkt, ohne zusätzliche Bauelemente, mit einem anderen verbunden werden.

Blockschaltbild

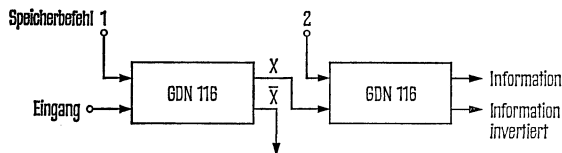


Anschlußschema

Gehäuse TO-74

Anschluß	Funktion
1	Masse
2	Takt 3
3	Takt 1
4	Speicherbefehl
5	-
6	Takt 2
7	Ausgang X
8	Takt 4
9	Eingang
10	Ausgang \bar{X}

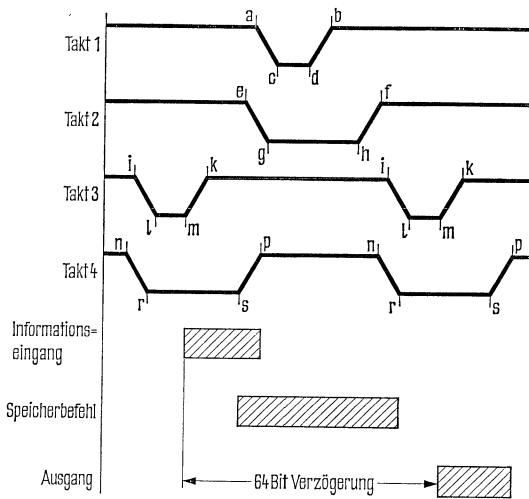
Verknüpfungsschaltung



GDN 116A

Impulsdiagramm

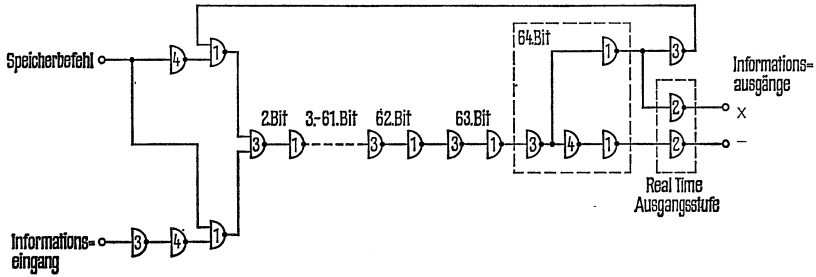
Bild 1



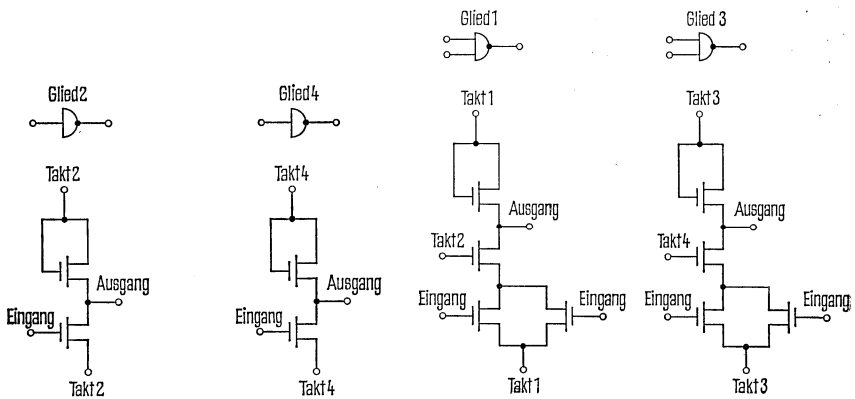
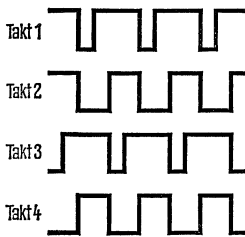
		min	max	Einheit
Abtastzeit	t_{bh}	100		ns
Abtastzeit	t_{ks}	100		ns
Überlappung, Takt 1–4	t_{pa}	0		ns
Überlappung, Takt 2–3	t_{fi}	0		ns
Überlappung, Takt 2–4	t_{fn}	0	1000	ns
Überlappung, Takt 4–2	t_{pe}	0		ns
Aufladezeit, Takt 3	t_{rm}	100		ns
Aufladezeit, Takt 1	t_{gd}	100		ns

Schaltbild für Anpassungsstufen (TTL, DTL usw.) auf Anfrage.

Blockschaltbild



Funktionsdiagramm



Abtastzeit Takt 2
Aufladezeit Takt 2

Takt 4
 Takt 4

Takt 2 und 1
 Takt 1

Takt 4 und 3
 Takt 3

GDQ 101, Q67000–Q13; GDQ 106, Q67000–Q14

Statischer 256 Bit Schreib-Lese-Speicher

- Speicherorganisation: 256 Worte à 1 Bit
- Volle Decodierung eines 8-Bit-Adress-Codes
- Typische Zugriffszeit: 700 ns
- Zerstörungsfreies Lesen
- Direkt TTL-kompatibel
- Betriebsleistungsaufnahme typ. 1,4 mW/Bit, reduzierbar auf 0,4 mW/Bit
- Einfache Speicherkapazitätserweiterung durch CS-Signal
- Datensicherung bei Adreßwechsel durch CS-Signal
- Schutz gegen statische Aufladungen an allen Anschlüssen
- Gehäuse: 16-pol. DIL

Grenzdaten		min	max	Einheit
Drain-Versorgung	$U_{DD}-U_{SS}$	+0,3	-15	V ¹⁾
Zellenversorgung	$U_{ZZ}-U_{SS}$	+0,3	-18	V ¹⁾
Gateversorgung	$U_{GG}-U_{SS}$	+0,3	-30	V ¹⁾
Eingangsspannungen	U_e-U_{SS}	+0,3	-30	V ¹⁾
Ausgangsströme	I_{a1}		-1,5	mA
	I_{a0}		0,3	mA
Lagertemperatur	T_S	-55	+125	°C
Betriebstemperatur	GDQ 101	0	+70	°C
	GDQ 106	-40	+85	°C

¹⁾ Spannungen bezogen auf U_{SS} :

GDQ 101, GDQ 106

Statische Kenndaten $T_U = -40\text{ °C bis } +85\text{ °C}$

		min	typ	max	Einheit	Prüfbedingungen
Betriebsspannung	U_{SS}	+12	+13	+14	V	
	U_{DD}		0		V	
	U_{ZZ}	-2	-3	-4	V	
	U_{GG}	-13	-14	-15	V	
Stromaufnahme	I_{DD}		-12		mA	$U_{SS} = +13\text{ V}$ $U_{DD} = 0\text{ V}$ $U_{ZZ} = -3\text{ V}$ $U_{GG} = -14\text{ V}$
	I_{ZZ}		-6		mA	
	I_{GG}		-4		mA	
Eingangsspannung log. »1«	U_{e1}	+11	+13	+13,3	V	$U_{SS} = +13\text{ V}$
Eingangsspannung log. »0«	U_{e0}	-17	-0,4	+3	V	$U_{SS} = +13\text{ V}$
Leckstrom für A ₁ bis A ₈ , R/W, CS, DI	I_1			1	μA	bei $U_e = -25\text{ V u.}$ $T_U = 25\text{ °C}$
Ausgangsstrom log. »1«	$-I_{a1}$		-0,6		mA	$U_{a1} = +12\text{ V}$
Ausgangsstrom log. »0«	I_{a0}		+0,17		mA	$U_{a0} = +0,4\text{ V}$
Ausgangsspannung log. »1«	U_{a1}		+12,7		V	$-I_{a1} = +0,6\text{ mA}$
Ausgangsspannung log. »0«	U_{a0}		0		V	$I_{a0} = 0,03\text{ mA}$

GDQ 101, Q67000–Q13; GDQ 106, Q67000–Q14

Dynamische Kenndaten

Operation	Testwert	Symbol	min	typ	max	Einheit
Auswahl und Adressierung	Breite Sperrsignal CS	τ_{CS}	200			ns
	Vorlaufzeit der Adressen A ₁ –A ₈	t_{av}	50			ns
	Verzögerungszeit der Adressen A ₁ –A ₈	t_{ad}	50			ns
	Vorlaufzeit bei Einschaltung der Betriebsspannung U_{GG}	t_{vu}	50			ns
	Verzögerungszeit bei Abschaltung der Betriebsspannung U_{GG}	t_{du}	150			ns
Lesen	Vorlaufzeit des Signals R/W	t_{vr}	50	700	1000	ns
	Zugriffszeit bezogen auf CS	t_{ac}				ns
Schreiben	Verzögerung des Signals R/W beim Schreiber	t_{dw}	200			ns
	Breite des Signals R/W	τ_w	200			ns
	Umschaltung des Signals R/W auf Lesen	t_{aw}	500			ns
	Schreibzeit	t_w	200			ns
	Überlappung der Information bezogen auf R/W	t_{DI}	150			ns

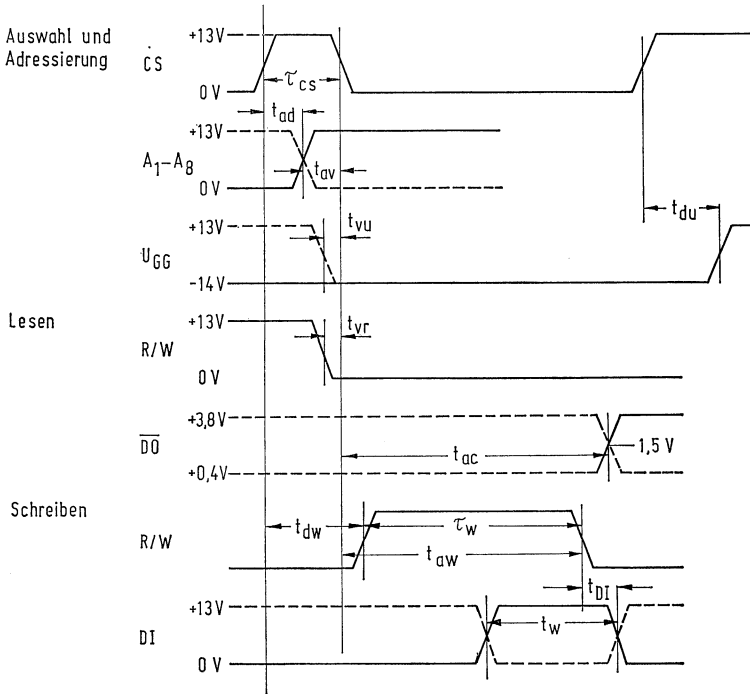
Testbedingungen

$U_{SS}=+13\text{ V}$, $U_{DD}=0\text{ V}$, $U_{ZZ}=-3\text{ V}$, $U_{GG}=-14\text{ V}$, $T_U=+25\text{ °C}$

Anstiegszeit und Abfallzeit der Eingangssignale: 20 ns

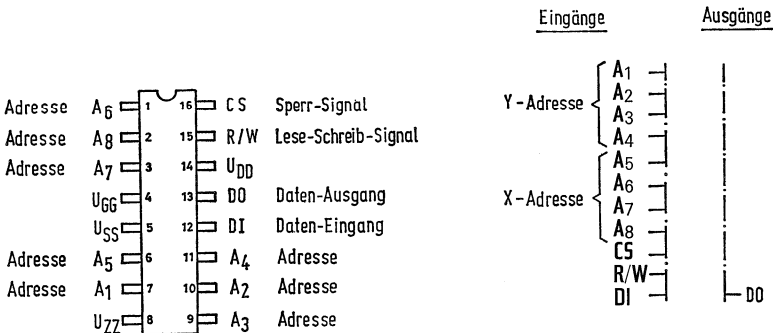
$C_L=15\text{ pF}$

Impulsdiagramm



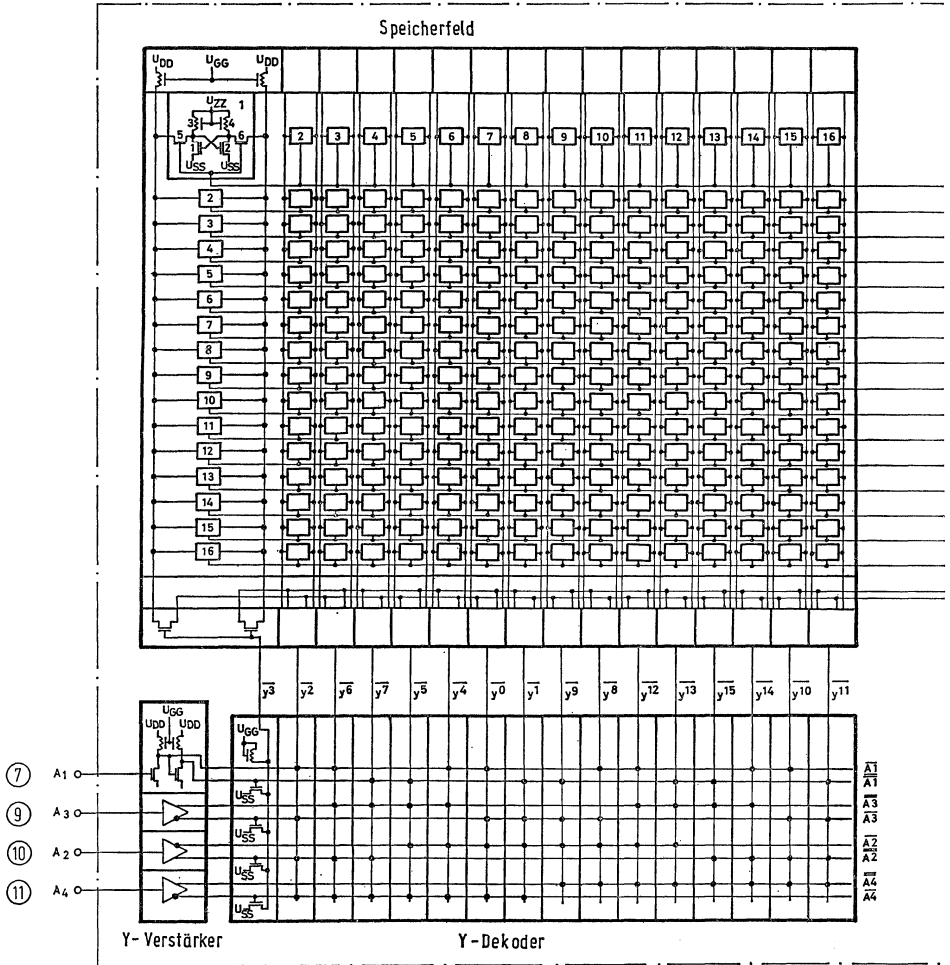
Stiftbelegung

Gehäuse: Siehe Bauform 5, Seite 213



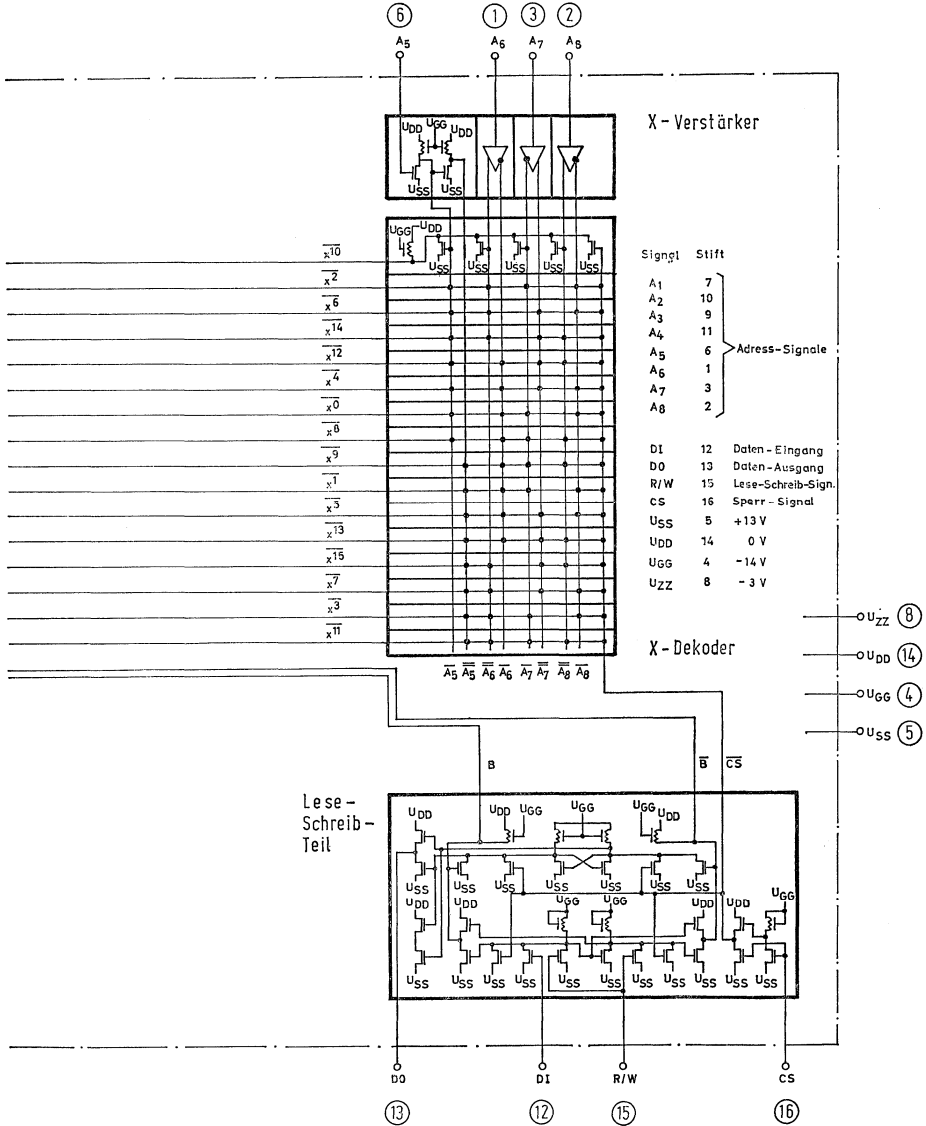
GDO 101, Q67000-Q13; GDO 106, Q67000-Q14

Speicherfeld mit Dekodierung



GDQ 101, GDQ 106

1. Unterprogramm: Ansteuerschaltung der Segmente



Festwertspeicher

Die Speicher der Typenreihe GDR 101/106 sind hochintegrierte monolithische Silizium-Schaltkreise mit p-Kanal-Feldeffekt-Transistoren vom Anreicherungstyp. Kurze Zykluszeiten und kleine Verlustleistungen werden durch eine dynamische Vierphasentechnik erreicht, die mit zwei extern angelegten Taktsignalen synchron und asynchron arbeitet. Der Speicherinhalt wird durch eine spezifisch angefertigte Maske festgelegt, mit der zugleich ein Höchstmaß an Flexibilität hinsichtlich der Wortorganisation ermöglicht wird.

Standard-Speicherkapazitäten: 2048 Bit
2240 Bit
2304 Bit

Besondere Eigenschaften

Zykluszeit 800 ns
Leistungsverbrauch 150 mW
Ein- und Ausgänge mit Schutzstrukturen
TTL-kompatibel (Ausgangspuffer)
Wired-AND-Anwendung
Betriebstemperatur –40 bis +85 °C (GDR 106)
24poliges DIL-Metall-Keramik-Gehäuse

Anwendungen

Zeichengeneratoren: 7-Segment-Decoder
16-Segment-Decoder
Code-Wandler: Selectric-/USASCII-Code-Wandler
Funktionstabellen: Sinus-, Cosinus-Generatoren
Mikroprogramme
Arithmetische Operationen
Logikfunktionen
Mehrzweck-Anwendungen

Typenspektrum

Der Aufbau der Speicher erlaubt folgende Organisationsmöglichkeiten:

GDR 101, Q67000–Q15 GDR 106, Q67000–N27

Typenspektrum

Typenbezeichnung	Kapazität (Bit)	Worte	Bit/Wort	parallele Ausgabe (Bit)	Adr.- oder Chip-Auswahl- leitungen	Programmierung
GDR 101-1100	2048	2048	1	1	0	nach Wahl
GDR 101-1200		1024	2	2	1	
GDR 101-1400		512	4	4	2	
GDR 101-1800		256	8	8	3	
GDR 101-1130		2×512	1+3	1+3	1	
GDR 101-1170		2×256	1+7	1+7	2	
GDR 101-1260		2×256	2+6	2+6	2	
GDR 101-1350		2×256	3+5	3+5	2	
GDR 101-2700	2240	64	35	7	5 Reihen- auswahl- leitungen oder 3 Bit Reihen- dekode	nach Wahl
GDR 101-2701	2240	64	35	7	s. o.	Punktrastergene- rator für vertikale Abtastung, USASCII-Code
GDR 101-2500	2240	64	35	5	3 Bit Zeilen- dekode	nach Wahl
GDR 101-2501	2240	64	35	5	s. o.	Punktrastergene- rator für horizon- tale Abtastung (TV), USASCII- Code
GDR 101-3900	2304	256	9	9	2	nach Wahl
GDR 101-3180		2×256	1+8	1+8	1	
GDR 101-3270		2×256	2+7 usw.	2+7	1	
GDR 101-3000	2304	Mehrzweckspeicher 2 Starburstgeneratoren, 7-Segmentdekoder, Selectric- USASCII-Code-Übersetzer				

GDR 101, GDR 106

Gehäuseabmessungen

Siehe Bauform 6, Seite 213

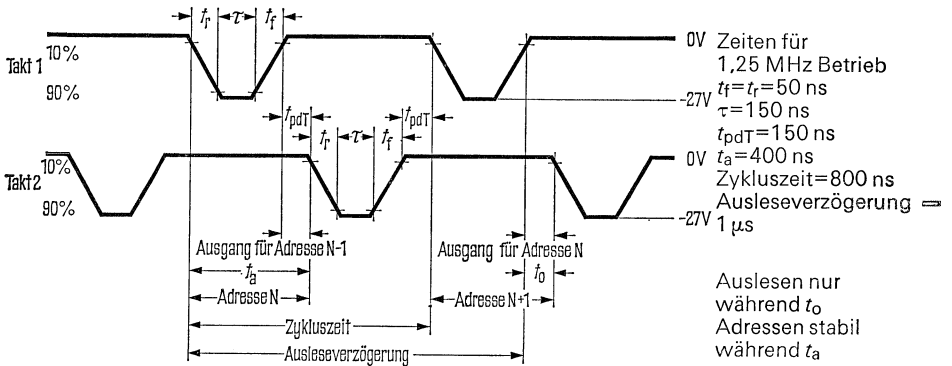
Grenzdaten		min	max	Einheit
Drain-Spannung	U_{DD}	+0,3	-30	V
Taktspannung	U_T	+0,3	-30	V
Betriebstemperatur GDR 101	T_U	0	+70	°C
GDR 106	T_U	-40	+85	°C
Lagertemperatur	T_S	-55	+150	

Kenndaten bei $U_{DD} = -24$ V bis -28 V, $R_L = 20$ k Ω , $C_L = 10$ pF, $T_U = -55$ °C bis 85 °C, wenn nicht anders angegeben.

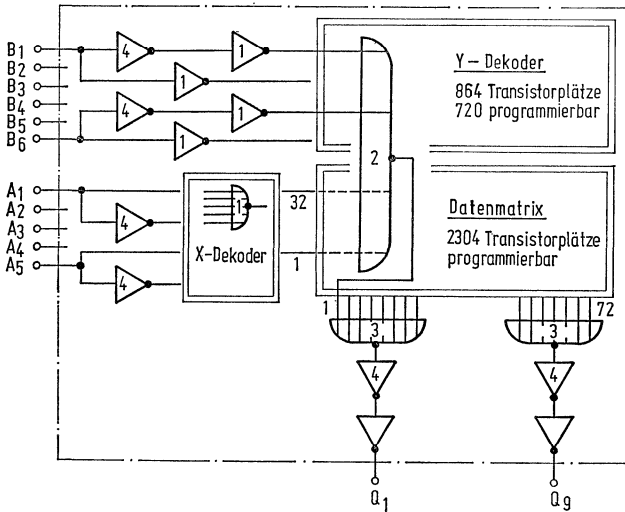
	Prüfbedingungen	min	typ	max	Einheit
Taktimpuls	siehe Bild 1				
Eingangsspannung, log. 0	U_{e0}	0,3		-2	V
Eingangsspannung, log. 1	U_{e1}	-24		-28	V
Eingangswiderstand, Takt 1	R_{e1}	2,6			M Ω
Eingangswiderstand, Takt 3	R_{e3}	2,6			M Ω
Eingangskapazität, Takt 1	C_{e1}		100		pF
Eingangskapazität, Takt 3	C_{e3}		40		pF
Frequenzbereich	f			1,25	MHz
Impulsbreite, Takt 1	τ_1	150			ns
Impulsbreite, Takt 3	τ_3	150			ns
Schaltzeiten					
Taktverzögerungszeit	t_{pdT}	150			ns
Anstiegs-Abfallzeit	t_r, t_f		75	1000	ns
Parallel-Adresseneingang	siehe Bild 2				
Eingangsspannung, log. 0	U_{e0}	0,3		-2	V
Eingangsspannung, log. 1	U_{e1}	-12		-24	V
Eingangswiderstand	R_e	20			M Ω
Eingangskapazität	C_e			5	pF
Informationsausgang					
Ausgangswiderstand gegen Masse	R_a			1	k Ω
	R_a		2		M Ω
Laststrom	I_L			3	mA
Ausleseverzögerung	t_a	1			μ s
Leistungsverbrauch					
9 Ausgänge	P		120		mW
8 Ausgänge	P		120		mW
4 Ausgänge	P		130		mW
2 Ausgänge	P		135		mW
1 Ausgang	P		140		mW
Stromaufnahme	I_{DD}			3	mA

GDR 101, Q67000-N27 GDR 106

Impulsdigramm



Blockschaltbild



	1	2	3	4
Vorbereitung	ϕ_1	ϕ_1	ϕ_3	ϕ_3
Abfrage	ϕ_1	ϕ_3	ϕ_3	ϕ_1

Bestellung des kundenspezifischen Speicherinhalts

1. Allgemeine Informationen

Auftraggeber; Firma und Anschrift
verantwortlicher Ingenieur:

Telefon:

Telex:

Wortorganisation

Typ ¹⁾	Worte	Bit/Wort	Chip-Auswahl ²⁾
GDR 106-1100	2048	1	B ₁ B ₂ B ₃
106-1200	1024	2	<input type="checkbox"/>
106-1400	512	4	<input type="checkbox"/> <input type="checkbox"/>
106-1800	256	8	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

Ausgänge

Typ ¹⁾	Worte	Bit No. 1 2 3 4 5 6 7 8
GDR 106-100	<input type="checkbox"/> 2048	Pin No. 3
	<input type="checkbox"/> 0..255	Pin No. 3
	256..511	4
	usw.	:
		10
106-1200	<input type="checkbox"/> 1024	Pin No. 3 7
	<input type="checkbox"/> 0....255	Pin No. 3 7
	256...511	Pin No. 4 8
	usw.	5 9
		6 10
106-1400	<input type="checkbox"/> 512	Pin No. 3 5 7 9
	<input type="checkbox"/> 0....255	Pin No. 3 5 7 9
	256...511	Pin No. 4 6 8 10
106-1800	<input type="checkbox"/> 256	Pin No. 3 4 5 6 7 8 9 10

1) gewünschten Typ ankreuzen.

2) Logische Zustände angeben, die zur Auswahl des Chips führen sollen:

»1« = $V_{SS} - 12\text{ V}$ bis $V_{SS} - 28\text{ V}$, »0« = $V_{SS} + 0,3\text{ V}$ bis $V_{SS} - 2,0\text{ V}$.

GDR 101, GDR 106

2. Datenformate

Die kundenspezifischen Daten können in verschiedenen Formaten mitgeteilt werden:

- 2.1 Druck- oder Maschinenschrift
- 2.2 Lochstreifen
- 2.3 Topographisches Datenmuster
- 2.4 Andere zwischen Hersteller und Auftraggeber vereinbarte Formate

Im folgenden bedeutet »1« am Ausgang einen hohen Widerstand und eine hohe negative Spannung gegen V_{SS} bzw. »0« einen niedrigen Widerstand und eine kleine negative Spannung ($< -2,0\text{ V}$) gegen V_{SS} .

2.1 Druck- oder Maschinenschrift

Die in dieser Form angefertigte Datenliste soll in der ersten Spalte die Wortadresse in Dezimalform enthalten und danach die Daten, wie die Beispiele zeigen:

Typ GDR 106-1100, 2048×1
Bit No. 1

0	0
1	0
2	1
⋮	⋮
⋮	⋮
2047	0

Typ GDR 106-1200, 1024×2
Bit No. 1 2

0	0	0
1	1	0
2	1	0
⋮	⋮	⋮
⋮	⋮	⋮
1023	0	1

Typ GDR 106-1400, 512×4
Bit No. 1 2 3 4

0	0	1	0	0
1	1	1	0	0
2	0	1	1	1
⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮
511	0	0	0	1

Typ GDR 106-1800, 256×8

Bit No.	1	2	3	4	5	6	7	8
0	0	1	1	0	0	0	1	1
1	1	1	0	0	1	1	0	0
2	1	0	0	0	1	0	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
255	0	0	1	0	0	0	1	1

2.2 Lochstreifen

Die Daten können auf 8spurigem Lochstreifen geliefert werden, der im ASCII-Code erstellt wurde. Das folgende Format ist erwünscht:

1. 256 Zeilen mit je 8 Datenbits pro Zeile.
2. Die Zeilen sind durchnummeriert von 000... 255.
3. Auf jede dreistellige Zeilennummer folgen ein Zwischenraum, dann die 8 Datenbits und danach »Carriage Return« (CR), »Line Feed« (LF) und »Rubout« (RO).
4. Ein Glockenzeichen (Code 207) folgt nach der letzten CR-LF-RO-Sequenz.

Die Bedeutung dieser Anordnung für verschiedene Wortorganisationen zeigen die folgenden Beispiele (Fig.1).

2.3 Topographisches Datenmuster

Dieses Muster (Fig.2) gibt die programmierbaren Teile des Festwertspeichers an, nämlich den Y-Dekoder und die Datenmatrix. In dieser Form können komplizierte Wortorganisationen angegeben werden.

2.4 Andere Datenformate können zwischen Hersteller und Auftraggeber vereinbart werden.

Fig. 1. Datenformate auf Lochstreifen im ASCII-Code

GDR 106 -1100, 2048 Worte à 1 Bit

00001111	A ₃								
00110011	A ₄								
01010101	A ₅								
Bit Nr.									
Zeile									
↓	11111111	B ₁	B ₂	B ₃	B ₄	B ₅	B ₆	A ₁	A ₂
000	01101101	0	0	0	0	0	0	0	0
001	11000111	0	0	0	0	0	0	0	1
002	00111011	0	0	0	0	0	0	1	0
⋮	⋮				⋮				
255	10001100	1	1	1	1	1	1	1	1

GDR 106 -1200, 1024 Worte à 2 Bit

0 0 1 1	A ₄								
0 1 0 1	A ₅								
Zeile									
↓	12121212	B ₂	B ₃	B ₄	B ₅	B ₆	A ₁	A ₂	A ₃
000	01100111	0	0	0	0	0	0	0	0
001	11000101	0	0	0	0	0	0	0	1
⋮	⋮				⋮				
255	00100111	1	1	1	1	1	1	1	1

GDR 101, GDR 106

GDR 106-1400, 512 Worte à 4 Bit

Zeile	Bit Nr.		A ₅							
	0	1	B ₃	B ₄	B ₅	B ₆	A ₁	A ₂	A ₃	A ₄
000	11000110		0	0	0	0	0	0	0	0
001	00010011		0	0	0	0	0	0	0	1
⋮	⋮						⋮			
255	00100111		1	1	1	1	1	1	1	1

GDR 106-1800, 256 Worte à 8 Bit

Zeile	Bit Nr.								A ₅							
	1	2	3	4	5	6	7	8	B ₄	B ₅	B ₆	A ₁	A ₂	A ₃	A ₄	A ₅
000	11000111								0	0	0	0	0	0	0	0
001	00110001								0	0	0	0	0	0	0	1
⋮	⋮															
255	10001100								1	1	1	1	1	1	1	1

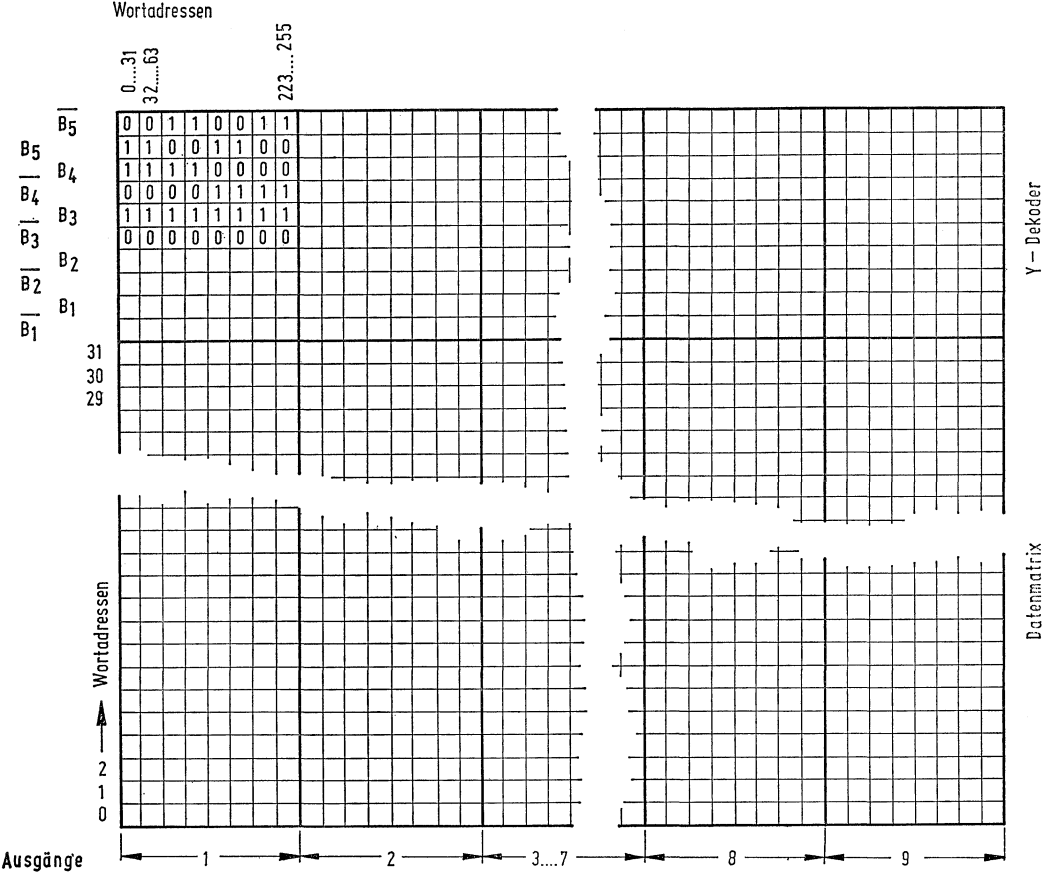


Fig. 2. Topographisches Datenformat, Speicherkapazität 2304 Bit.

GDR 101, GDR 106

Pin Nr.	Typen-Nr.													
	1100	1200	1400	1800	1130	1170	1260	1350	2700	2500	3900	3180	3270	
1	B ₁	CS	CS ₁	CS ₁	CS	CS ₁	CS ₁	CS ₁	A ₅	CS	U _{DD}	U _{DD}	U _{DD}	
2	U _{DD}	U _{DD}	U _{DD}	U _{DD}	U _{DD}	U _{DD}	U _{DD}	U _{DD}	U _{DD}	U _{DD}	Q ₁	P ₁	P ₁	
3	Q ₁	Q ₁	Q ₁	Q ₁	P ₁	P ₁	P ₁	P ₁	Q ₁	Q ₁	Q ₁	Q ₁	P ₂	
4	—	—	—	Q ₂	—	Q ₁	P ₂	P ₂	Q ₂	Q ₂	Q ₃	Q ₂	Q ₁	
5	—	—	Q ₂	Q ₃	Q ₁	Q ₂	Q ₁	P ₃	Q ₃	Q ₃	Q ₄	Q ₃	Q ₂	
6	—	—	—	Q ₄	—	Q ₃	Q ₂	Q ₁	Q ₄	Q ₄	Q ₅	Q ₄	Q ₃	
7	—	Q ₂	Q ₃	Q ₅	Q ₂	Q ₄	Q ₃	Q ₂	Q ₅	Q ₅	Q ₆	Q ₅	Q ₄	
8	—	—	—	Q ₆	—	Q ₅	Q ₄	Q ₃	Q ₆	—	Q ₇	Q ₆	Q ₅	
9	—	—	Q ₄	Q ₇	Q ₃	Q ₆	Q ₅	Q ₄	Q ₇	—	Q ₈	Q ₇	Q ₆	
10	—	—	—	Q ₈	—	Q ₇	Q ₆	Q ₅	—	—	Q ₉	Q ₈	Q ₇	
11	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	U _{OS}	
12	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	∅ ₁	
13	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	U _{SS}	
14	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	∅ ₃	
15	A ₁	A ₁	A ₁	A ₁	A ₁	A ₁	A ₁	A ₁	I ₅	I ₅	A ₁	A ₁	A ₁	
16	A ₂	A ₂	A ₂	A ₂	A ₂	A ₂	A ₂	A ₂	I ₄	I ₄	A ₂	A ₂	A ₂	
17	A ₃	A ₃	A ₃	A ₃	A ₃	A ₃	A ₃	A ₃	I ₃	I ₃	A ₃	A ₃	A ₃	
18	A ₄	A ₄	A ₄	A ₄	A ₄	A ₄	A ₄	A ₄	I ₂	I ₂	A ₄	A ₄	A ₄	
19	A ₅	A ₅	A ₅	A ₅	A ₅	A ₅	A ₅	A ₅	I ₁	I ₁	A ₅	A ₅	A ₅	
20	B ₆	B ₆	B ₆	B ₆	B ₆	B ₆	B ₆	B ₆	I ₆	I ₆	B ₆	B ₆	B ₆	
21	B ₅	B ₅	B ₅	B ₅	B ₅	B ₅	B ₅	B ₅	A ₁	I ₇	B ₅	B ₅	B ₅	
22	B ₄	B ₄	B ₄	B ₄	B ₄	B ₄	B ₄	B ₄	A ₂	A ₁	B ₄	B ₄	B ₄	
23	B ₃	B ₃	B ₃	CS ₃	B ₃	B ₃	B ₃	B ₃	A ₃	A ₂	CS ₁	B ₃	B ₃	
24	B ₂	B ₂	CS ₂	CS ₂	B ₂	CS ₂	CS ₂	CS ₂	A ₄	A ₃	CS ₂	CS	CS	

U_{OS} = Offset-Spannung
 CS = Chip-Select

GDR 101, GDR 106

Vollständiges Programm-Muster der Type GDR 101 -3900 (Fortsetzung)

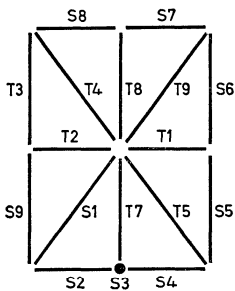
Adresseneingänge		ROM-Speichereinhalt																																														
		00 Ausgänge										01 Ausgänge										10 Ausgänge										11 Ausgänge																
B ₃	B ₄	B ₅	A ₁	A ₂	A ₃	A ₄	A ₅	9	8	7	6	5	4	3	2	1	9	8	7	6	5	4	3	2	1	9	8	7	6	5	4	3	2	1	9	8	7	6	5	4	3	2	1					
33	1	0	X	X	0	0	0	1	1	0	1	1	1	1	0	1	0	1	1	0	0	1	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	1	1	0	1	0	1			
34	1	0	X	X	0	0	1	1	1	0	1	1	1	0	1	0	1	1	0	0	1	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	
35	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	
36	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	
37	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	
38	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	
39	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	
40	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	
41	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	
42	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
43	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
44	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
45	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
46	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
47	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
48	1	0	X	X	0	0	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
49	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
50	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
51	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
52	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
53	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
54	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
55	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
56	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
57	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
58	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
59	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
60	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
61	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
62	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
63	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
64	1	1	X	X	0	0	0	1	1	0	1	1	0	1	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

Erläuterungen des Programm-Musters der Type GDR 101 - 3900

1. Unterprogramm: 16-Segment-Zeichengenerator

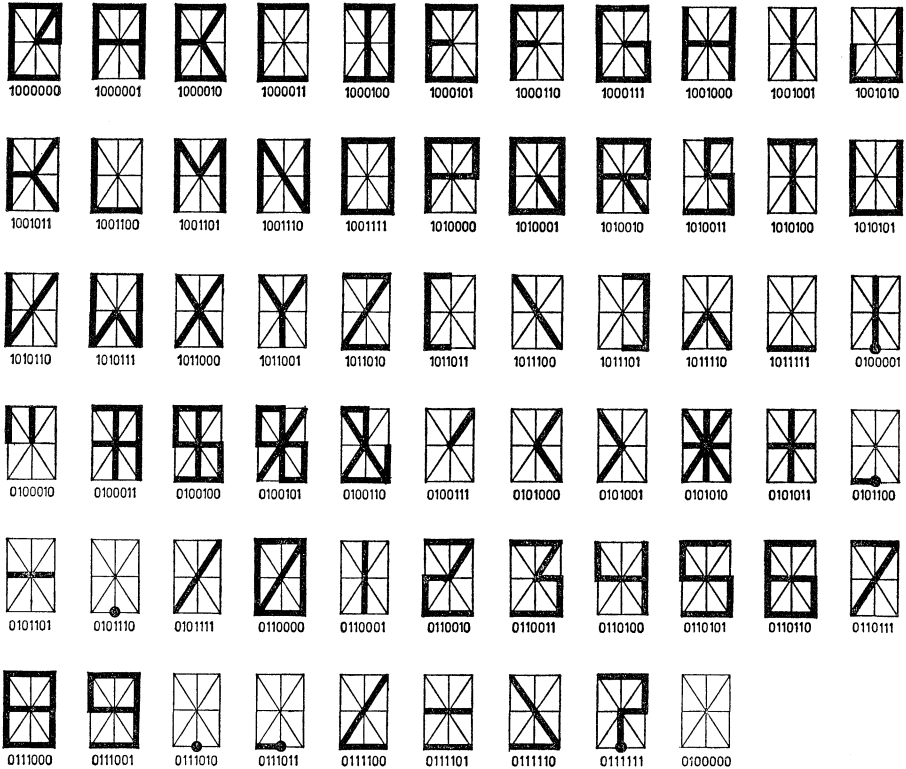
Es werden 17 Ansteuersignale für die Anzeige eines 16-Segment-Zeichens einschließlich Punkt benötigt. Für 64 Zeichen sind 128 Worte nötig. Das vollständige Unterprogramm für jedes Zeichen muß in zwei Bit-Worten gespeichert werden, da dieser Festwertspeicher nur 9 Ausgänge besitzt.

Folgendes Bild zeigt die Segmente jener Zeichen, die von dem ersten (S) und dem zweiten (T) Wort angesteuert werden. Das Bit T_5 bleibt unbenutzt, das Wort T enthält 8, das Wort S 9 ansteuernde Signale.

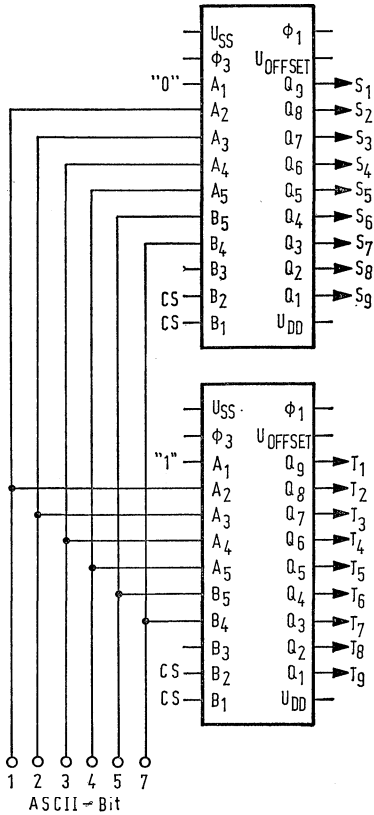


GDR 101, GDR 106

1. Unterprogramm: Anzeige der 16-Segment-Zeichen



Blockschaltbild zu 16-Segment-Decoder



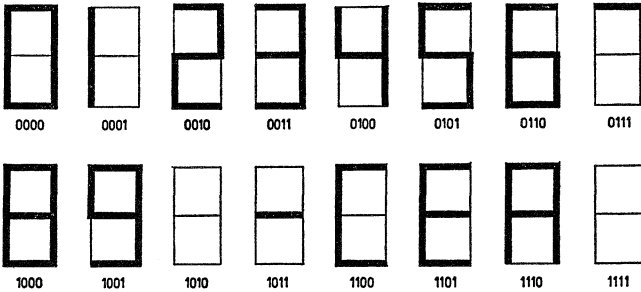
Anschluß B₃ ist mit „0“ zu beschalten

GDR 101, GDR 106

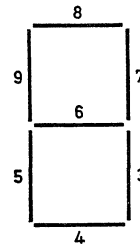
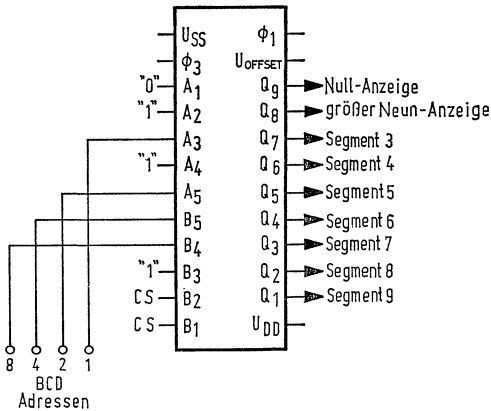
2. Unterprogramm: Sieben-Segment-Anzeige

Dieses Programm des Festwertspeichers GDR 101-3900 erzeugt sieben Steuersignale, sowie ein Signal für die Anzeige einer Null und ein Übertragssignal für eine Anzeige im 7-Segment-Raster. Der Eingangscode ist ein quasi binärverschlüsselter Dezimalcode (BCD-Code).

Raster der 7-Segment-Anzeige mit zugehörigem Code -Wort



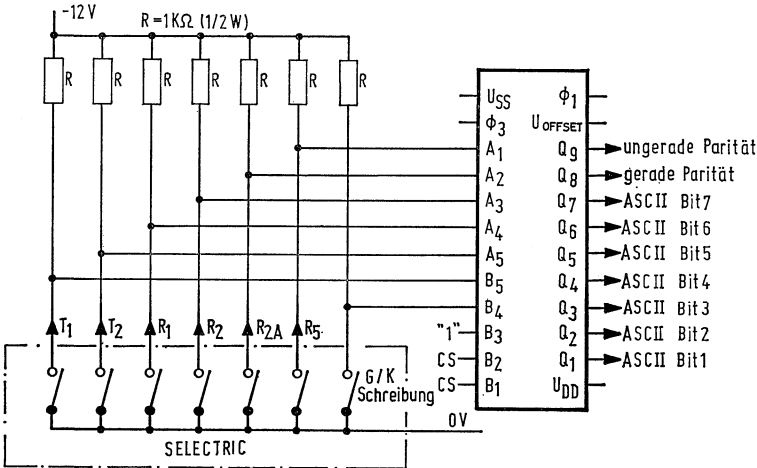
Ansteuerschaltung für die Segmente



3. Unterprogramm: SELECTRIC/ASCII-Codewandler

Die Type GDR 101-3 als Codewandler vom SELECTRIC- zum ASCII-Code eingesetzt, wandelt die Eingangssignale eines Fernschreibers (7 Eingangssignale eines SELECTRIC-Codes) in den ASCII-Code mit gerader oder ungerader Parität. Die Ansteuerung für die Beschaltung einer Maschine mit herkömmlicher Verdrahtung zeigt nachfolgendes Bild. Verwendet werden die 6 Ausgangssignalleitungen des SELECTRIC-Tastenfeldes (R_1 , R_2 , R_{2A} , R_5 , T_1 und T_2) im Gegensatz zu der Parität-Bit-Leitung. Über die Taste G/K (Groß/Kleinbuchstabe) wird dem Speicher das Eingangssignal B_4 vorgegeben.

Ansteuerschaltung des SELECTRIC/ASCII-Codewandlers



GDR 101, GDR 106

SELECTRIC-Signale mit den Adressen-Bits für den Codewandler

SELECTRIC-Kontakt		T ₁	T ₂	R ₁	R ₂	R _{2A}	R ₅	SELECTRIC-Kontakt		T ₁	T ₂	R ₁	R ₂	R _{2A}	R ₅		
Zeichen									Zeichen								
A	a	G 1 K 0	0 0	1 1	1 1	1 1	0 0	0 0	W w	G 1 K 0	0 0	1 1	1 1	1 1	1 1		
B	b	G 1 K 0	1 1	0 0	1 1	1 1	1 1	1 1	X x	G 1 K 0	1 1	0 0	0 0	0 0	0 0		
C	c	G 1 K 0	1 1	0 0	1 1	1 1	0 0	0 0	Y y	G 1 K 0	1 1	1 1	0 0	1 1	1 1		
D	d	G 1 K 0	1 1	0 0	0 0	1 1	0 0	0 0	Z z	G 1 K 0	0 0	0 0	0 0	0 0	0 1		
E	e	G 1 K 0	1 1	0 0	0 0	1 1	0 0	1 1	()	G 1 K 0	0 0	0 0	0 0	0 0	0 0		
F	f	G 1 K 0	1 1	1 1	1 1	0 0	0 0	0 0	@ 2	G 1 K 0	0 0	0 0	1 1	0 0	0 1		
G	g	G 1 K 0	1 1	1 1	0 0	0 0	0 0	0 0	# 3	G 1 K 0	0 0	0 0	1 1	0 0	0 0		
H	h	G 1 K 0	1 1	0 0	0 0	1 1	1 1	1 1	\$ 4	G 1 K 0	0 0	0 0	0 0	1 1	1 0		
I	i	G 1 K 0	0 0	1 1	1 1	1 1	0 0	1 1	% 5	G 1 K 0	0 0	0 0	0 0	1 1	0 1		
J	j	G 1 K 0	1 1	1 1	0 0	0 0	0 0	1 1	¢ 6	G 1 K 0	0 0	0 0	1 1	1 1	0 1		
K	k	G 1 K 0	1 1	0 0	1 1	1 1	0 0	1 1	& 7	G 1 K 0	0 0	0 0	0 0	1 1	0 0		
L	l	G 1 K 0	1 1	0 0	0 0	1 1	1 1	0 0	* 8	G 1 K 0	0 0	0 0	1 1	1 1	0 0		
M	m	G 1 K 0	0 0	1 1	0 0	0 0	0 0	0 0	(9	G 1 K 0	0 0	0 0	1 1	1 1	1 1		
N	n	G 1 K 0	1 1	0 0	1 1	0 0	0 0	1 1) 0	G 1 K 0	0 0	0 0	0 0	1 1	1 1		
O	o	G 1 K 0	0 0	1 1	0 0	1 1	1 1	0 0	- -	G 1 K 0	1 1	1 1	1 1	1 1	1 1		
P	p	G 1 K 0	1 1	1 1	0 0	1 1	0 0	1 1	+ =	G 1 K 0	1 1	1 1	1 1	0 0	0 1		
Q	q	G 1 K 0	1 1	1 1	1 1	1 1	0 0	1 1	° !	G 1 K 0	0 0	1 1	0 0	0 0	0 1		
R	r	G 1 K 0	0 0	1 1	0 0	1 1	0 0	0 0	: ;	G 1 K 0	1 1	1 1	0 0	1 1	0 0		
S	s	G 1 K 0	0 0	1 1	0 0	1 1	1 1	1 1	" ,	G 1 K 0	0 0	1 1	0 0	1 1	0 1		
T	t	G 1 K 0	1 1	0 0	0 0	0 0	0 0	1 1	' '	G 1 K 0	1 1	1 1	1 1	1 1	0 0		
U	u	G 1 K 0	1 1	0 0	1 1	0 0	0 0	0 0	. .	G 1 K 0	0 0	1 1	1 1	0 0	0 1		
V	v	G 1 K 0	0 0	1 1	1 1	0 0	0 0	0 0	? /	G 1 K 0	1 1	1 1	0 0	1 1	1 0		

G = Großschreibung K = Kleinschreibung
 ASCII-Signal ">" entspricht SELECTRIC-Signal "C" (Cent)
 ASCII-Signal "<" entspricht SELECTRIC-Signal "o" (Grad)

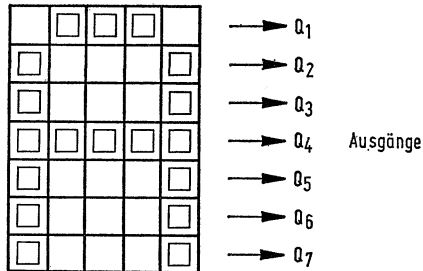
Erläuterungen des Programm-Musters der Typen GDR 101-2701/2501

5 × 7- Bit-Zeichengenerator für vertikale Abtastung

GDR 101-2701 (Abb. 5 a beiliegend)

A ₁	1	0	0	0	0
A ₂	0	1	0	0	0
A ₃	0	0	1	0	0
A ₄	0	0	0	1	0
A ₅	0	0	0	0	1

GDR 101-2701

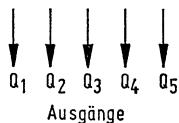
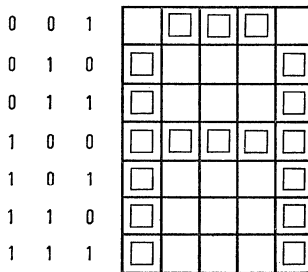


5 × 7- Bit-Zeichengenerator für horizontale Abtastung

GDR 101-2501 (Abb. 5 b beiliegend)

A ₃	A ₂	A ₁
----------------	----------------	----------------

GDR 101-2501

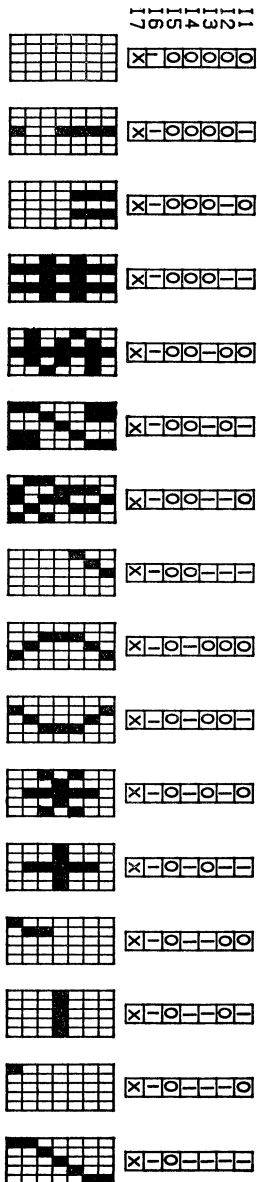
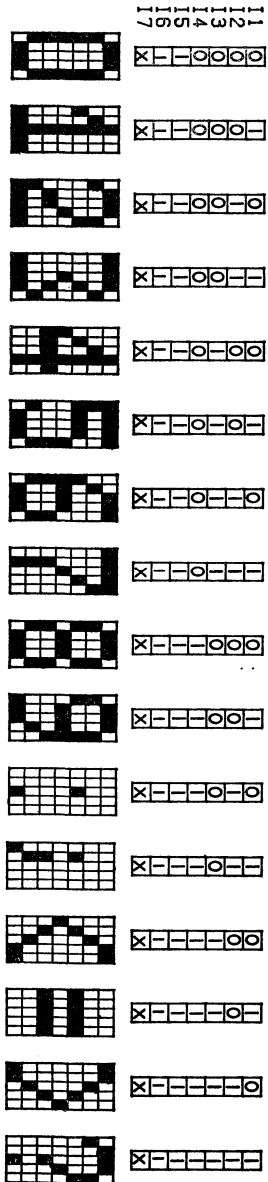


GDR 101, GDR 106

Zeichenwiedergabe der 5×7-Bit-Zeichengeneratoren GDR 101-2701 und GDR 101-2501

	1111111
	1111101
	1111011
	1111010
	1111001
	1111000
	1110111
	1110110
	1110101
	1110100
	1110011
	1110010
	1110001
	1110000

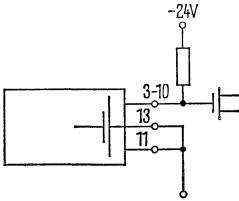
	1111111
	1111101
	1111011
	1111010
	1111001
	1111000
	1110111
	1110110
	1110101
	1110100
	1110011
	1110010
	1110001
	1110000



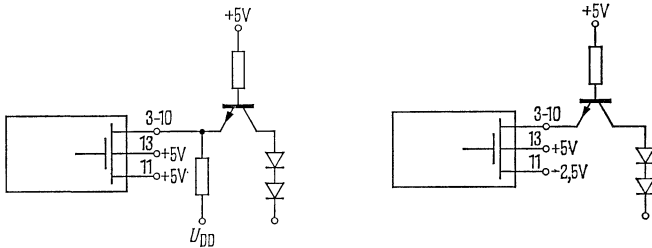
GDR 101, GDR 106

Schaltbilder für Anpassungsstufen

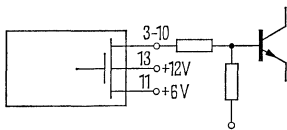
MOS-Betrieb



TTL-Betrieb



Transistor-Betrieb



Statischer Frequenzteiler 1000:1

Vorläufige Daten

Der SAJ 131 und SAJ 135 sind statische MOS-Frequenzteiler mit dem Teilverhältnis 1000:1 im Gehäuse ähnlich TO-72. Auf Anfrage ist der Frequenzteiler auch mit Rückstelleingang im Gehäuse ähnlich TO-5 lieferbar. Ein Frequenzteiler mit dem Teilverhältnis 2048:1 kann auf Wunsch hergestellt werden.

Anschlußschema Bauform 1:

- 1 Eingang
- 2 U_{DD}
- 3 Ausgang
- 4 Masse

Bauform 1, siehe Seite 212, für Teiler mit internem Rückstelleingang

Bauform 2, siehe Seite 212, für Teiler mit externem Rückstelleingang

Grenzdaten

	min	max	Einheit	Anschlußschema Bauform 2:
Betriebsspannung	U_{DD} +0,3	-20	V	2 Rückstelleingang
Eingangsspannung	U_E +0,3	-20	V	3 U_{DD}
Ausgangsstrom	I_A	2	mA	4 Masse
Betriebstemperatur (Bereich 1)	T_U	+70	°C	6 frei
Betriebstemperatur (Bereich 5)	T_U	+70	°C	7 Ausgang
Lagertemperatur	T_S	+125	°C	8 Eingang

Kenndaten

	Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	U_{DD}	-17	-18	-19	V
Stromaufnahme	I_{DD}			-4	mA
Eingangsfrequenz	f_e	0		25	kHz
Impulsweite der Eingangsfrequenz		10			μ s
Impulspause der Eingangsfrequenz		15			V
Anstiegszeit der Eingangsimpulse	t_{re}			2	M Ω μ s
Abfallzeit der Eingangsimpulse	t_{fe}			2	μ s
Eingangsspannung, log. 0	U_{e0}			-2,0	
Eingangsspannung, log. 1	U_{e1}	-12			
Eingangswiderstand	R_e	10			
Ausgangsspannung, log. 0	U_{a0}	$I_L = -1,0$ mA		-7,0	V
Ausgangsspannung, log. 1	U_{a1}		-15		V
Ausgangsstrom, log. 0	I_{a0}	$R_L = 10$ k Ω	-1,0		mA
Ausgangsstrom, log. 1	I_{a1}	$R_L = 10$ k Ω		-10	μ A

Schaltzeiten des 1000:1 -Teilers

Der Ausgang ist auf log. 1 und nimmt nach dem 1000. Eingangsimpuls bis zu Beginn des nächsten Impulses den Zustand log. 0 an.

Impulsbreite der Ausgangsspannung	t_{pw}	(s. Bild 3)	5		μ s
Verzögerungszeit	t_d	(s. Bild 3)		15	μ s
Anstiegszeit, Abfallzeit	$t_{r, f}$	(s. Bild 3)		5	μ s

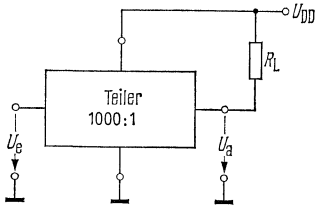
Schaltzeiten des 2048:1 -Teilers

Die Ausgangsspannung wechselt nach jeweils 2048 Eingangsimpulsen von Zustand log. 0 auf log. 1 und umgekehrt. Der Einschaltzustand ist nicht definiert.

Frequenzteiler für höhere Eingangsfrequenzen sind verfügbar.

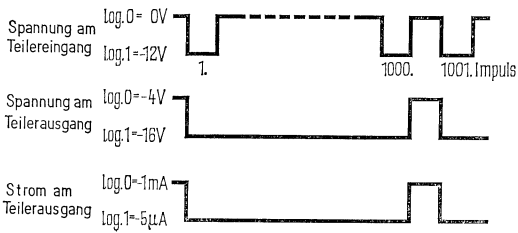
Beschaltung

Bild 1



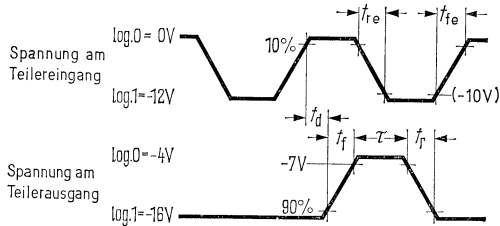
Funktionsdiagramm, 1000:1-Teiler

Bild 2



Impulsdiagramm für Schaltzeiten, 1000:1-Teiler

Bild 3



Analoge integrierte Halbleiterschaltungen

Qualitätsangaben für integrierte Analogschaltkreise

1. Garantierte Qualität

Werden bei einer Anlieferung die hier angegebenen AQL-Werte (Acceptable Quality Level) überschritten, ist der Käufer berechtigt, die Lieferung zurückzuweisen und eine Ersatzlieferung zu beanspruchen.

2. AQL-Werte

Die AQL-Werte definieren für eine Anlieferung, die höchstzulässige Anzahl von fehlerhaften Bauelementen bei der die Lieferung noch angenommen werden muß.

Elektrische Fehler

Einzel AQL grad. elektrische Fehler (1)	0,65
Einzel AQL krit. elektrische Fehler (2)	0,40
ε AQL elektrische Fehler	1,00

Mechanische Fehler

Einzel AQL grad. mechanische Fehler (3)	1,00
Einzel AQL krit. mechanische Fehler (4)	0,65
ε AQL mechanische Fehler	1,00

Fehleraufschlüsselung

- Zu 1: Fehler die die Funktion nur geringfügig einschränken (zu kleine oder zu große elektrische Daten, Rauschen usw.).
- Zu 2: Totalausfälle (Kurzschluß unter den Anschlüssen, keine Aussteuerung) und Fehler die die Funktion stark einschränken (Schwingen, sehr starkes Rauschen, Unterschreiten der elektrischen Daten unter 50%).
- Zu 3: Leichte mechanische Mängel (fehlende Typenbestempelung, Schrift schlecht lesbar, falsche Abmessungen, starker Stanzgrad an den Anschlüssen, verbogene Anschlüsse).
- Zu 4: Totalausfälle (gebrochene Gehäuse, Gehäuserisse, falsche Bestempelung, falsche Kennzeichnung der Nase bzw. von Anschluß 1, Anschlüsse nicht lötlbar).

3. Anlieferungsqualität

Die in der Tabelle angegebenen Werte sind Garantiewerte. Die Qualität von ausgehenden Lieferungen AOQ (Average Outgoing-Quality) ist jedoch weit besser; d. h. der Anteil der fehlerhaften Bauelemente einer Lieferung ist geringer als die AQL-Werte angeben.

4. Stichprobe

Die AQL-Angaben werden bei einer Kontrolle nach Stichprobenplan MIL Std 105 D Inspektionsniveau II gewährleistet.

Qualitätsangaben für integrierte Analogschaltkreise

Stichprobeplan für normale Inspektion (MIL - Std 105 D, Inspektionsniveau II)

Losgröße	Stichprobengröße	0.065	0.10	0.15	0.25	0.40	0.65	1.0	1.5	2.5	4.0	6.5
		Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re
2 bis 8	2	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	0 1
9 15	3	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	0 1
16 25	5	↓	↓	↓	↓	↓	↓	↓	↓	0 1	↑	↑
26 50	8	↓	↓	↓	↓	↓	↓	↓	0 1	↑	↓	1 2
51 90	13	↓	↓	↓	↓	↓	↓	1 0	↑	↑	↓	1 2
91 150	20	↓	↓	↓	↓	↓	0 1	↑	↑	↓	1 2	2 3
151 280	32	↓	↓	↓	↓	0 1	↑	↓	1 2	2 3	3 4	5 6
281 500	50	↓	↓	↓	0 1	↑	↑	↓	1 2	2 3	3 4	5 6
501 1200	80	↓	↓	0 1	↑	↑	1 2	2 3	3 4	5 6	7 8	10 11
1201 3200	125	↓	0 1	↑	↓	1 2	2 3	3 4	5 6	7 8	10 11	14 15
3201 10000	200	0 1	↑	↓	1 2	2 3	3 4	5 6	7 8	10 11	14 15	21 22
10001 35000	315	↑	↓	1 2	2 3	3 4	5 6	7 8	10 11	14 15	21 22	↑

A_c = Zulässige Zahl defekter Elemente der Stichprobe: Los wird akzeptiert.

R_e = Unzulässige Zahl defekter Elemente der Stichprobe: Los wird zurückgewiesen.

Zusatzbedingung :

Da die Aussagekraft der Konstellation »Acceptance 0 und Rejection 1« gering ist, soll die nächstgrößere Stichprobe entnommen werden.

Analoge Integrierte Halbleiterschaltungen für Anwendungen im Entertainmentsektor

Typenübersicht

		Seite
TAA 111, TAA 121	Dreistufiger NF-Verstärker	264
TAA 131, TAA 141	Dreistufiger NF-Verstärker	267
TAA 151, TAA 151 S	Dreistufiger NF-Verstärker	270
TAA 420	Fünfstufiger NF-Verstärker	272
TAA 435	NF-Vor- und Treiberstufe	274
TAA 981	AM/FM-ZF-Verstärker	276
TAA 991	AM/FM-ZF-Verstärker	279
TAA 991 D	AM/FM-ZF-Verstärker	279
TBA 120, TBA 120 A	FM-ZF-Verstärker mit Demodulator	284
TBA 400	Regelbarer Breitbandverstärker	291
TBA 450	Stereodecoder	295
TBA 460	AM/FM-ZF- und NF-Verstärker	297

TAA 111 TAA 121

Bestellbezeichnungen

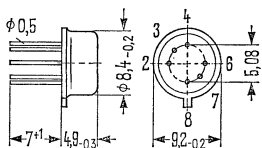
TAA 111: Q 61901-A111

TAA 121: Q 61901-A121

Dreistufiger NF-Verstärker

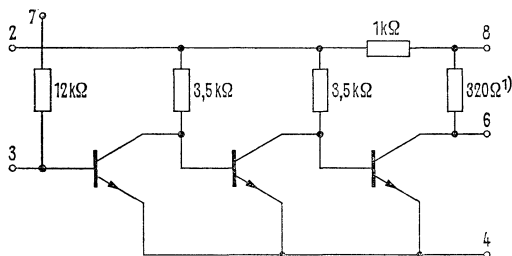
Die Halbleiterschaltungen TAA 111 und TAA 121 sind besonders geeignet als Verstärker für Batteriegeräte mit räumlich gedrängtem Aufbau. Das Gehäuse darf weder mit Masse noch mit einem anderen Potential verbunden werden.

Bauform



Gehäuse 5 H 6 DIN 41873
(ähnlich TO 78)
Gewicht etwa 1 g

Schaltbild



1) Nur bei TAA 111

Grenzdaten

Betriebsspannung
Umgebungstemperatur im Betrieb
Sperrschichttemperatur
Lagertemperatur
Gesamtverlustleistung ($T_U=45\text{ °C}$)

	TAA 111, TAA 121	
U_{Batt}	7	V
T_U	-30 bis 100	°C
T_j	150	°C
T_S	-35 bis 125	°C
P_{tot}	350	mW

Wärmewiderstand (System – Luft)

R_{thSU}	≤ 300	grd/W
-------------------	------------	-------

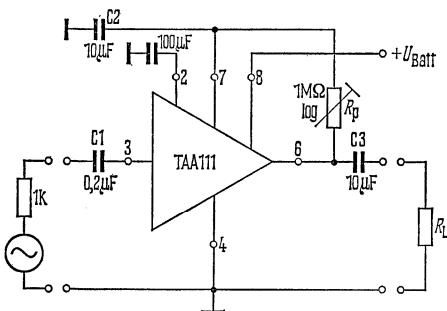
TAA 111 TAA 121

Kenndaten ($U_{\text{Batt}}=4,5\text{ V}$; $T_U=25\text{ }^\circ\text{C}$)

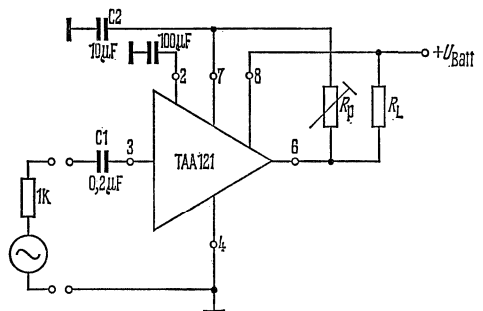
bezogen auf die angegebene Schaltung ($U_{\text{Batt}}=4,5\text{ V}$; $R_L=500\ \Omega$; der Arbeitspunkt ist mit dem Abgleichwiderstand R_p so eingestellt, daß bei einer Ausgangswechselspannung $U_{\text{Aeff}}=1\text{ V}$ der Klirrfaktor minimal wird).

		TAA 111	TAA 121	
Ableichwiderstand	R_p	300 (40 bis 1000)	300 (40 bis 1 000)	k Ω
Stromaufnahme ($U_{\text{Batt}}=4,5\text{ V}$)	I_{ges}	10 (<16)	8	mA
Stromaufnahme ($U_{\text{Batt}}=7\text{ V}$)	I_{ges}	17 (<30)	–	
Spannungsverstärkung ($f=1\text{ kHz}$)	V_u	65 (>62)	74	dB
Klirrfaktor ($U_{\text{Aeff}}=1\text{ V}$, $f=1\text{ kHz}$)	k	1 (<3)	1	%
Eingangsimpedanz	Z_e	≥ 3	≥ 3	k Ω
Untere Grenzfrequenz (–3 dB ¹⁾)	f_u	80	80	Hz
Obere Grenzfrequenz (–3 dB)	f_o	150	150	kHz
Geräuschspannung am Ausgang (nach DIN 45405 $R_G=1\text{ k}\Omega$)	U_R	4 (<8)		mV
Geräuschspannung (auf den Eingang bezogen) (nach DIN 45405 $R_G=1\text{ k}\Omega$)	U_R	–	< 4	μV

Meßschaltung für TAA 111



Meßschaltung für TAA 121

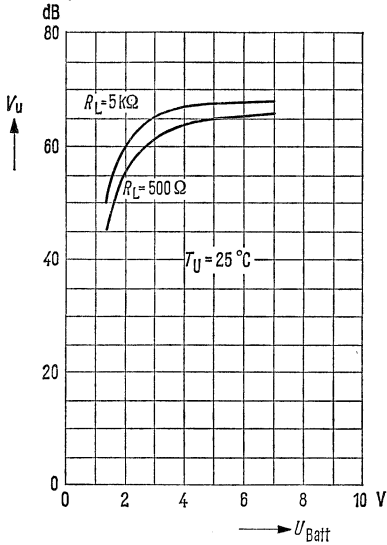


Die Werte für C_1 , C_2 und C_3 sind Richtwerte. Mit Hilfe des Abgleichwiderstandes R_p ($1\text{ M}\Omega$ log) wird der Arbeitspunkt der Schaltung eingestellt.

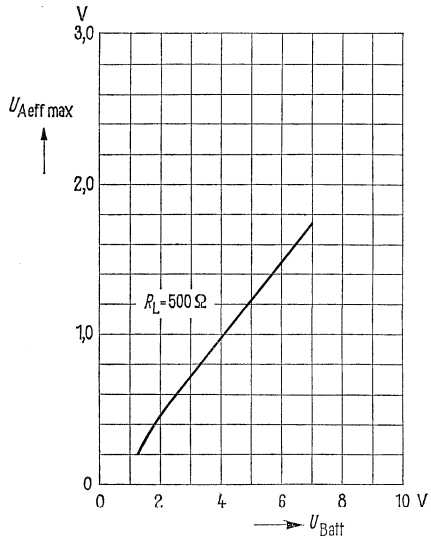
1) Abhängig von der äußeren Beschaltung.

TAA111 TAA121

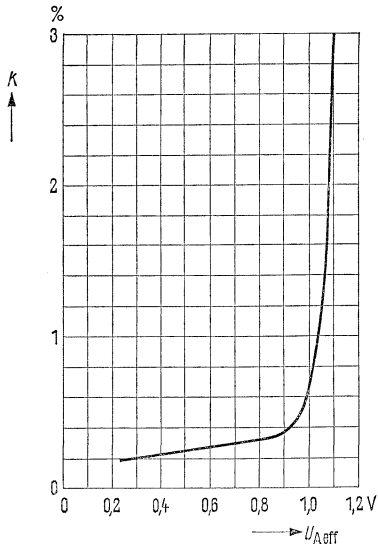
Spannungsverstärkung $V_U = f(U_{\text{Batt}})$;
($f=1 \text{ kHz}$, $R_L = \text{Parameter}$)



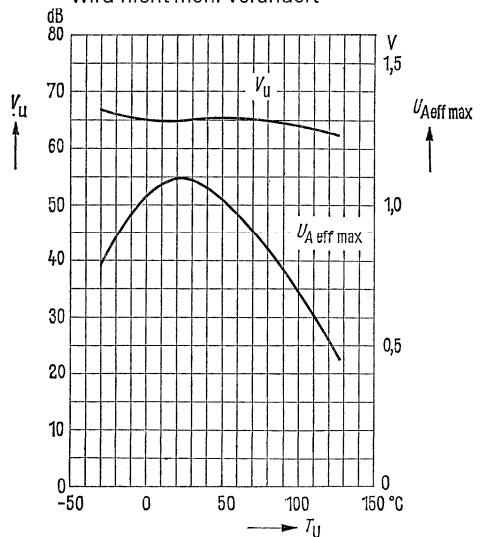
Ausgangsspannung $U_{\text{Aeff max}} = f(U_{\text{Batt}})$
($f=1 \text{ kHz}$, $k_{\text{ges}}=3\%$; $T_U=25 \text{ }^\circ\text{C}$)



Klirrfaktor $k = f(U_{\text{Aeff}})$
($U_{\text{Batt}}=4,5 \text{ V}$, $R_L=500 \Omega$, $f=1 \text{ kHz}$)



Spannungsverstärkung $V_U = f(T_U)$;
($f=1 \text{ kHz}$; $U_{\text{Batt}}=4,5 \text{ V}$, $R_L=500 \Omega$)
Ausgangsspannung $U_{\text{Aeff max}} = f(T_U)$;
($f=1 \text{ kHz}$; $k_{\text{ges}}=3\%$; $U_{\text{Batt}}=4,5 \text{ V}$, $R_L=500 \Omega$)
Arbeitspunkt, eingestellt bei $T_U=25 \text{ }^\circ\text{C}$,
wird nicht mehr verändert



Bestellbezeichnungen

TAA 131: Q 61901-A131

TAA 141: Q 61901-A141

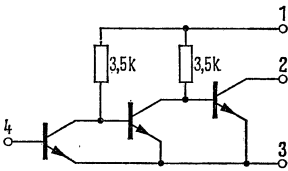
TAA 131
TAA 141

Dreistufiger NF-Verstärker

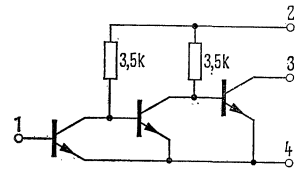
Die Halbleiterschaltungen TAA 131 und TAA 141 sind besonders geeignet für Batteriegeräte mit räumlich gedrängtem Aufbau. Das Gehäuse des TAA 141 darf weder mit Masse noch mit einem anderen Potential verbunden werden.

Schaltbilder

TAA 131

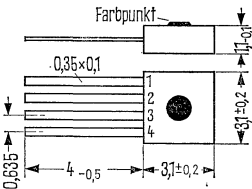


TAA 141



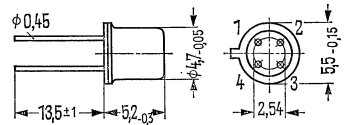
Bauformen

TAA 131



Kunststoffumhüllung (U 38)
Gewicht etwa 0,02 g

TAA 141



Gehäuse 18 A 4
DIN 41876 (ähnlich TO 72)
Gewicht etwa 0,4 g

Grenzdaten

Betriebsspannung
Kollektorstrom der Endstufe
Sperrschichttemperatur
Umgebungstemperatur im Betrieb
Lagertemperatur
Gesamtverlustleistung ($T_U = 90^\circ\text{C}$)

	TAA 131	TAA 141	
U_{Batt}	5	5	V
$I_{2(3)^1}$	12	12	mA
T_j	150	150	$^\circ\text{C}$
T_U	-20 bis 90	-30 bis 100	$^\circ\text{C}$
T_S	-35 bis 125	-35 bis 125	$^\circ\text{C}$
P_{tot}	50	60	mW
R_{thSU}	≤ 600	≤ 600	grd/W

Wärmewiderstand (System – Luft)

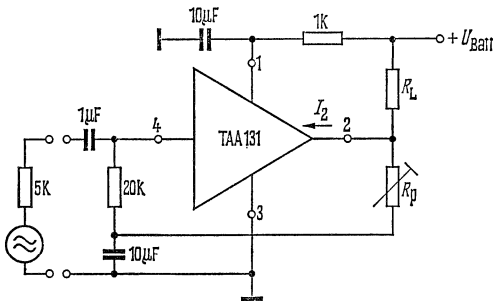
1) Abhängig von der äußeren Beschaltung.

TAA131 TAA141

Kenndaten ($T_U=25\text{ }^\circ\text{C}$)
Bezogen auf die angegebene Schaltung

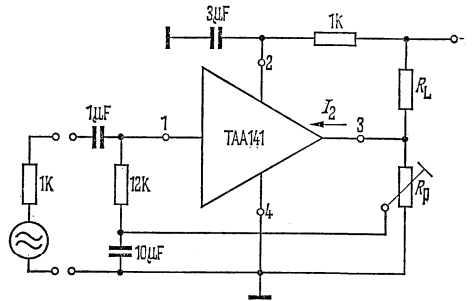
		TAA 131	TAA 141	
Abgleichwiderstand	R_p	400 (40 bis 1000)	–	$\text{k}\Omega$
Stromaufnahme ($U_{\text{Batt}}=1,3\text{ V}$)	I_{ges}	<1,2	–	mA
Stromaufnahme ($U_{\text{Batt}}=3\text{ V}$)	I_{ges}	–	<4	mA
Spannungsverstärkung ($f=1\text{ kHz}$)	V_u	57 (>50)	70 (>63)	dB
Klirrfaktor ($U_{\text{Aeff}}=0,1\text{ V}, f=1\text{ kHz}$)	k	<10	–	%
Klirrfaktor ($U_{\text{Aeff}}=0,9\text{ V}, f=1\text{ kHz}$)	k	–	5 (<10)	%
Untere Grenzfrequenz (–3 db) ¹⁾	f_u	<40	<40	Hz
Obere Grenzfrequenz (–3 db)	f_o	>20	>20	kHz
Geräuschspannung (auf den Eingang bezogen) nach DIN 45405, $R_G=5\text{ k}\Omega$ $R_G=1\text{ k}\Omega$	U_R U_R	<5 –	– <4	μV μV

Meßschaltungen: TAA 131



$U_{\text{Batt}}=13\text{ V}$
 $R_L = 500\ \Omega$
 I_2 mit R_p auf 0,75 mA einstellen

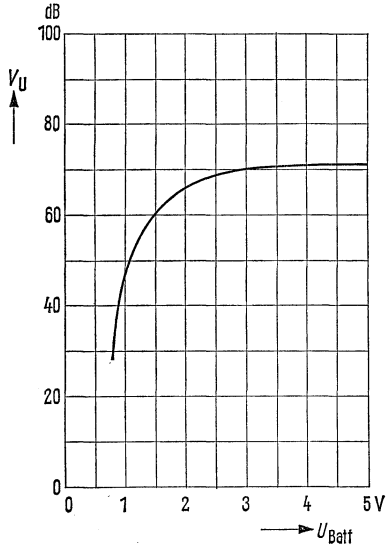
TAA 141



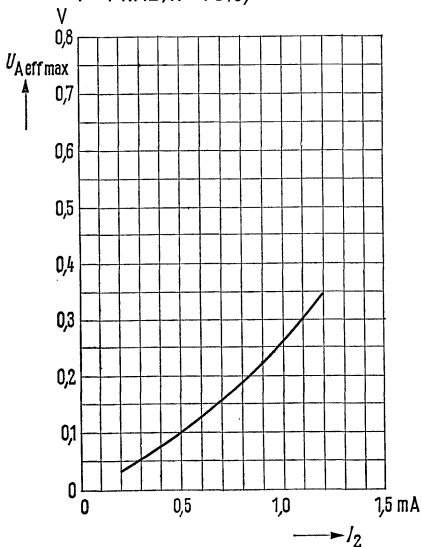
$U_{\text{Batt}}=3\text{ V}$
 $R_L = 470\ \Omega$
 I_2 mit R_p auf 0,75 mA einstellen

1) abhängig von der äußeren Beschaltung

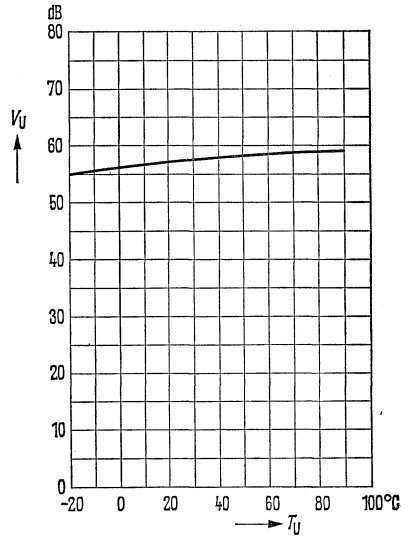
Spannungsverstärkung $V_U = f(U_{\text{Batt}})$
 $R_L = 500 \Omega$; $f = 1 \text{ kHz}$
 Arbeitspunkt bei $U_{\text{Batt}} = 1,3 \text{ V}$ auf
 $I_2 = 0,75 \text{ mA}$ einmalig eingestellt



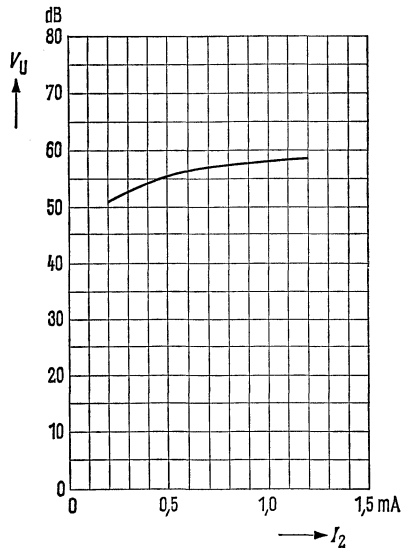
Ausgangsspannung $U_{A \text{ eff max}} = f(I_2)$
 $(U_{\text{Batt}} = 1,3 \text{ V}; R_L = 500 \Omega;$
 $f = 1 \text{ kHz}; k = 10\%)$



Spannungsverstärkung $V_U = f(T_U)$
 $(U_{\text{Batt}} = 1,3 \text{ V}; R_L = 500 \Omega; f = 1 \text{ kHz};$
 der Arbeitspunkt wurde bei $T_U = 25^\circ \text{C}$
 mit R_{pot} auf $I_2 = 0,75 \text{ mA}$ eingestellt)



Spannungsverstärkung $V_U = f(I_2)$
 $(U_{\text{Batt}} = 1,3 \text{ V}; R_L = 500 \Omega; f = 1 \text{ kHz})$



TAA 151 TAA 151 S

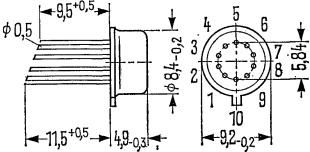
Bestellbezeichnungen

TAA 151 Q 67000-A1
TAA 151 S Q 67000-A55

Dreistufiger Verstärker

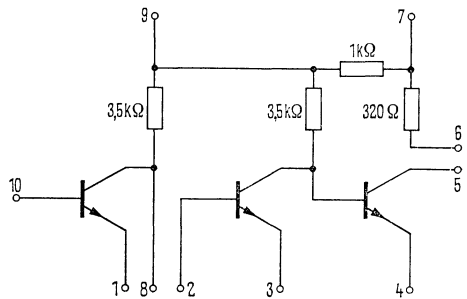
Die Halbleiterschaltungen TAA 151 und TAA 151 S sind Linearverstärker, die bis ca. 600 kHz universell verwendbar sind. Anschluß 4 muß stets auf dem niedrigsten Potential liegen. Anschluß 7 ist auf das höchste Potential zu legen.

Bauform



Gehäuse 5 J 10 DIN 41873
(ähnlich TO-100)
Gewicht etwa 1,1 g

Schaltbild



Grenzdaten

Betriebsspannung
Umgebungstemperatur im Betrieb
Sperrschichttemperatur
Lagertemperatur
Gesamtverlustleistung ($T_U = 45^\circ\text{C}$)
Spannungen

Ströme

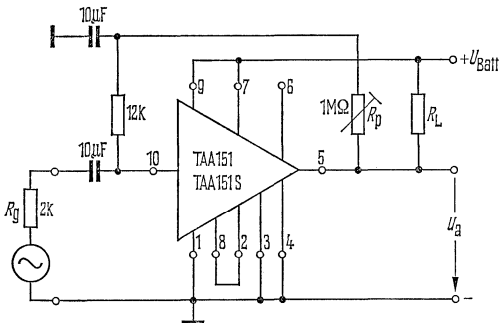
Wärmewiderstand System – Luft

	TAA 151	TAA 151 S	
U_{Batt}	7	12	V
T_U	-30 bis 100	-30 bis 100	$^\circ\text{C}$
T_j	150	150	$^\circ\text{C}$
T_S	-35 bis 125	-35 bis 125	$^\circ\text{C}$
P_{tot}	350	350	mW
$U_{9/3}$	7	12	V
$U_{8/1}$	7	12	V
$U_{7/4}$	7	12	V
$U_{5/4}$	7	12	V
$U_{1/10}$	6	6	V
$U_{3/2}$	6	6	V
$U_{8/10}$	20	25	V
I_2	10	10	mA
$-I_5$	40	40	mA
$-I_8$	20	20	mA
I_{10}	10	10	mA
R_{thSU}	<300	<300	grd/W

Kenndaten des 1. Transistors ($T_U=25\text{ }^\circ\text{C}$)

		TAA 151	TAA 151 S	
Kollektor-Emitter-Spannung	$U_{8/1}$	>7	>12	V
Stromverstärkung ($U_{8/1}=1\text{ V}, I_B=1\text{ mA}$)	B	$80 (>30)$	$80 (>30)$	
Kollektor-Emitter-Restspannung ($I_B=10\text{ mA}, I_{10}=1\text{ mA}$)	$U_{8/1\text{ sat}}$	<1	<1	V
Rauschmaß ($U_{8/1}=5\text{ V}, I_B=100\text{ }\mu\text{A}, R_G=2\text{ k}\Omega, f=1\text{ kHz}$)	F	$2 (<10)$	$2 (<10)$	dB
Rauschmaß ($U_{8/1}=5\text{ V}, I_B=100\text{ }\mu\text{A}, R_G=2\text{ k}\Omega, f=30\text{ Hz bis }15\text{ kHz}$)	F	$6 (<10)$	$6 (<10)$	dB
Bezogen auf die angegebene Meßschaltung gelten folgende Werte	bei $\begin{cases} U_{\text{Batt}} \\ R_L \\ R_G \end{cases}$	7	12	V
		150	150	Ω
		2	2	$\text{k}\Omega$
Spannungsverstärkung $(V_u = \frac{U_a}{U_g}, f=1\text{ kHz})$	V_u	>70	>70	dB
Klirrfaktor ($U_{\text{Aeff}}=1\text{ V}, f=1\text{ kHz}$)	k	<5	<5	%

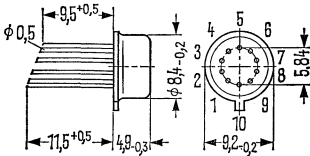
Meßschaltung



Fünfstufiger NF-Verstärker

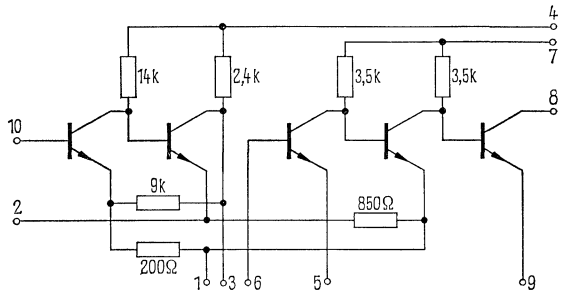
Der Kollektor der zweiten Stufe und die Basis der dritten Stufe sind bei diesem NF-Vorverstärker herausgeführt, damit eine Lautstärkeregelung und Entzerrung eingefügt werden kann. Die Eingangsstufe des Verstärkers ist besonders rauscharm ausgelegt.

Bauform



Gehäuse 5 J 10 DIN 41873
(ähnlich TO-100)
Gewicht etwa 1,1 g

Schaltbild



Grenzdaten

Betriebsspannung
Gesamtverlustleistung ($T_G=45^\circ\text{C}$)
Umgebungstemperatur im Betrieb
Sperrschichttemperatur
Lagertemperatur

Wärmewiderstand System – Luft
System – Gehäuse

	TAA 420	
U_{Batt}	12	V
P_{tot}	350	mW
T_U	-15 bis 80	$^\circ\text{C}$
T_j	150	$^\circ\text{C}$
T_S	-35 bis 125	$^\circ\text{C}$
R_{thSU}	300	grad/W
R_{thSG}	70	grad/W

Kenndaten ($T_U=25\text{ }^\circ\text{C}$, $U_{\text{Batt}}=7,5\text{ V}$, $f=1\text{ kHz}$)

Stromaufnahme

I_{Batt}	12	mA
-------------------	----	----

Eingangsteil (1. Teil)

Spannungsverstärkung

V_U	31	dB
-------	----	----

Klirrfaktor

K	< 4	%
-----	-----	---

($U_{\text{aeff}}=1\text{ V}$)

Eingangsimpedanz

Z_e	> 40	k Ω
-------	------	------------

Geräuschspannung

(auf den Eingang bezogen)

U_R	2	μV
	9	μV

$R_G = 1\text{ k}\Omega$ } nach
 $R_G = 18\text{ k}\Omega$ } DIN 45405

Grenzfrequenz

f_g	≥ 20	kHz
-------	-----------	-----

Ausgangsteil (2. Teil)

Spannungsverstärkung
(Schalter S geschlossen)

V_U	> 70	dB
-------	------	----

Spannungsverstärkung
(Schalter S offen)

V_U	29	dB
-------	----	----

Klirrfaktor

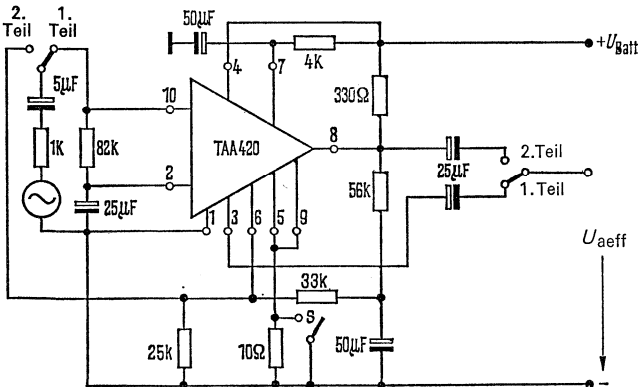
K	< 4	%
-----	-----	---

($U_{\text{aeff}}=2\text{ V}$, Schalter S offen)

Grenzfrequenz

f_g	≥ 20	kHz
-------	-----------	-----

Meßschaltung



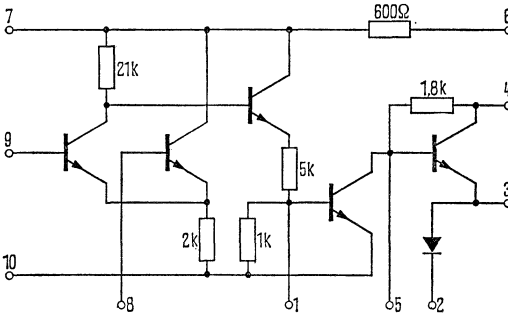
TAA 435

Bestellbezeichnung

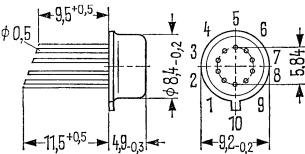
TAA 435: Q 67000-A81

NF-Verstärker (Vor- und Treiberstufe)

Schaltbild



Bauform



Gehäuse 5 J 10 DIN 41873
(ähnlich TO-100)

Gewicht etwa 1,1 g

Grenzdaten:

Betriebsspannung
Eingangsspannung
Ausgangsspannung

Treiberstrom
Gesamtverlustleistung ($T_U = 45^\circ\text{C}$)
Umgebungstemperatur im Betrieb
Sperrschichttemperatur
Lagertemperatur

TAA 435		
U_{Batt}	18	V
$-U_{9/10}$	5	V
$U_{4/10}$	24	V
$U_{3/10}$	20	V
I_4	70	mA
P_{tot}	400	mW
T_U	-25 bis 80	$^\circ\text{C}$
T_j	125	$^\circ\text{C}$
T_S	-35 bis 125	$^\circ\text{C}$

Wärmewiderstand System – Luft

R_{thSU}	<300	grd/W
-------------------	------	-------

TAA 435

Statische Kenndaten ($U_{\text{Batt}}=10$ bis 18 V, $T_U=25$ °C)

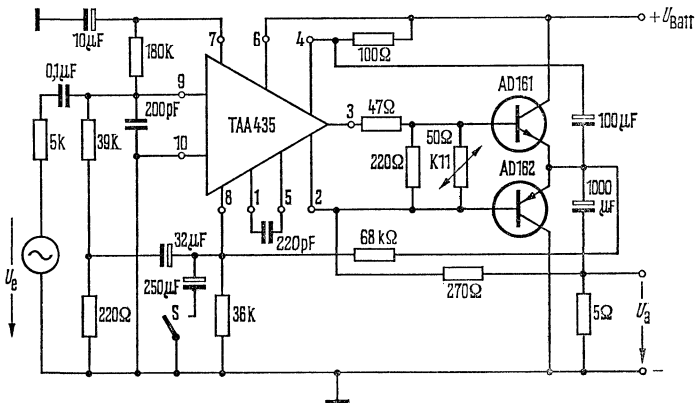
Diodendurchlaßspannung ($-I_2=30$ mA)
 Kollektor-Emitter-Spannung ($I_4=50$ mA)

$U_{3/2}$	0,8	V
$U_{4/3}$	<3,5	V

Dynamische Kenndaten ($T_U=25$ °C, $U_{\text{Batt}}=14$ V)

		Schalter S		
		offen	geschlossen	
Spannungsverstärkung	V_U	50 ¹⁾	80 ²⁾	dB
Eingangsimpedanz	Z_e	>70		k Ω
Rauschzahl ($f=60$ bis 10000 Hz)	F	6		dB
Ausgangsleistung ($k=10\%$)	P_a	≥ 4		W
Klirrfaktor ($P_a=1$ W)	k	≤ 1		%

Meßschaltung



- 1) Mit Gegenkopplung
- 2) Ohne Gegenkopplung.

Kenndaten ($T_U=25\text{ °C}$)

Funktionsbereich	U_{Batt}	4,5 bis 11	V
AM-Betrieb ($f_Z=460\text{ KHz}$; $U_{\text{Batt}}=5\text{ V}$)			
Gesamtstromaufnahme (ohne Signal)	I_{Batt}	3,6	mA
Kollektorstrom Tr 3 (ohne Signal)	I_6	2	mA
Stabilisierte Spannung	$U_{9/M}$	2,8 (2,6 bis 3,2)	V
Spannungsverstärkung	V_u	80	dB
Regelumfang	ΔV_u	50	dB
Regeleinsatzspannung ¹⁾	U_e	50	μV
Richtspannung ($U_e=50\text{ }\mu\text{V}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	$-U_{\text{Richt}}$	200 (>100)	mV
NF-Ausgangsspannung ($U_e=50\text{ }\mu\text{V}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	U_{NF}	120	mV
Eingangsspannung für Übersteuerungsbeginn	$U_{\ddot{U}}$	15	mV
AM-Betrieb ($f_Z=460\text{ KHz}$; $U_{\text{Batt}}=9\text{ V}$)			
Gesamtstromaufnahme (ohne Signal)	I_{Batt}	6	mA
Kollektorstrom Tr 3 (ohne Signal)	I_6	2	mA
Stabilisierte Spannung	$U_{9/M}$	2,9 (2,6 bis 3,2)	V
Spannungsverstärkung	V_u	90	dB
Regelumfang	ΔV_u	60	dB
Regeleinsatzspannung ¹⁾	U_e	15	μV
Richtspannung ($U_e=15\text{ }\mu\text{V}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	$-U_{\text{Richt}}$	200 (>100)	mV
NF-Ausgangsspannung ($U_e=15\text{ }\mu\text{V}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	U_{NF}	120	mV
Eingangsspannung für Übersteuerungsbeginn	$U_{\ddot{U}}$	25	mV
Klirrfaktor ($U_e=15\text{ mV}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	k	<10	%
NF-Ausgangsspannung ($U_e=15\text{ mV}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	U_{NF}	300	mV
Basisstrom Tr 6 ($U_e=15\text{ mV}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	I_3	<30	μA
Eingangsimpedanz ($U_e=50\text{ }\mu\text{V}$)	Z_e	1250/100	Ω/pF
FM-Betrieb ($f_Z=10,7\text{ MHz}$, $U_{\text{Batt}}=5\text{ V}$, $\Delta f=75\text{ kHz}$, $f_{\text{mod}}=1\text{ kHz}$)			
Spannungsverstärkung	V_u	76	dB
Eingangsspannung für Begrenzungseinsatz ²⁾	U_e	300	μV
NF-Ausgangsspannung	U_{NF}	200	mV
FM-Betrieb ($f_Z=10,7\text{ MHz}$, $U_{\text{Batt}}=9\text{ V}$, $\Delta f=75\text{ kHz}$, $f_{\text{mod}}=1\text{ kHz}$)			
Spannungsverstärkung	V_u	86	dB
Eingangsspannung für Begrenzungseinsatz ²⁾	U_e	225	μV
NF-Ausgangsspannung ($U_E=100\text{ mV}$)	U_{NF}	300	mV
AM-Unterdrückungsfaktor ($m=30\%$)	$U_{\text{FM}}/U_{\text{AM}}$	50	dB
Eingangsimpedanz ($U_e=2\text{ mV}$)	Z_e	150/70	Ω/pF

1) Als Regeleinsatz gilt die Eingangsspannung bei der $\frac{\Delta U_e}{\Delta U_{\text{NF}}} = \frac{10}{3}$ dB ist.

2) Als Begrenzungseinsatz gilt die Eingangsspannung, bei der die NF-Ausgangsspannung um 3 dB abfällt; Bezugspotential ist dabei $U_e=100\text{ mV}$.

Bestellbezeichnungen

TAA 991 : Q 67000-A150

TAA 991 D : Q 67000-A289

TAA 991
TAA 991 D

AM/FM-ZF-Verstärker

Kombinierter AM/FM-ZF-Verstärker für den Einsatz in Rundfunkempfängern. Die Schaltung eignet sich sowohl für batterie- als auch für netzgespeiste Geräte. Eine zusätzlich zur Verfügung stehende Regelspannung (Anschluß 8) ermöglicht die Regelung einer HF-Vorstufe.

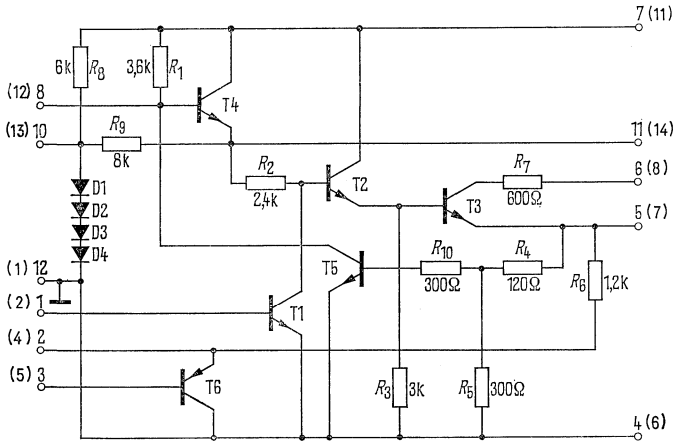
Gute Regeleigenschaften im AM-Betrieb

Gute Begrenzungseigenschaften im FM-Betrieb

Geringe Stromaufnahme

Geringe Betriebsspannungsabhängigkeit

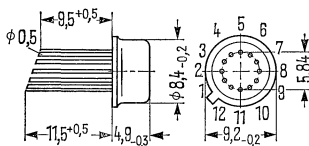
Schaltbild



Anschlüsse in Klammern gelten für TAA 991 D

Bauformen

TAA 991



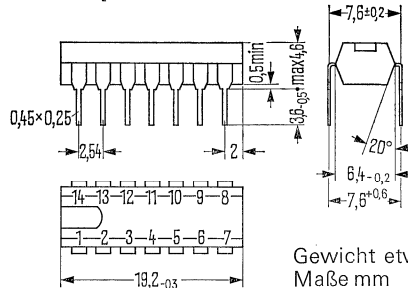
Gehäuse 5 J 12 DIN 41873

(ähnlich TO-101)

Gewicht etwa 1,2 g

Für Neuentwicklungen gesperrt!

TAA 991 D



Gewicht etwa 1,1g
Maße mm

Grenzdaten

Betriebsspannung
Umgebungstemperatur im Betrieb
Lagertemperatur

TAA 991, TAA 991 D		
U_{Batt}	11	V
T_U	-15 bis 80	°C
T_S	-30 bis 125	°C

TAA 991 TAA 991 D

Kenndaten ($T_U=25\text{ }^\circ\text{C}$)

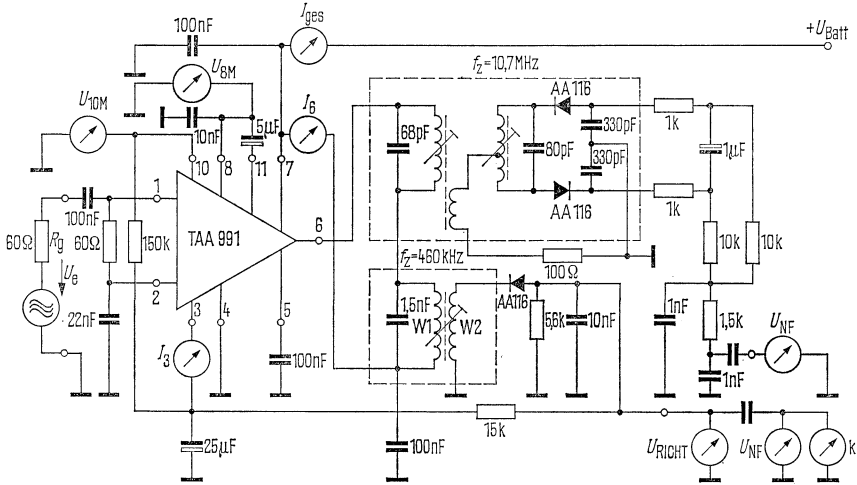
Funktionsbereich	U_{Batt}	4,5 bis 11	V
AM-Betrieb ($f_z=460\text{ KHz}$, $U_{\text{Batt}}=5\text{ V}$)			
Gesamtstromaufnahme (ohne Signal)	I_{Batt}	3,6	mA
Kollektorstrom Tr 3 (ohne Signal)	I_6	2	mA
Stabilisierte Spannung	$U_{9/\text{M}}$	2,8 (2,6 bis 3,2)	V
Spannungsverstärkung	V_u	80	dB
Regelumfang	ΔV_u	50	dB
Regeleinsatzspannung ¹⁾	U_e	50	μV
Richtspannung ($U_e=50\text{ }\mu\text{V}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	$-U_{\text{Richt}}$	200 (>100)	mV
NF-Ausgangsspannung ($U_e=50\text{ }\mu\text{V}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	U_{NF}	120	mV
Eingangsspannung für Übersteuerungsbeginn	$U_{\text{Ü}}$	15	mV
AM-Betrieb ($f_z=460\text{ KHz}$, $U_{\text{Batt}}=9\text{ V}$)			
Gesamtstromaufnahme (ohne Signal)	I_{Batt}	6	mA
Kollektorstrom Tr 3 (ohne Signal)	I_6	2	mA
Stabilisierte Spannung	$U_{9/\text{M}}$	2,9 (2,6 bis 3,2)	V
Spannungsverstärkung	V_u	90	dB
Regelumfang	ΔV_u	60	dB
Regeleinsatzspannung ¹⁾	U_e	15	μV
Richtspannung ($U_e=15\text{ }\mu\text{V}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	$-U_{\text{Richt}}$	200 (>100)	mV
NF-Ausgangsspannung ($U_e=15\text{ }\mu\text{V}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	U_{NF}	120	mV
Eingangsspannung für Übersteuerungsbeginn	$U_{\text{Ü}}$	25	mV
Klirrfaktor ($U_e=15\text{ mV}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	k	<10	%
NF-Ausgangsspannung ($U_e=15\text{ mV}$; $f_{\text{mod}}=1\text{ KHz}$; $m=80\%$)	U_{NF}	300	mV
Basisstrom Tr 6 ($U_e=15\text{ mV}$; $f_{\text{mod}}\ll 1\text{ KHz}$; $m=80\%$)	I_3	<30	μA
Eingangsspannung für Einsatz der Vorstufenregelung	U_e	1	mV
Vorstufenregelspannung ($U_e\leq 200\text{ }\mu\text{V}$)	$U_{8\text{M}}$	>2,8	V
Vorstufenregelspannung ($U_e\geq 3\text{ mV}$)	$U_{8\text{M}}$	<0,5	V
Eingangsimpedanz ($U_e=50\text{ }\mu\text{V}$)	Z_e	1250/100	Ω/pF
FM-Betrieb ($f_z=10,7\text{ MHz}$, $U_{\text{Batt}}=5\text{ V}$, $\Delta f=75\text{ kHz}$, $f_{\text{mod}}=1\text{ kHz}$)			
Spannungsverstärkung	V_u	76	dB
Eingangsspannung für Begrenzungseinsatz ²⁾	U_e	300	μV
NF-Ausgangsspannung	U_{NF}	200	mV
FM-Betrieb ($f_z=10,7\text{ MHz}$, $U_{\text{Batt}}=9\text{ V}$, $\Delta f=75\text{ kHz}$, $f_{\text{mod}}=1\text{ kHz}$)			
Spannungsverstärkung	V_u	86	dB
Eingangsspannung für Begrenzungseinsatz ²⁾	U_e	225	μV
NF-Ausgangsspannung ($U_E=100\text{ mA}$)	U_{NF}	300	mV
AM-Unterdrückungsfaktor ($m=30\%$)	$U_{\text{FM}}/U_{\text{AM}}$	50	dB
Eingangsimpedanz ($U_e=2\text{ mV}$)	U_e	150/70	Ω/pF

1) Als Regeleinsatz gilt die Eingangsspannung, bei der $\frac{\Delta U_e}{\Delta U_{\text{NF}}} = \frac{10}{3}$ dB ist.

2) Als Begrenzungseinsatz gilt die Eingangsspannung, bei der die NF-Ausgangsspannung um 3 dB abfällt; Bezugspotential ist dabei $U_e=100\text{ mV}$.

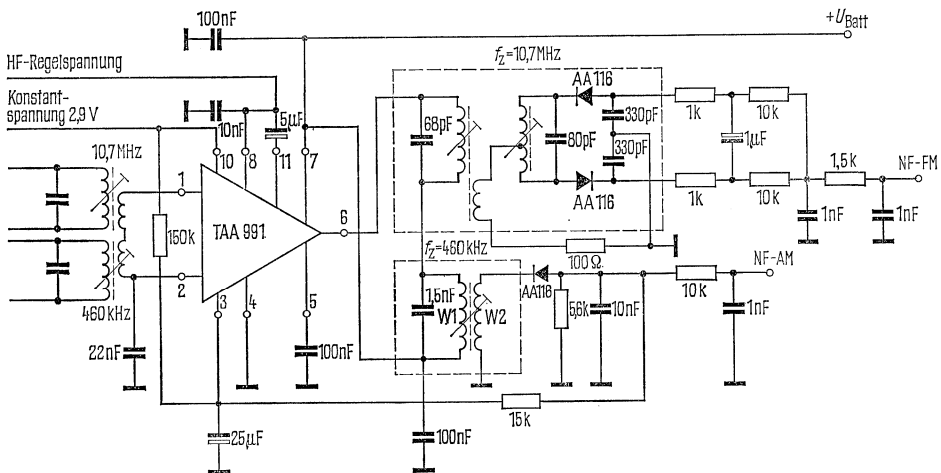
TAA 991 TAA 991 D

Meßschaltung



$W_1 = 77$ HF-Litze $12 \times 0,04$ CuI
 $W_2 = 55$ HF-Litze $12 \times 0,04$ CuI

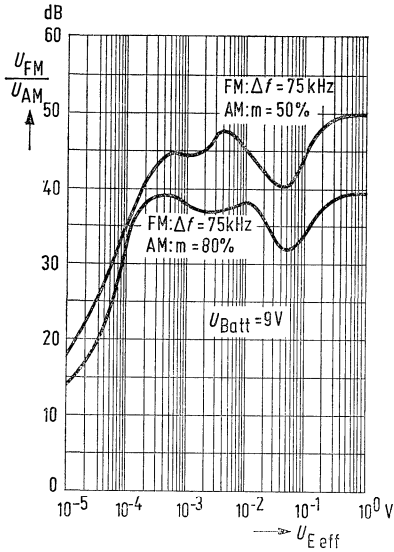
Anwendungsschaltung



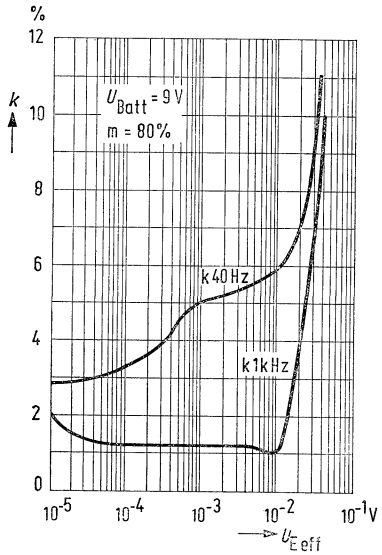
$W_1 = 77$ HF-Litze $12 \times 0,04$ CuI
 $W_2 = 55$ HF-Litze $12 \times 0,04$ CuI

TAA 991 TAA 991 D

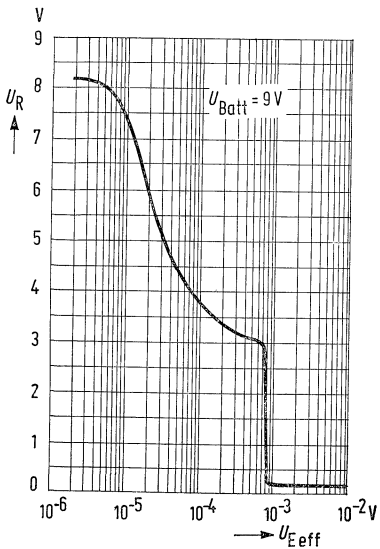
AM-Unterdrückung $\frac{U_{FM}}{U_{AM}} = f(U_E)$



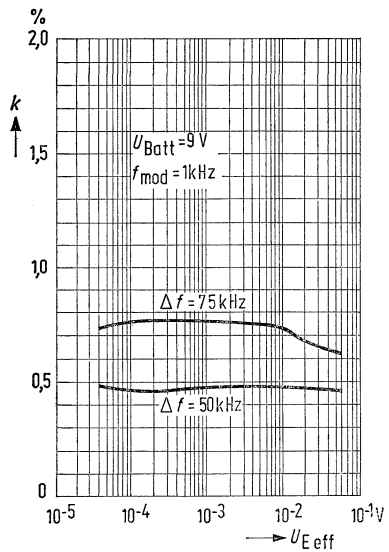
Klirrfaktor $k = f(U_E)$



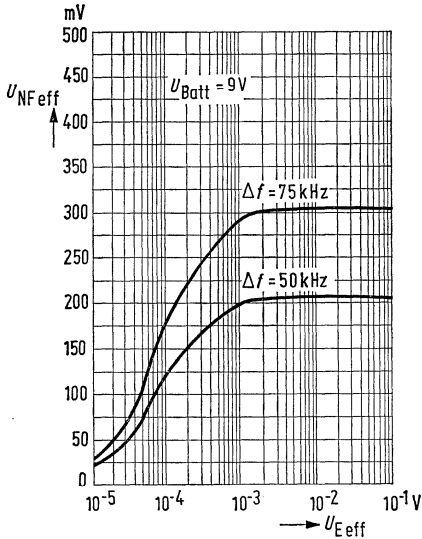
Regelspannung $U_R = f(U_E)$



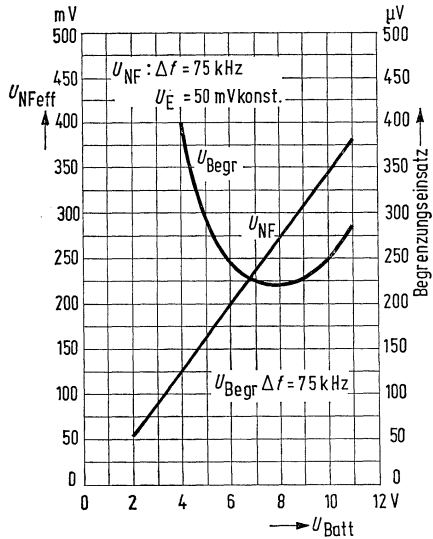
Klirrfaktor $k = f(U_{E\text{eff}})$



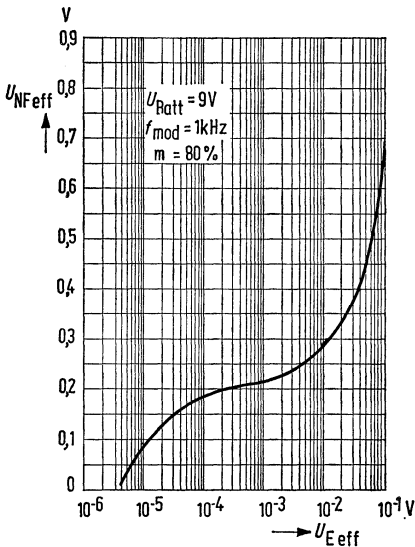
FM-Betrieb ($f_{ZF}=10,7\text{ MHz}$)
NF-Ausgangsspannung $U_{NF}=f(U_E)$



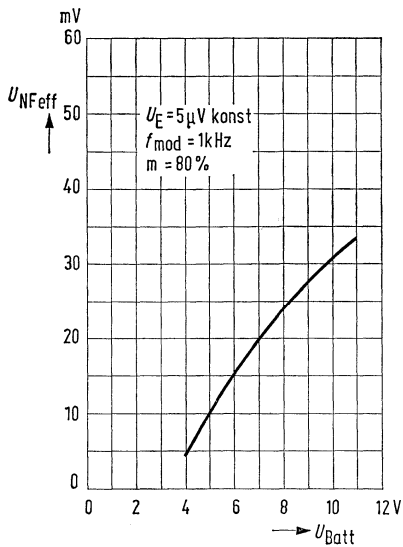
NF-Ausgangsspannung $U_{NF}=f(U_{Batt})$
Begrenzungseinsatz $U_{Begr}=f(U_{Batt})$



NF-Ausgangsspannung $U_{NF}=f(U_E)$



NF-Ausgangsspannung $U_{NF\text{eff}}=f(U_{Batt})$



TBA120 TBA120A

Bestellbezeichnungen

TBA 120: Q 67000-A151

TBA 120A: Q 67000-A175

FM-ZF-Verstärker und Demodulator

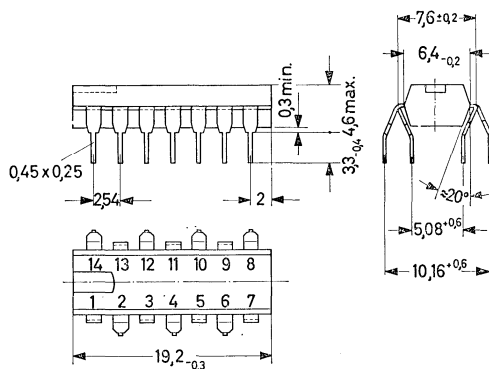
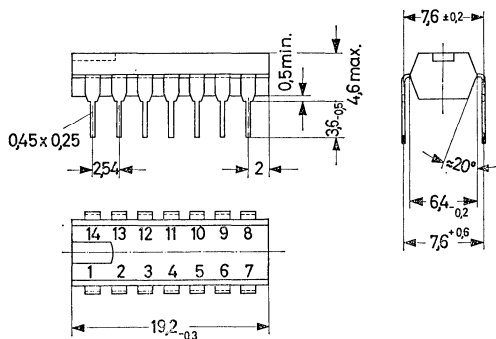
Symmetrischer, sechsstufiger Verstärker mit symmetrischem Koinzidenzdemodulator zur Verstärkung, Begrenzung und Demodulation von frequenzmodulierten Signalen. Besonders geeignet für Rundfunkempfänger und Ton-ZF-Teil in Fernsehgeräten. Die Schaltungen sind als Begrenzerverstärker, als gesteuerte Demodulatoren bzw. Modulatoren oder Mischer mit guter Unterdrückung der Eingangsfrequenzen verwendbar.

Hervorragende Begrenzungseigenschaften
Sehr gute Frequenzkonstanz der Wandlerkennlinie
Großer Betriebsspannungsbereich (5 bis 15 V)
Kleiner äußerer Schaltungsaufwand (z. B. an Siebkondensatoren)

Bauformen:

TBA 120
(DIP 14)

TBA 120 A
(QIL 14)



Grenzdaten

Betriebsspannung
Funktionsbereich
Frequenzbereich
Umgebungstemperatur im Betrieb
Lagertemperatur

	TBA 120, TBA 120A	
U_{Batt}	15	V
U_{Batt}	5 bis 15	V
f	0 bis 35	MHz
T_U	-15 bis +70	°C
T_S	-35 bis +125	°C

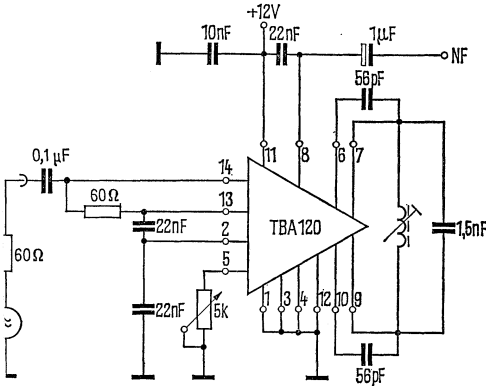
TBA 120 TBA 120A

Kenndaten ($T_U=25\text{ °C}$, $U_{\text{Batt}}=12\text{ V}$)

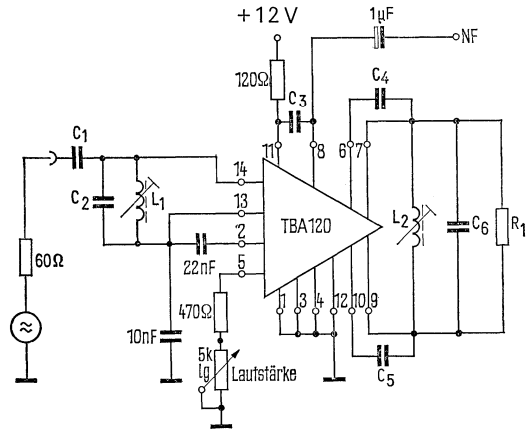
		min	typ	max	Einheit
Gesamtstromaufnahme	I_{Batt}	12,5	16,5	20,5	mA
ZF-Spannungsverstärkung ($f=5,5\text{ MHz}$)	V_u		60		dB
ZF-Ausgangsspannung bei Begrenzung je Ausgang	U_{ass}		240		mV
U_{NF} -Ausgangsspannung ($f=5,5\text{ MHz}$, $\Delta f=\pm 25\text{ kHz}$, $U_e=10\text{ mV}$, $f_{\text{mod}}=1\text{ kHz}$, $Q_B\approx 45$)	U_{NFeff}		0,85		V
U_{NF} -Ausgangsspannung ($f=5,5\text{ MHz}$, $\Delta f=\pm 50\text{ kHz}$, $U_e=10\text{ mV}$, $f_{\text{mod}}=1\text{ kHz}$, $Q_B\approx 45$)	U_{NFeff}	1,2	1,7		V
Klirrfaktor ($f=5,5\text{ MHz}$, $\Delta f=\pm 25\text{ kHz}$, $U_e=10\text{ mV}$, $f_{\text{mod}}=1\text{ kHz}$, $Q_Z\approx 45$)	K		1,8	3	%
Eingangsspannung für Begrenzungseinsatz ($f=5,5\text{ MHz}$, $\Delta f=\pm 50\text{ kHz}$, $f_{\text{mod}}=1\text{ kHz}$, $Q\approx 45$)	U_{Begr}		50	100	μV
Eingangsimpedanz ($f=5,5\text{ MHz}$)	Z_E		15/7,8		k Ω /pF
Eingangsimpedanz ($f=10,7\text{ MHz}$)	Z_E		7,2/6,2		k Ω /pF
Ausgangswiderstand (Anschluß 8)	R_A	1,9	2,6	3,3	k Ω
Regelhub der Lautstärkeregelung	$\frac{U_{\text{NFmax}}}{U_{\text{NFmin}}}$		60		dB
Gleichspannungsanteil des Ausgangssignals ($U_e=0$)	U_8	6,1	7,3	8,6	V
AM-Unterdrückung ($f=5,5\text{ MHz}$, $U_e=10\text{ mV}$, $m=30\%$, $f_{\text{mod}}=1\text{ kHz}$, $\Delta f=\pm 50\text{ kHz}$)	a_{AM}		55		dB

TBA120 TBA120A

Meßschaltung



Empfohlene Anwendungsschaltung



Bauelementedaten für verschiedene Anwendungen

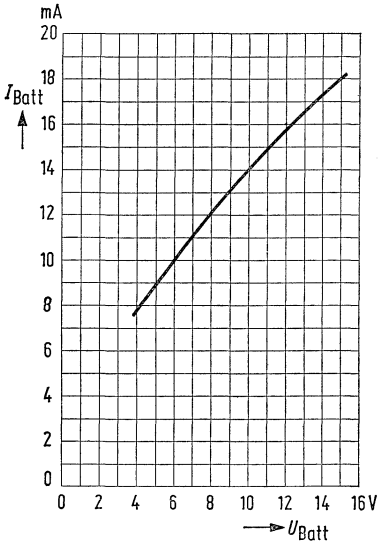
	Ton-ZF in FS Geräten	FM-ZF in Rundfunkgeräten	
	5,5 MHz	10,7 MHz Mono	10,7 MHz Stereo
C_1	47 pF	27 pF	47 pF
C_2	220 pF	120 pF	150 pF
C_3	22 nF	22 nF	470 pF
C_4	56 pF	27 pF	30 pF
C_5	56 pF	27 pF	30 pF
C_6	1,5 nF	470 pF	330 pF
L_1	20 Wdg	20 Wdg	15 Wdg
L_2	8 Wdg	8 Wdg	12 Wdg
R_1	∞	∞	1 k Ω

Eine kapazitive Abblockung der Betriebsspannungszuführung am Anschluß 11 ist entbehrlich. Der Kondensator 22 nF zwischen Anschluß 8 und 11 bildet zusammen mit dem integrierten Widerstand R 30 die De-Emphasis und kann bei Bedarf verkleinert werden.

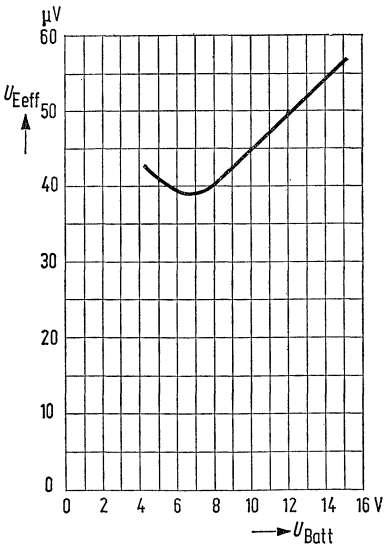
Der Höckerabstand der S-Kurve wird mit der Güte des Phasenschieberkreises eingestellt. Der Nulldurchgang entspricht der Resonanzfrequenz. Die beiden gleichgroßen Koppelkondensatoren zwischen den Anschlüssen 6 und 7 bzw. 9 und 10 werden zweckmäßig so bemessen, daß je ca. 250 mV_{SS} am Schwingkreis bei Resonanz stehen.

TBA 120 TBA 120A

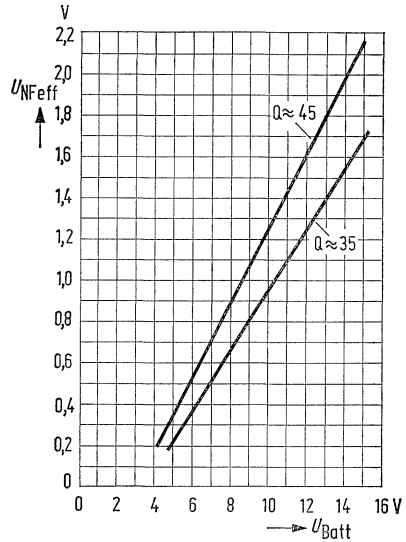
Stromaufnahme $I_{\text{Batt}} = f(U_{\text{Batt}})$



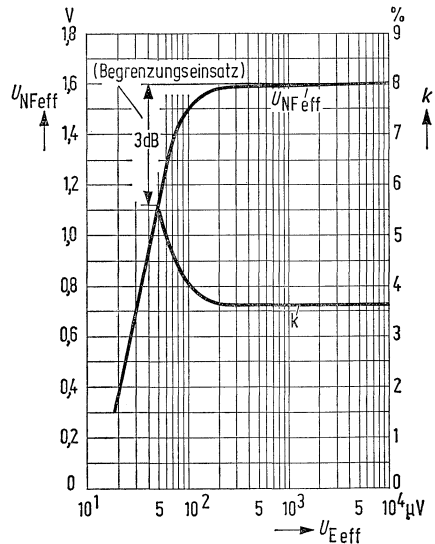
Begrenzungseinsatz $U_{\text{Begr}} = f(U_{\text{Batt}})$
 $f = 5,5 \text{ MHz}, \Delta f = \pm 50 \text{ kHz}, f_{\text{mod}} = 1 \text{ kHz},$
 $Q \sim 45$



NF-Ausgangsspannung $U_{\text{NFeff}} = f(U_{\text{Batt}})$
 $f = 5,5 \text{ MHz}, \Delta f = \pm 50 \text{ kHz}, f_{\text{mod}} = 1 \text{ kHz},$
 $U_{\text{Eeff}} = 10 \text{ mV}, U_{\text{NF}} \sim Q (U_{\text{Batt}} - 4 \text{ V})$

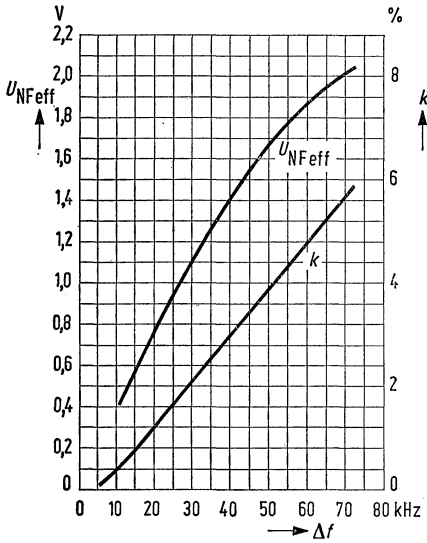


NF-Ausgangsspannung $U_{\text{NFeff}} = f(U_{\text{Eeff}})$
 Klirrfaktor $k = f(U_{\text{Eeff}})$
 $U_{\text{Batt}} = 12 \text{ V}, f = 5,5 \text{ MHz}, \Delta f = \pm 50 \text{ kHz},$
 $f_{\text{mod}} = 1 \text{ kHz}, Q \sim 45$

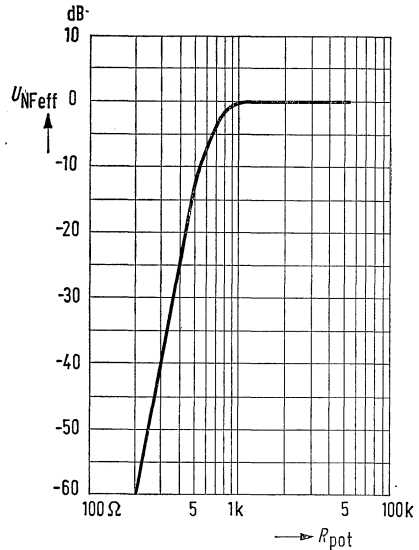


TBA 120 TBA 120A

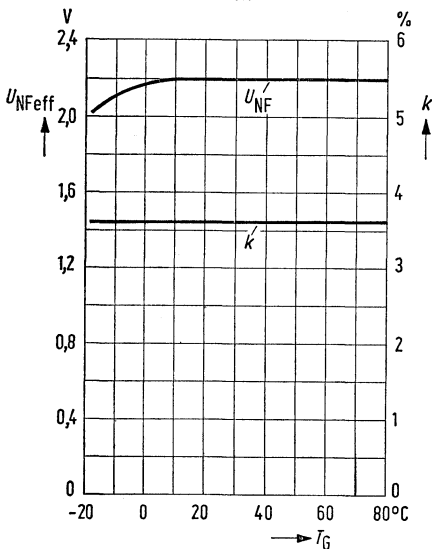
NF-Ausgangsspannung $U_{NF\text{eff}} = f(\Delta f)$
 Klirrfaktor $k = f(\Delta f)$
 $U_{\text{Batt}} = 12 \text{ V}$, $f = 5,5 \text{ MHz}$, $f_{\text{mod}} = 1 \text{ kHz}$
 $U_{\text{Eeff}} = 10 \text{ mV}$, $Q \sim 45$



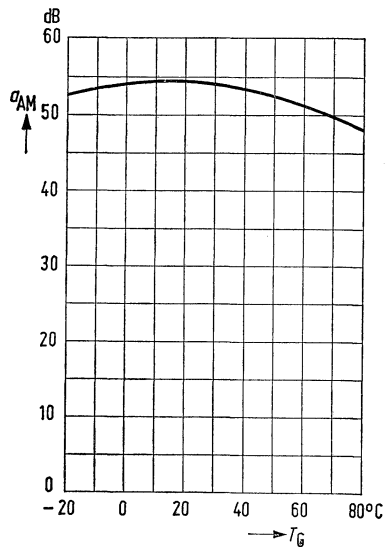
Lautstärkeregelung $\Delta U_{NF} = f(R_{\text{pot}})$
 $U_{\text{Batt}} = 12 \text{ V}$, $f = 5,5 \text{ MHz}$, $\Delta f = \pm 50 \text{ kHz}$,
 $f_{\text{mod}} = 1 \text{ kHz}$, $U_{\text{Eeff}} = 10 \text{ mV}$, $Q \sim 45$,
 $R_V = 470 \Omega$



NF-Ausgangsspannung $U_{NF\text{eff}} = f(T_G)$
 Klirrfaktor $k = f(T_G)$
 $U_{\text{Batt}} = 15 \text{ V}$, $f = 5,5 \text{ MHz}$, $\Delta f = \pm 50 \text{ kHz}$,
 $f_{\text{mod}} = 1 \text{ kHz}$, $U_{\text{Eeff}} = 10 \text{ mV}$, $Q \sim 45$

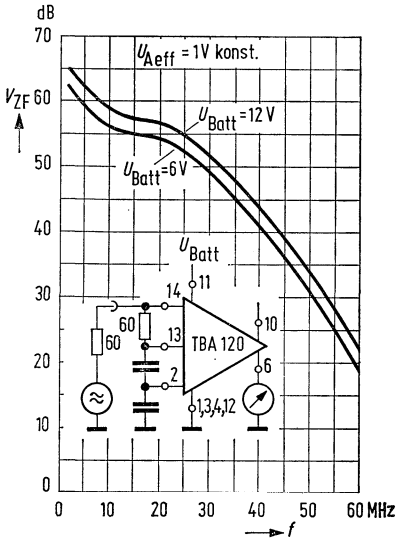


AM-Unterdrückung $a_{AM} = f(T_G)$
 $U_{\text{Batt}} = 12 \text{ V}$, $f = 5,5 \text{ MHz}$, $f_{\text{mod}} = 1 \text{ kHz}$,
 $m = 30\%$, $U_{\text{Eeff}} = 10 \text{ mV}$, $Q \sim 45$

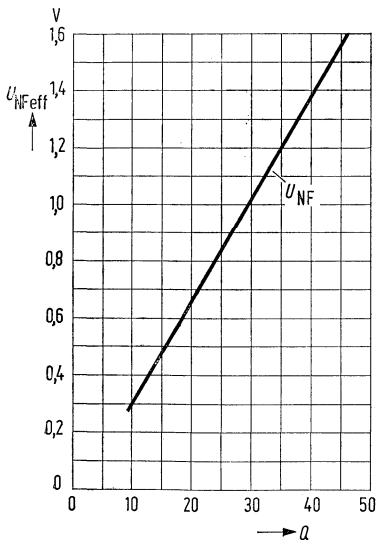


TBA120 TBA120A

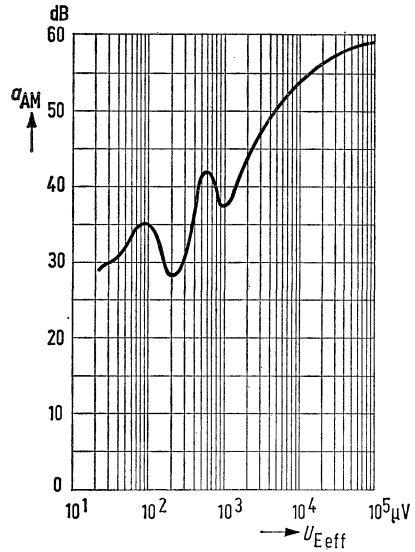
ZF-Verstärkung $V_{ZF} = f(f)$



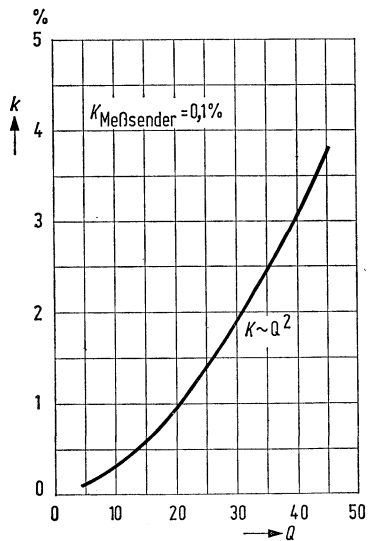
NF-Ausgangsspannung $U_{NF} = f(Q)$
 $U_{Batt} = 12V, f = 5,5 MHz, \Delta f = \pm 50 kHz,$
 $f_{mod} = 1 kHz, U_{Eeff} = 10 mV, U_{NF} \sim Q$
 $(U_{Batt} = 4V)$



AM-Unterdrückung $\alpha_{AM} = f(U_{Eeff})$
 $U_{Batt} = 12V, f = 5,5 MHz, \Delta f = \pm 50 kHz,$
 $f_{mod} = 1 kHz, m = 30\%, Q \sim 45$



Klirrfaktor $k = f(Q)$
 $U_{Batt} = 12V, f = 5,5 MHz, \Delta f = \pm 50 kHz,$
 $f_{mod} = 1 kHz, U_{Eeff} = 10 mV$



Bestellbezeichnung

TBA 400: Q67000-A228

TBA 400

Regelbarer Breitband-Verstärker

Regelbarer, dreistufiger, monolithisch integrierter Breitbandverstärker mit symmetrischen Ein- und Ausgang, besonders geeignet als Video-ZF-Verstärker in Fernsehgeräten:

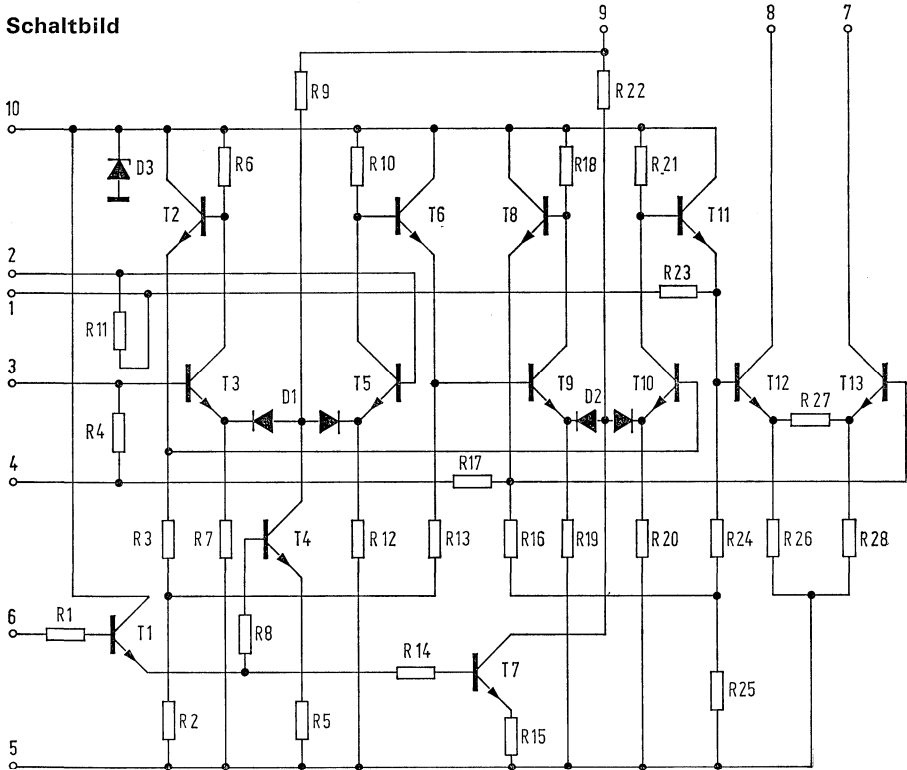
75 dB Verstärkung, 60 dB Regelumfang.

Sehr gute Linearität der Verstärkung über den gesamten Regelbereich.

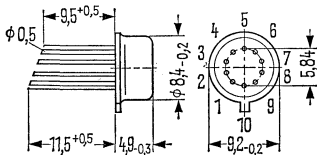
Verzerrungsfreie Verarbeitung von Eingangssignalen bis 240 mV_{eff}.

Rauschzahl bei 30 dB Abregelung typ 8 dB.

Schaltbild



Bauform



Gehäuse 5 J 10 DIN 41873
ähnlich (TO-100)
Gewicht 1,1 g.

TBA 400

Grenzdaten

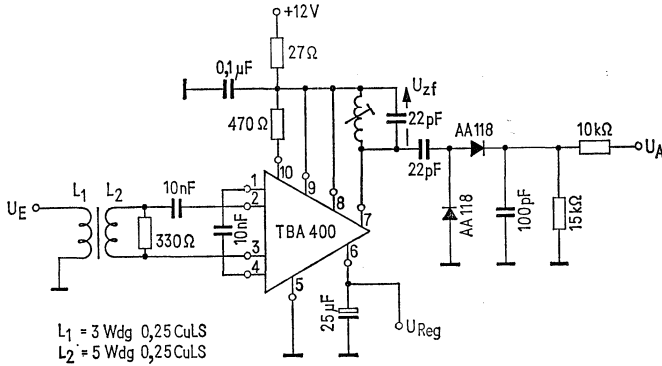
Betriebsspannung
 Regelstrom
 Umgebungstemperatur im Betrieb
 Lagertemperatur
 Dauerverlustleistung
 Funktionsbereich
 Frequenzbereich

TBA 400		
U_{Batt}	14	V
I_6	1	mA
T_U	-15 bis +80	°C
T_S	-35 bis +125	°C
P_{tot}	400	mW
U_{Batt}	7 bis 14	V
f	0 bis 200	MHz

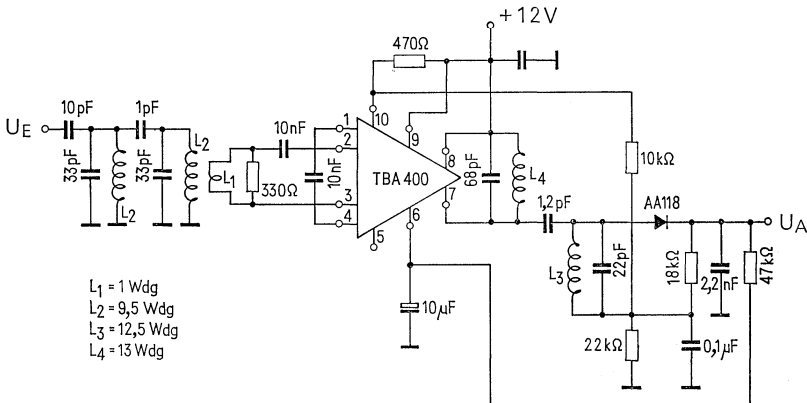
Kenndaten ($U_{\text{Batt}}=12\text{ V}$, $T_U=25\text{ °C}$)

		min	typ	max	Einheit
Gesamtstromaufnahme	I_{Batt}		25	32	mA
Ausgangsströme	I_7, I_8	2,7	4,5	6,3	mA
Ausgangsstromdifferenz ($U_R=0$)	I_7-I_8		0,4	0,9	mA
Ausgangsstromdifferenz ($U_R=4$)	I_7-I_8		0,5	1,6	mA
Regelspannung ($V_{U_{\text{max}}}$)	U_6			1	V
Regelspannung ($V_{U_{\text{min}}}$)	U_6	4,0			V
Regelstrom ($V_{U_{\text{min}}}$, $U_{\text{Reg}}=4\text{ V}$)	I_6			33	µA
Eingangsimpedanz ($V_{\text{max}} f=36\text{ MHz}$)	Z_E		0,33/17		kΩ/pF
Eingangsimpedanz ($V_{\text{min}} f=36\text{ MHz}$)	Z_E		1,5/0		kΩ/pF
Ausgangsspannung ($f=36\text{ MHz}$, $U_R \leq 1\text{ V}$ [V_{max}] $U_E=120\text{ µV}$)	U_{Aeff}	1,1	2,0		V
Ausgangsspannung ($f=36\text{ MHz}$, $U_R=4\text{ V}$ [V_{min}], $f_{\text{mod}}=1\text{ kHz}$, $m=80\%$, $k=5\%$)	U_{Aeff}		2,9		V
Eingangsspannung ($f=36\text{ MHz}$, $U_R \leq 4\text{ V}$ [V_{min}], $f_{\text{mod}}=1\text{ kHz}$, $m=80\%$, $k=5\%$)	$U_{E \text{ max eff}}$		240		mV
Spannungsverstärkung ($f_m=36\text{ MHz}$, $Q_B=9$)	$\frac{U_{\text{Aeff}}}{U_{\text{Eeff}}}$		75		dB
Spannungsverstärkung	$\frac{U_{\text{Video ss}}}{U_{\text{Eeff}}}$		73		dB
Regelumfang ($f=33\text{ bis }40\text{ MHz}$)	$\frac{V_{U_{\text{max}}}}{V_{U_{\text{min}}}}$	55	60		dB

Meßschaltung

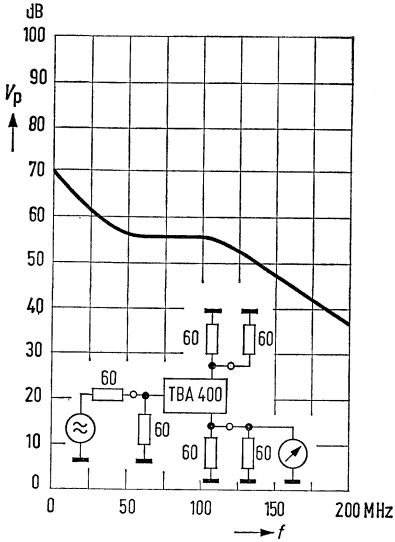


Anwendungsschaltung für 39,4 MHz

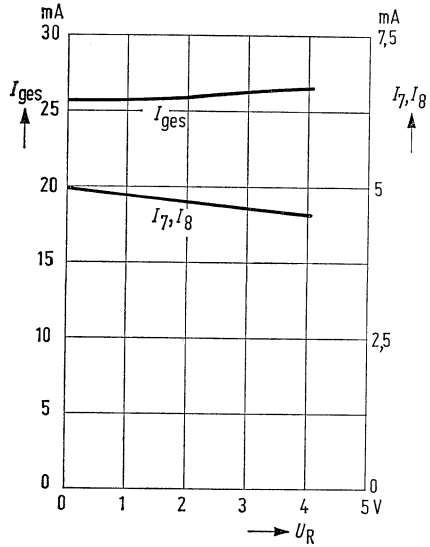


TBA 400

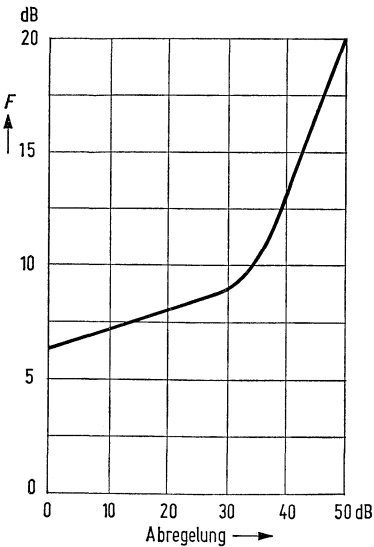
Leistungsverstärkung $V_p = f(f)$
 $U_{\text{Batt}} = 12 \text{ V}$, $f = 36 \text{ MHz}$, $U_A = 16 \text{ mV}$ constant



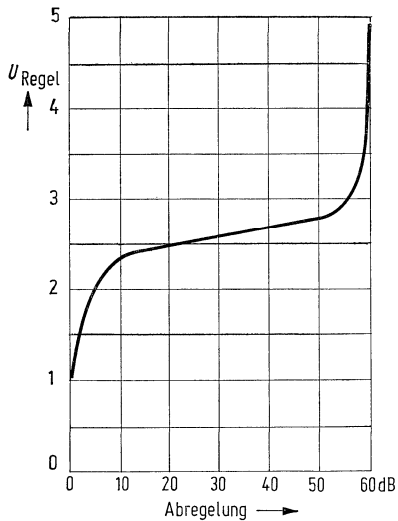
Gesamtstromaufnahme $I_{\text{ges}} = f(U_R)$
 Ausgangsströme $I_7/I_8 = f(U_R)$
 $U_{\text{Batt}} = 12 \text{ V}$



Rauschen $F = f(\text{Abregelung})$
 $U_{\text{Batt}} = 12 \text{ V}$, $f = 36 \text{ MHz}$



Regelcharakteristik $U_{\text{Regel}} = f(\text{Abregelung})$
 $U_{\text{Batt}} = 12 \text{ V}$, $f = 36 \text{ MHz}$



Bestellbezeichnung

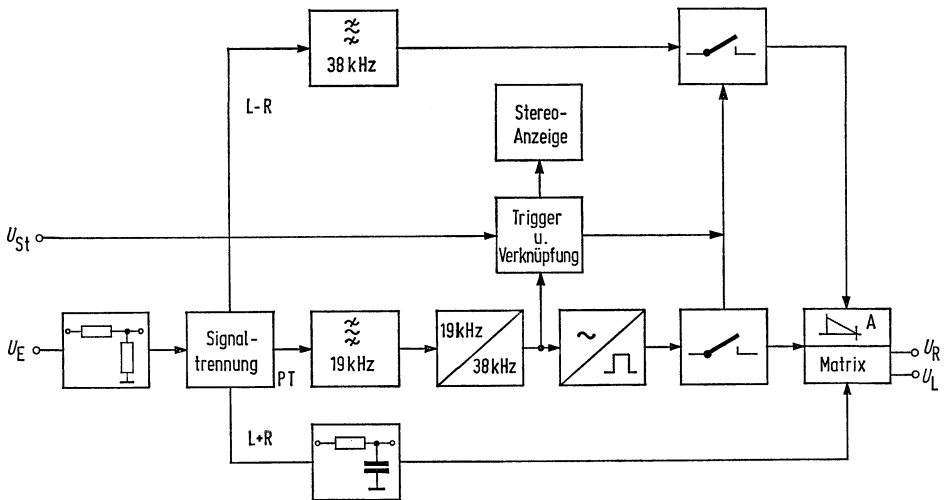
TBA450: Q62702-A283

TBA450

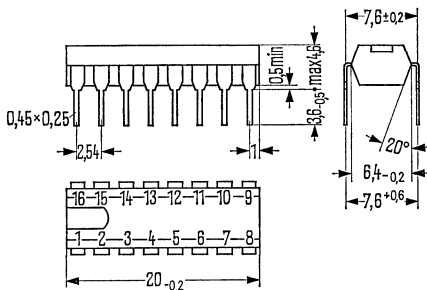
Stereodecoder

Integrierter Stereodecoder nach dem Matrix-Verfahren. Automatische Mono-Stereo-Umschaltung und eine Stereo-Mono-Umschaltung per Hand (Zwangsmo). Anzeigelampentreiber bis 100 mA.

Blockschaltbild



Bauform



Gewicht etwa 1,2 g
Maße mm

TBA 450

Grenzdaten

Betriebsspannung	U_{Batt}	18	V
Schaltspannung	U_5	3	V
Strom für Stereoanzeige	I_3	100	mA
Gesamtverlustleistung	P_{tot}	650	mW
Lagertemperatur	T_S	-35 bis 125	°C
Umgebungstemperatur im Betrieb	T_u	0 bis 70	°C

Kenndaten ($T_u=25\text{ °C}$, $U_{\text{Batt}}=15\text{ V}$)

Funktionsbereich	U_{Batt}	4,5 bis 18 ¹⁾	V
Gesamtstromaufnahme	I_{Batt}	24	mA
Eingangswiderstand	R_E	50	k Ω
Ausgangswiderstand pro Kanal	R_A	1,7 oder 4,5 ¹⁾	k Ω
Spannungsverstärkung	V_u	0 oder 11 ¹⁾	dB
Verhältnis von $\frac{U_A}{U_E}$ für Stereo-Mono-Umschaltung	A	3	dB
Klirrfaktor ($U_{\text{Ass}}=0,3$; $f_{\text{NF}}=1\text{ kHz}$)	K	< 0,5	%
Übersprechdämpfung ($f_{\text{NF}}=6,3\text{ kHz}$)	a_u	> 30	dB
($f_{\text{NF}}=10\text{ kHz}$)		> 26	dB
MPX Eingangsspannung ($f_{\text{NF}}=15\text{ kHz}$)	U_{Ess}	< 2	V
Steuerspannungen für die Umschaltung von:			
Mono auf Stereo	U_5	> 0,9	V
Stereo auf Mono	U_5	< 0,65	V

1) je nach Ausführung.

Bestellbezeichnung

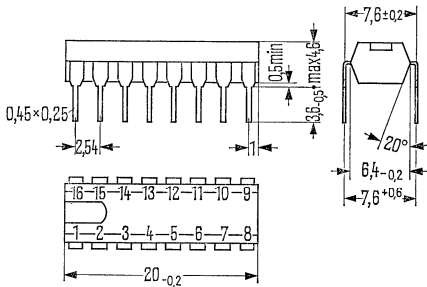
TBA 460: Q 62702-A284

AM/FM-ZF- und NF-Verstärker

Kombinierter AM/FM-ZF-Verstärker mit NF-Vorverstärker, hoher Integrationsgrad sowie ausgezeichnete Daten der beiden Verstärker ermöglichen einen universiellen Einsatz in batterie- und netzgespeisten Empfängern.

- HF-Teil: gute Regeleigenschaften im AM-Betrieb
- gute Begrenzungseigenschaften im FM-Betrieb
- NF-Teil: guter Frequenzgang 30 Hz ... 70 kHz
- hoher Treiberstrom 130 mA, P_A (mit AD 161 AD 162) 10 W
- kleiner Klirrfaktor bis 8 W $k < 1\%$

Bauform



Gewicht etwa 1,2 g
Maße in mm

Grenzdaten

- Betriebsspannung ZF-Teil
- Betriebsspannung NF-Teil
- Umgebungstemperatur im Betrieb
- Lagertemperatur
- Funktionsbereich ZF-Teil
- Funktionsbereich NF-Teil

	TBA 460	
$U_{Batt ZF}$	12	V
$U_{Batt NF}$	18	V
T_U	0 bis 70	°C
T_S	-35 bis 125	°C
	4 bis 12	V
	4 bis 18	V

TBA 460

Kenndaten ($U_B=9\text{ V}$, $T_U=25\text{ °C}$)

		min	typ	max	Einheit
Gesamtstrom (ohne Signal)	I_{ges}		29		mA
Teilstrom (ohne Signal)	I_{11}		6,2		mA

ZF-Teil, AM-Betrieb:

($f_Z=460\text{ kHz}$, $f_{\text{NF}}=1\text{ kHz}$, $m=80\%$)

Stabilisierte Spannung	U_{16}	2,8		2,95	V
Spannungsverstärkung	V_u		90		dB
Regelumfang ($\Delta U_{\text{NF}} \leq 10\text{ dB}$)	ΔV_u		60		dB
Regeleinsatzspannung ¹⁾	U_E		15		μV
Richtspannung ($U_E=15\text{ }\mu\text{V}$)	$-U_{\text{Richt}}$		200		mV
NF-Ausgangsspannung ($U_E=15\text{ }\mu\text{V}$)	U_{NF}		120		mV
Eingangsspannung für Übersteuerungsbeginn ($k=10\%$)	$U_{\ddot{u}}$		25		mV
Eingangsspannung für einsetzende Vorstufenregelung	U_E		0,9		mV
Vorstufenregelspannung ($U_E \leq 200\text{ }\mu\text{V}$)	U_{15}	2,8			V
Vorstufenregelspannung ($U_E \geq 3\text{ mV}$)	U_{15}			0,5	V

ZF-Teil, FM-Betrieb:

($f_{\text{ZF}}=10,7\text{ MHz}$, $f_{\text{NF}}=1\text{ kHz}$, $\Delta f = \pm 75\text{ kHz}$)

Spannungsverstärkung	V_u		86		dB
Eingangsspannung für Begrenzungseinsatz ²⁾	U_E		500		μV
NF-Ausgangsspannung Betrieb in der Begrenzung	U_{NF}		350		mV
AM-Unterdrückungsfaktor (FM: $\Delta f = \pm 75\text{ kHz}$, AM: 50%) bei Betrieb in der Begrenzung	$U_{\text{FM}}/U_{\text{AM}}$		50		dB

1) Als Regeleinsatz gilt die Eingangsspannung bei der $\frac{\Delta U_E}{\Delta U_{\text{NF}}} = -\frac{10}{3}\text{ dB}$ ist.

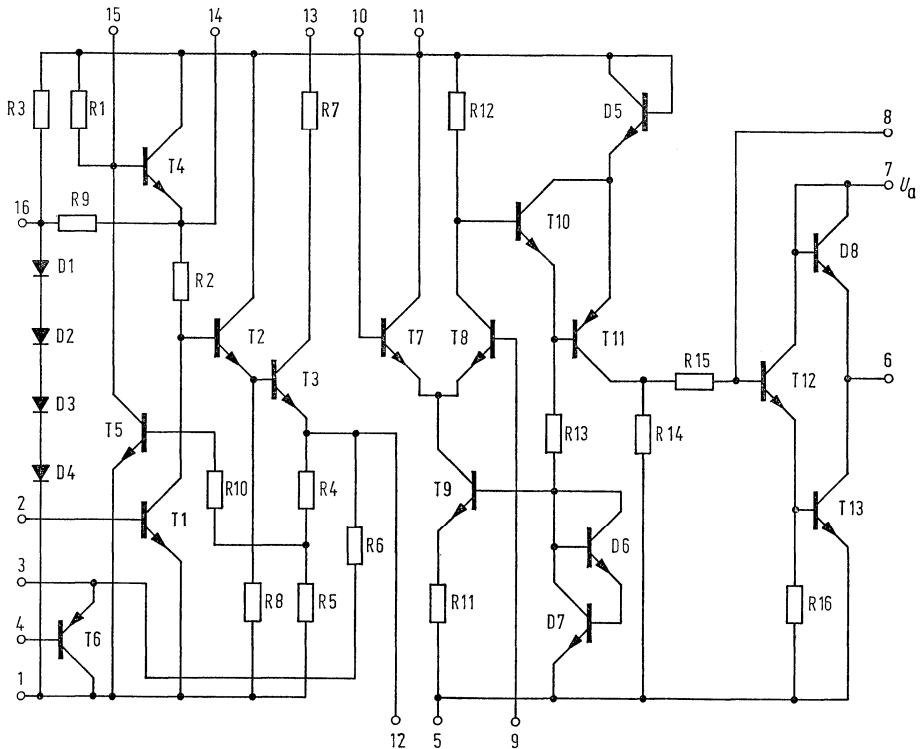
2) Als Begrenzungseingang gilt die Eingangsspannung bei der die NF-Ausgangsspannung um 3 dB abfällt. Bezugspotential ist dabei $U_E=100\text{ mV}$.

TBA 460

NF-Teil

Stromaufnahme	$I_{7/6}$	min	typ	max	Einheit
Diodenspannung	$U_{7/6}$		22,5		mA
Leerlaufspannungsverstärkung	V_{u0}		0,7		V
Ausgangsspannung ($V_u=45$ dB; $k=10\%$)	U_{Aeff}		72		dB
Klirrfaktor ($U_{Aeff}=2$ V, $V_u=45$ dB, $R_G=1$ k Ω)			3,2		V
Fremdspannungsabstand ($U_A=1$ V)		60	0,3		o/°
Spannungsfrequenzgang (± 3 dB)			30 Hz bis 70 kHz		dB
Höchstzulässiger Kollektorstrom T 13	I_{max}		130		mA

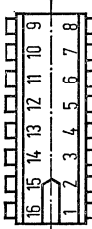
Schaltbild



Wird der NF-Teil allein betrieben ist der Anschluß 5 mit Anschluß 1 zu verbinden.

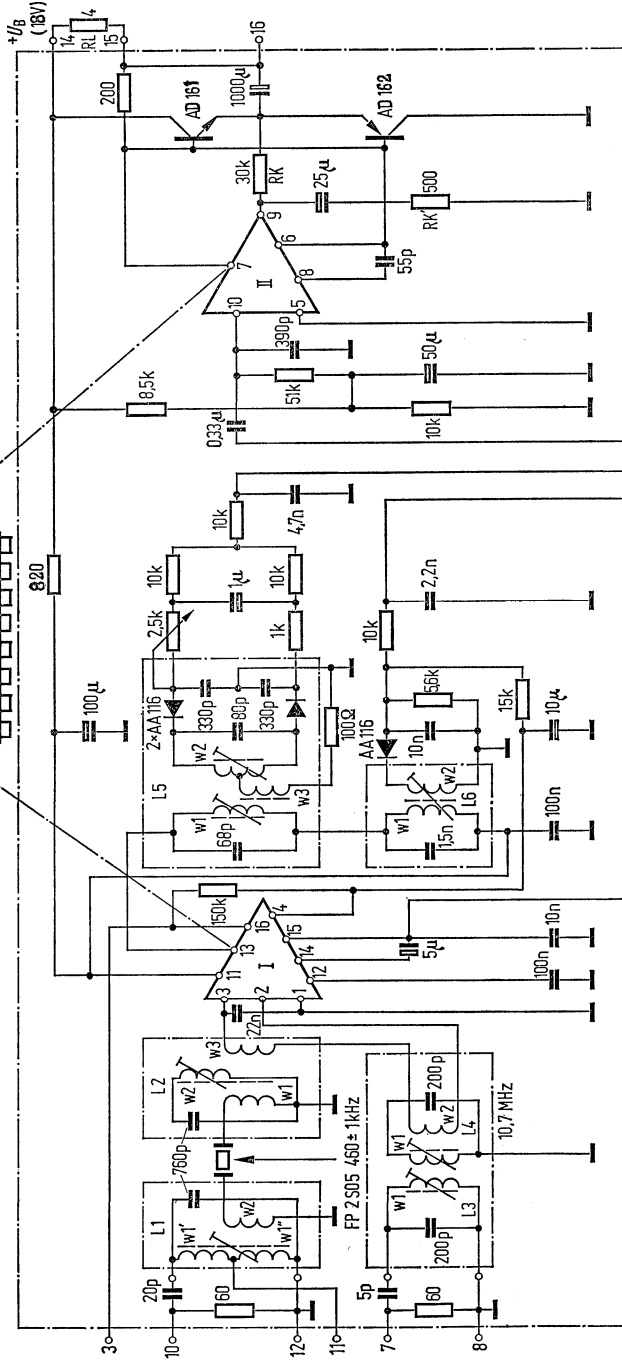
Anwendungsbeispiel für 10 Watt Ausgangsleistung

TBA 460



I AM-FM-Zwischenfrequenzverstärker

II Niederfrequenzverstärker



Wickeldaten der Spulen

- L1: w1' 18,5 Wdgn. 12×0,04 CuL
- w1'' 85 Wdgn. 12×0,04 CuL
- w2 4,5 Wdgn. 0,15 CuL
- L2: w1 3,5 Wdgn. 0,15 CuL
- w2 100 Wdgn. 12×0,04 CuL
- w3 7 Wdgn. 0,15 CuL
- L3: w1 10 Wdgn. 0,15 CuL
- L4: w1 10 Wdgn. 0,15 CuL
- w2 1 Wdgn. 0,15 CuL
- L5: w1 19 Wdgn. 0,1 CuL
- w2 2×10,5 Wdgn., 0,15 CuL, bifilar
- w3 3 Wdgn. 0,15 CuL

D

E

- L6: w1 77 Wdgn. 12×0,04 CuL
 - w2 55 Wdgn. 0,15 CuL
 - L4, L2, L6 gewickelt auf Vogt-Bausatz D41-2393
 - L3, L4 gewickelt auf Vogt-Bausatz D42-2308
 - L5 gewickelt auf Vogt-Bausatz D42-2225
- Keramischer Resonator zwischen L1 und L2:
Stemag FP 2S 05 (460 kHz ± 1 kHz)

Analoge integrierte Halbleiterschaltungen

Analoge integrierte Halbleiterschaltungen für Anwendungen im Industriesektor

Typenübersicht

	Seite
Vorwort zu Operationsverstärkern	304
TAA 521, TAA 521 A, TAA 522 Operationsverstärker	308
TAA 721, TAA 722 Operationsverstärker	313
TAA 761 Operationsverstärker	317
TAA 861, TAA 861 A, TAA 865, TAA 865 A Operationsverstärker	321
TAA 862, TAA 862 F Operationsverstärker	324
TBA 221, TBA 221 A, TBA 221 B, TBA 222 Operationsverstärker	332

Vorwort zu Operationsverstärkern

Integrierte Operationsverstärker sind Gleichspannungsverstärker mit einem sehr breiten Anwendungsfeld in der Regelungstechnik, der industriellen Elektronik sowie in der NF-Technik.

1. Symbolik und Bezeichnungen

Im Schaltsymbol »Operationsverstärker« werden nur Eingangs- und Ausgangsanschlüsse gezeichnet. Bild 1 zeigt das verwendete Symbol, wobei Anschluß 1 den sogenannten »invertierenden Eingang«, Anschluß 2 den »nicht invertierenden Eingang« und Anschluß 3 den Ausgang kennzeichnet. Dabei hat ein positives Signal an 1 ein negatives Signal an 3 zur Folge.

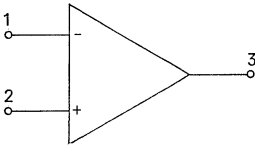


Bild 1

Die Definitionen der wichtigsten Bezeichnungen, die einen Operationsverstärker im allgemeinen ausreichend charakterisieren, sind im folgenden zusammengestellt. Alle Angaben beziehen sich auf symmetrische Versorgungsspannungen.

a) Eingangs-Null-Spannung (Eingangs-Offset-Spannung) U_{EOS} ist diejenige Spannungsdifferenz, die an den Eingängen angelegt werden muß, damit der Ausgang auf 0 V liegt (Bild 2).
 $U_{EOS} = U_{E1} - U_{E2}$ bei $U_A = 0$ und Generatorwiderstand $R_G = 0$.

b) Eingangsstrom I_E ist der Strom, der für die Funktion des OP notwendig ist (Bild 2).

$$I_E = \frac{I_{E1} + I_{E2}}{2}$$

c) Eingangs-Null-Strom (Eingangs-Offset-Strom) I_{EOS} ist die Differenz der Eingangsströme im Arbeitsbereich. Er kann bei hohem Generatorwiderstand störend wirken (Bild 2).
 $I_{EOS} = I_{E1} - I_{E2}$ bei $U_A = 0$.

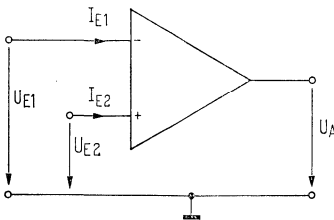


Bild 2

d) Leerlauf (-Spannungs-) Verstärkung V_U ist die Verstärkung ohne Gegenkopplung (Bild 3).

$$V_U = \frac{U_A}{U_E} \text{ bei } R_F = \infty \text{ (} R_F = \text{Widerstand vom Ausgang zum Eingang).}$$

e) Gleichtaktverstärkung V_{UG} gibt die Verstärkung eines an beiden Eingängen gleichphasig eingespeisten Signales an (Bild 4).

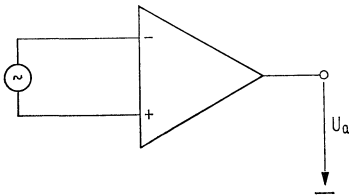


Bild 3

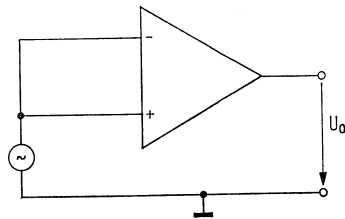


Bild 4

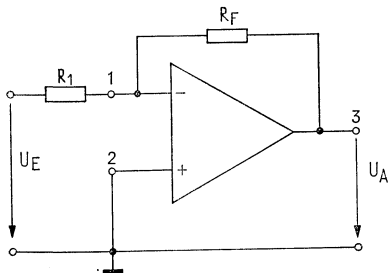
f) Gleichtaktunterdrückung G gibt an, um wieviel ein Gleichtaktsignal (gleichphasig) gegenüber einem Gegentaktsignal (gegenphasig) am Ausgang unterdrückt erscheint.
 $G = 20 \log |V_U| - 20 \log |V_{UG}|$.

g) Temperaturkoeffizienten der Eingangs-Offset-Spannung und des Eingangs-Offset-Stromes geben den mittleren Verlauf dieser Werte in Abhängigkeit der Temperatur an. Die Temperaturkoeffizienten können in einem angegebenen Temperaturbereich angenähert linear betrachtet werden.

h) Eingangswiderstand R_E ist der Widerstand, der zwischen dem invertierenden und nichtinvertierenden Eingang gemessen wird.

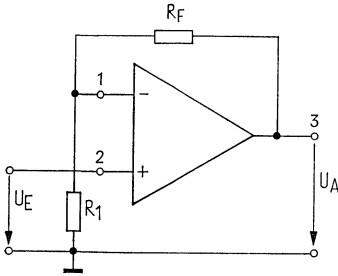
2. Grundsaltungen

Invertierender Verstärker:



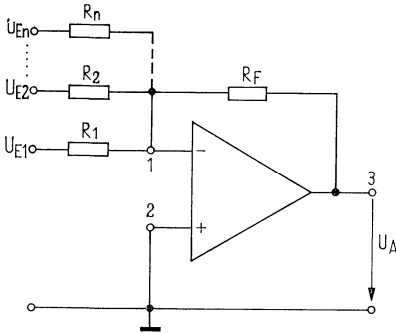
$$U_A = -\frac{R_F}{R_1} \cdot U_E$$

Nichtinvertierender Verstärker:



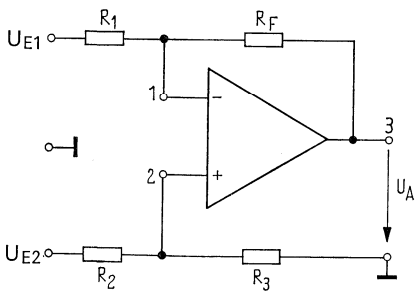
$$U_A = \frac{R_1 + R_F}{R_1} \cdot U_E$$

Summierender Verstärker:



$$U_A = -R_F \left(\frac{U_{E1}}{R_1} + \frac{U_{E2}}{R_2} + \dots + \frac{U_{En}}{R_n} \right)$$

Differenzverstärker:

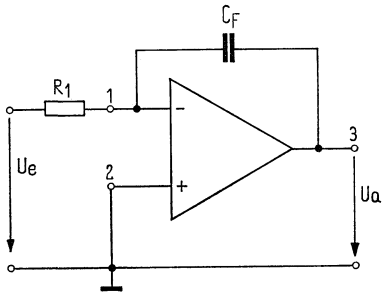


$$U_A = \frac{R_3}{R_1} \left(\frac{R_1 + R_F}{R_2 + R_3} \right) \cdot U_{E2} - \frac{R_F}{R_1} \cdot U_{E1}$$

mit $R_2 = R_1$ und $R_3 = R_F$

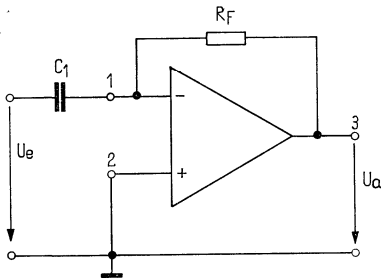
$$U_A = \frac{R_F}{R_1} (U_{E2} - U_{E1})$$

Integrierender Verstärker:



$$u_a = -\frac{1}{R_1 C_F} \int u_e dt$$

Differenzierender Verstärker:



$$u_a = -R_F C_1 \cdot \frac{d u_e}{dt}$$

**TAA 521
TAA 521 A
TAA 522**

Bestellbezeichnungen

TAA 521: Q 67000-A74
TAA 521 A: Q 67000-A164
TAA 522: Q 67000-A84

Operationsverstärker

Die integrierten Halbleiterschaltungen TAA 521, TAA 521 A und TAA 522 sind integrierte Operationsverstärker für hohe Anforderungen.

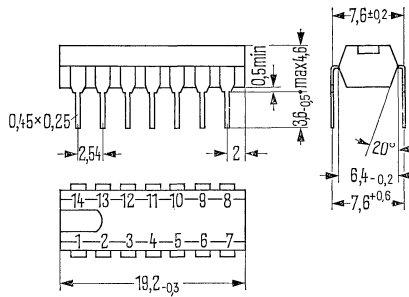
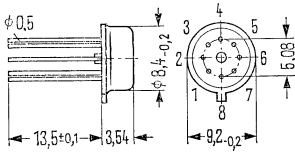
Die Verstärker eignen sich hervorragend für industrielle Anwendungen wie Servosystemen, Analogrechner, Meßgeräte usw. Der Frequenzgang kann durch äußere Beschaltung eingestellt werden.

- Hochohmiger symmetrischer Eingang
- Niederohmiger asymmetrischer Ausgang
- Ausgezeichnete Temperaturstabilität
- Hohe Gleichtaktunterdrückung

Bauformen

TAA 521 A

TAA 521, TAA 522



Gehäuse ähnlich 5 G 8 DIN 41873
(ähnlich TO -79)
Gewicht etwa 1,1 g

Plastik-Steckgehäuse 14 Anschlüsse
Gewicht etwa 1,1 g

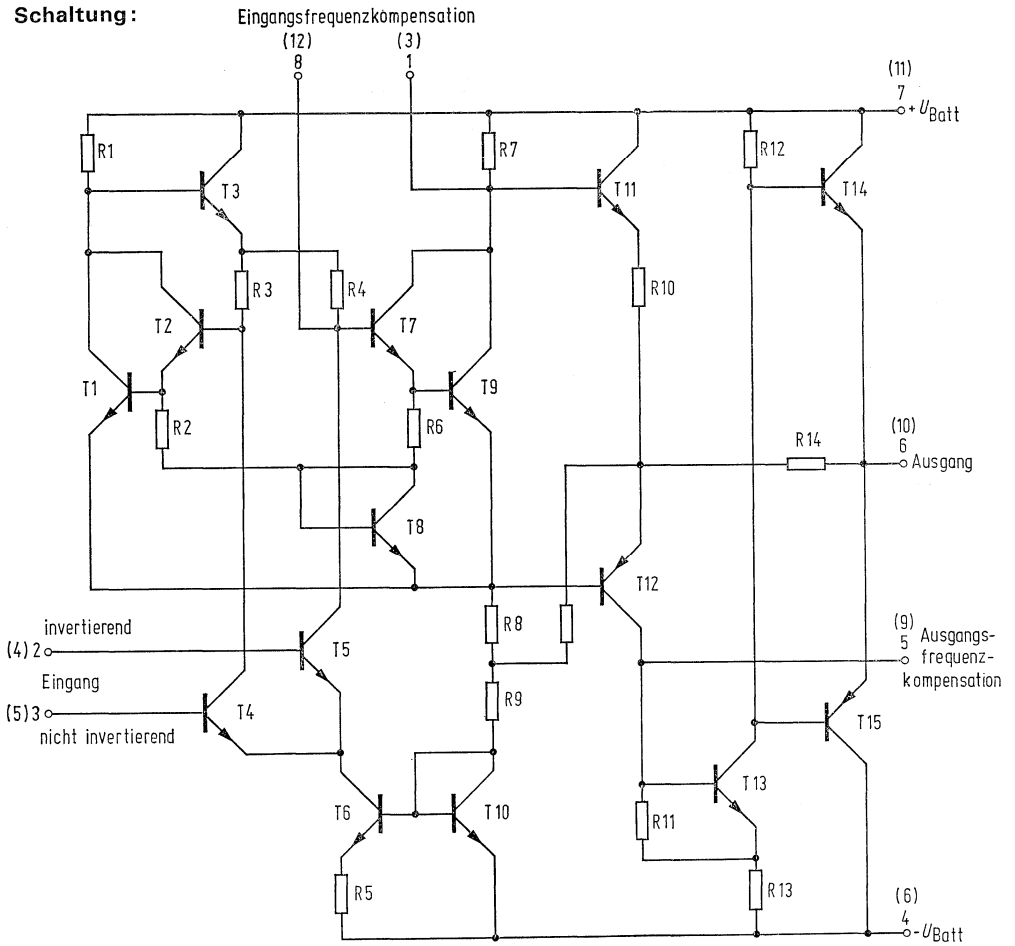
Grenzdaten

Betriebsspannungen
Differenz-Eingangsspannung
Maximale Eingangsspannung
Gesamtverlustleistung ($T_G = 70^\circ$)
($T_G = 95^\circ$)
Ausgangskurzschlußdauer
Umgebungstemperatur i m Betrieb
Lagertemperatur

	TAA 521 TAA 521 A	TAA 522	
U_{Batt}	± 18	± 18	V
U_{DE}	± 5	± 5	V
U_F	± 10	± 10	V
P_{tot}	250	—	mW
P_{tot}	—	300	mW
	5	5	s
T_U	0 bis 70	-55 bis 125	$^\circ C$
T_S	-65 bis 150	-65 bis 150	$^\circ C$

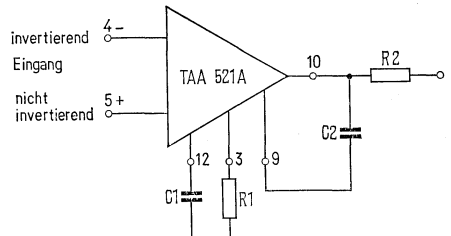
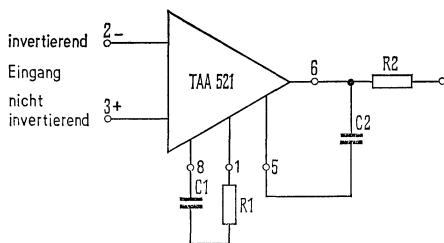
TAA 521 TAA 521 A TAA 522

Schaltung:



Zahlen in Klammern gelten für TAA 521A

Frequenzkompensationsschaltung: $R2 = 50\Omega$ für kapazitive Last

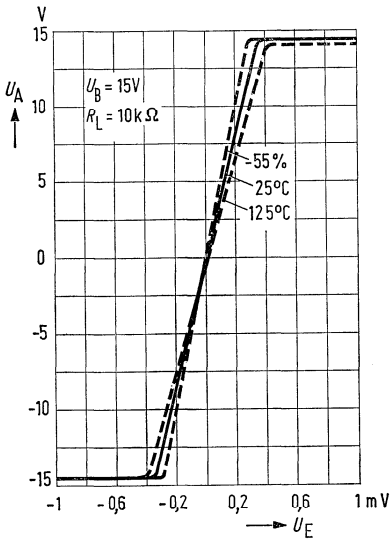


TAA 521
TAA 521 A
TAA 522

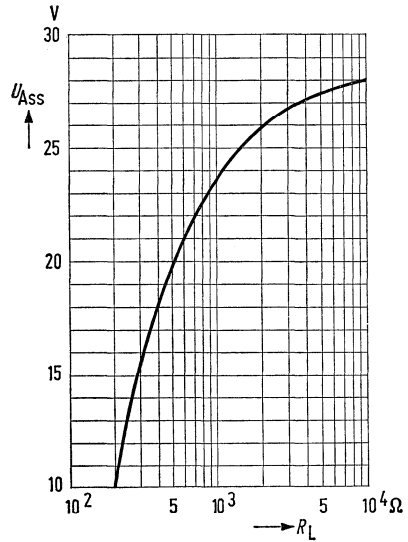
Kenndaten ($U_{\text{Batt}} = \pm 15 \text{ V}$, $T_U = 25 \text{ }^\circ\text{C}$)
(wenn nicht anders angegeben)

		TAA 521, TAA 521 A			TAA 522			Einheit
		min	typ	max	min	typ	max	
Leerlaufleistungsverbrauch	P_D		80	200		80	165	mW
Eingangs-Null-Spannung ($R_G < 10 \text{ k}\Omega$)	U_{EOS}		2	7,5		1	5	mV
Eingangs-Null-Spannung ($R_G < 10 \text{ k}\Omega$, $U_U = 0$ bis $70 \text{ }^\circ\text{C}$)	U_{EOS}			10			6	mV
Eingangs-Null-Strom	I_{EOS}		100	500		50	200	nA
Eingangs-Null-Strom ($T_U = 0$ bis $70 \text{ }^\circ\text{C}$)	I_{EOS}			750				nA
Eingangs-Null-Strom ($T_U = -125 \text{ }^\circ\text{C}$)	I_{EOS}					20	200	nA
Eingangsstrom	I_E		0,3	1,5		0,21	0,5	μA
Eingangsstrom ($T_U = 0$ bis $70 \text{ }^\circ\text{C}$)	I_E			2,0				μA
Eingangsstrom ($T_U = -55 \text{ }^\circ\text{C}$)	I_E					500	1500	nA
Eingangsimpedanz	Z_e	50	250		150	400		k Ω
Eingangsimpedanz ($T_U = -55 \text{ }^\circ\text{C}$ bis $125 \text{ }^\circ\text{C}$)	Z_e				40	100		k Ω
Maximale Ausgangsspannung ($R_L > 10 \text{ k}\Omega$)	U_{ass}	± 12	± 14					V
Maximale Ausgangsspannung ($R_L \geq 10 \text{ k}\Omega$, $T_U = -55$ bis $125 \text{ }^\circ\text{C}$)	U_{ass}				± 12	± 14		V
Maximale Ausgangsspannung ($R_L > 2 \text{ k}\Omega$)	U_{ass}	± 10	± 13					V
Maximale Ausgangsspannung ($R_L \geq 2 \text{ k}\Omega$, $T_U = -55$ bis $125 \text{ }^\circ\text{C}$)	U_{ass}				± 10	± 13		V
Ausgangsimpedanz	Z_a		150			150		Ω
Spannungsverstärkung ($U_{\text{ass}} = \pm 10 \text{ V}$, $R_L = 2 \text{ k}\Omega$)	V_U	83,6	93					dB
Spannungsverstärkung ($U_{\text{ass}} = \pm 10 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $T_U = 0$ bis $70 \text{ }^\circ\text{C}$)	V_U	81,5						dB
Spannungsverstärkung ($U_{\text{ass}} = \pm 10 \text{ V}$, $R_L > 2 \text{ k}\Omega$, $T_U = -55$ bis $125 \text{ }^\circ\text{C}$)	V_U				88	93		dB
Gleichtaktunterdrückung ($R_G < 10 \text{ k}\Omega$)	G	65	90		70	90		dB
Mittlerer Temperaturkoeffizient der Eingangs-Null-Spannung ($R_G < 10 \text{ k}\Omega$, $T_U = 0$ bis $70 \text{ }^\circ\text{C}$)	α_E		10					$\mu\text{V}/^\circ\text{C}$
Mittlerer Temperaturkoeffizient der Eingangs-Null-Spannung ($R_G = 50 \Omega$, $T_U = -55$ bis $125 \text{ }^\circ\text{C}$)	α_E					3		$\mu\text{V}/^\circ\text{C}$
Mittlerer Temperaturkoeffizient der Eingangs-Null-Spannung ($R_G \leq 10 \text{ k}\Omega$, $T_U = -55$ bis $125 \text{ }^\circ\text{C}$)	α_E					6		$\mu\text{V}/^\circ\text{C}$

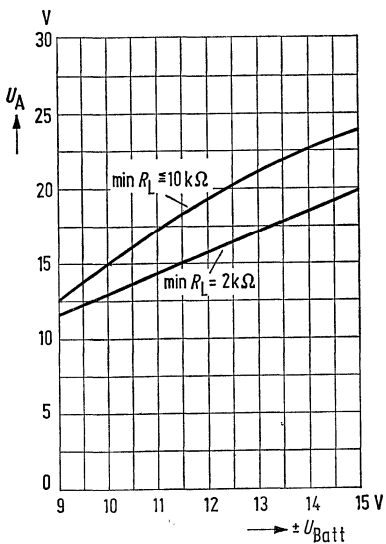
Trasferkennlinie $U_A = f(U_E)$



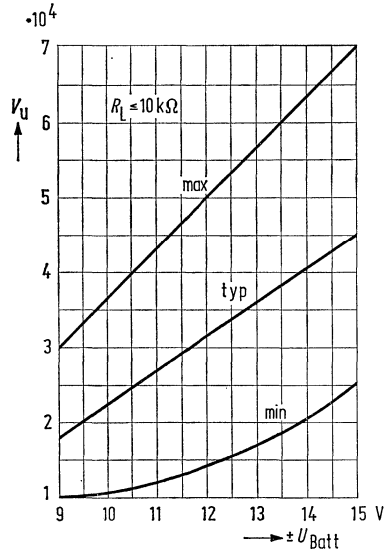
Ausgangsspannung $U_{Ass} = f(R_L)$



Ausgangsspannungshub $U_A = f(U_{Batt})$

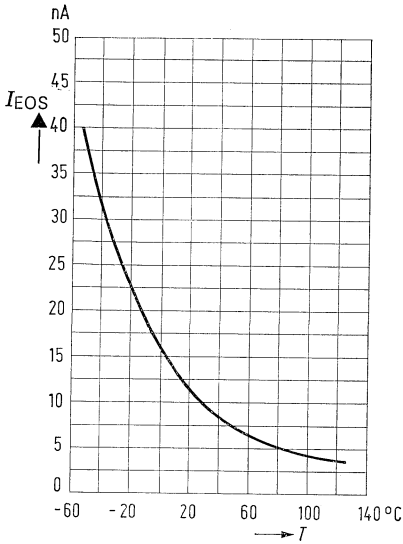


Leerlaufverstärkung $V_U = f(U_{Batt})$

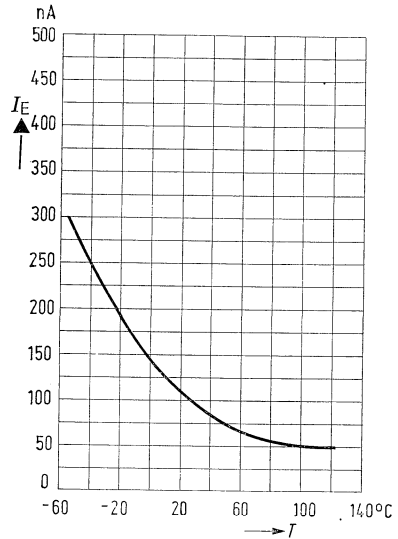


TAA 521
TAA 521 A
TAA 522

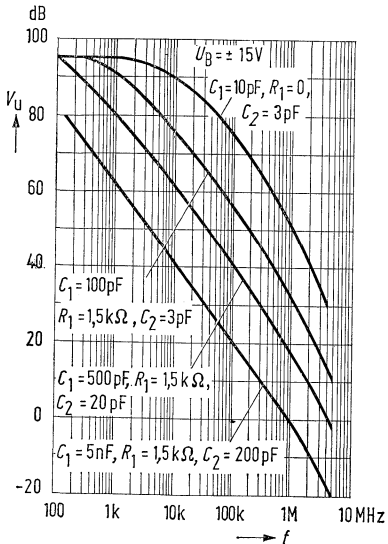
Eingangsnullstrom $I_{EOS} = f(T)$



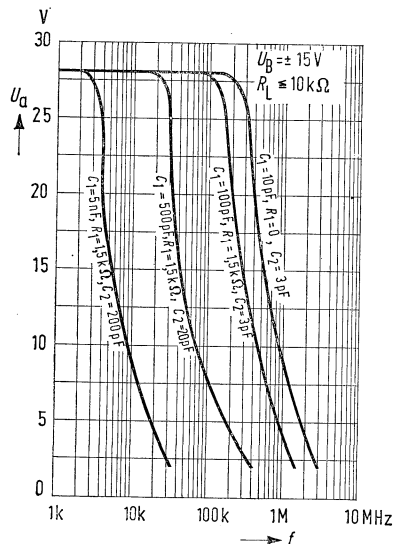
Eingangsstrom $I_E = f(T)$



Leerlaufspannungsverstärkung bei verschiedener Kompensation $V_u = f(f)$



Ausgangsspannungshub $U_a = f(f)$



Bestellbezeichnungen

TAA 721: Q 67000-A82

TAA 722: Q 67000-A83

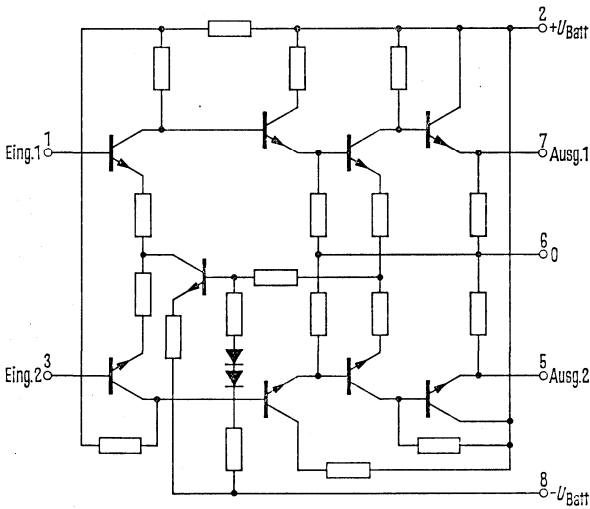
TAA 721
TAA 722

Breitbandverstärker

Die integrierten Halbleiterschaltungen TAA 721, TAA 722 sind Differenzverstärker mit hoher Bandbreite.

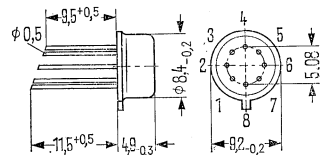
Differenz Ein- und Ausgang
Große Bandbreite 0 bis 40 MHz
Hohe Gleichtaktunterdrückung 85 dB
Ausgezeichnete Stabilität
Unempfindlich gegen unsymmetrische Versorgungsspannung

Schaltbild



(Anschluß 4 ist Gehäuseanschluß)

Bauform



Gehäuse 5 G 8 DIN 41873
(ähnlich TO-78)
Gewicht etwa 1,1 g

Grenzdaten

Betriebsspannung
Differenzeingangsspannung
Umgebungstemperatur im Betrieb
Lagertemperatur

	TAA 721	TAA 722	
U_{Batt}	± 8	± 8	V
U_D	5	5	V
T_U	0 bis 70	-55 bis 125	°C
T_S	-65 bis 150	-65 bis 150	°C

TAA 721 TAA 722

Kenndaten

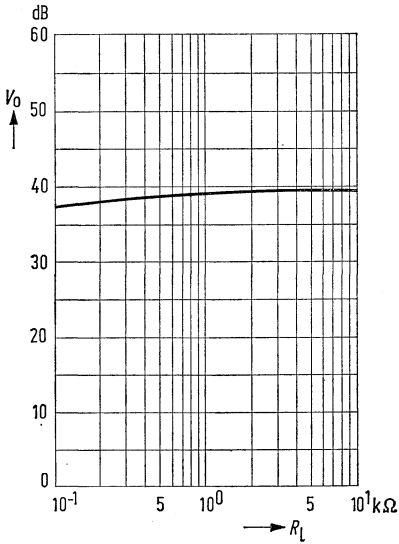
($U_{\text{Batt}} = \pm 6 \text{ V}$, $T_U = 25 \text{ }^\circ\text{C}$)

		TAA 721			TAA 722			Einheit
		min	typ	max	min	typ	max	
Leerlaufleistungsverbrauch	P_D		165	220		165	220	mW
Eingangsstrom	I_E		50			40		μA
Eingangs-Null-Strom	I_{EOS}		5			3		μA
Eingangsimpedanz ($f=100 \text{ kHz}$)	Z_E		6			6		$\text{k}\Omega$
Maximale Ausgangsspannung $R_L=5 \text{ k}\Omega$, $f=100 \text{ kHz}$	U_{ass}		3,7			3,7		V
Ausgangs-Null-Spannung ¹⁾	U_{AOS}		0,5	2,0		0,5	1,2	V
Ausgangsimpedanz ($f=100 \text{ kHz}$)	Z_A		35			35		Ω
Spannungsverstärkung ²⁾ ($U_e=1 \text{ mV}$, $R_L=5 \text{ k}\Omega$, $f=100 \text{ kHz}$)	V_o	35,5	39,6	41,6	37,5	39,6	40,8	dB
Gleichtaktunterdrückung ($f=100 \text{ kHz}$, $R_L=5 \text{ k}\Omega$)	G		85			85		dB
Gleichtakt-Spannungs-Verstärkung ($U_{eG}=0,3 \text{ V}$, $R_L=5 \text{ k}\Omega$, $f=100 \text{ kHz}$)	V_{UG}		-45	-30		-45	-30	dB
Bandbreite (-3 dB Abfall)	B		40			40		MHz
Klirrfaktor ($U_a=1 \text{ V}$, $R_L=5 \text{ k}\Omega$, $f=10 \text{ kHz}$)	k		2,0			1,5		%
Anstiegszeit des Ausgangs-	t_r		10			9		ns
Abfallzeit impulses	t_f		10			9		ns
($U_e=5 \text{ mV}$)								

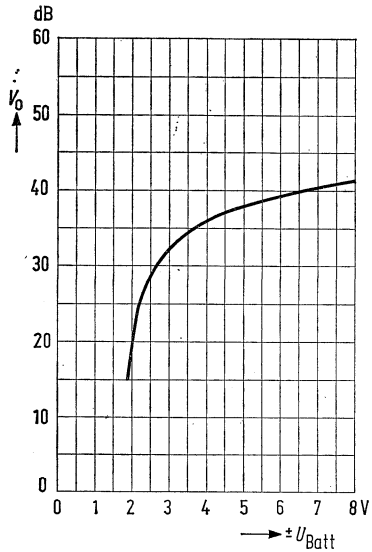
1) Gemessen zwischen beiden Ausgängen.

2) Ausgangsspannung gegen Masse, gemessen zwischen beiden Ausgängen ergibt sich die doppelte Verstärkung, da beide Ausgänge gegenphasig sind.

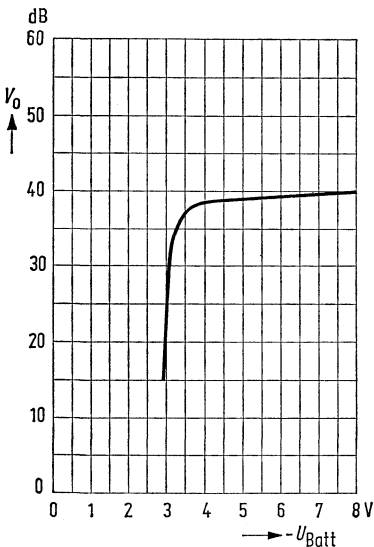
Spannungsverstärkung $V_0 = f(R_L)$
 $f = 100 \text{ kHz}$, $T_U = 25 \text{ }^\circ\text{C}$, $R_G = 50 \Omega$,
 $R_L = 5 \text{ k}\Omega$, $U_{\text{Batt}} = \pm 6 \text{ V}$



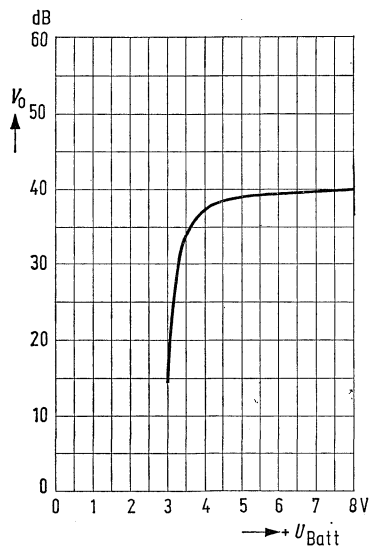
Spannungsverstärkung $V_0 = f(\pm U_{\text{Batt}})$
 $f = 100 \text{ kHz}$, $T_U = 25 \text{ }^\circ\text{C}$, $R_G = 50 \Omega$,
 $R_L = 5 \text{ k}\Omega$



Spannungsverstärkung $V_0 = f(-U_{\text{Batt}})$
 $f = 100 \text{ kHz}$, $T_U = 25 \text{ }^\circ\text{C}$, $R_G = 50 \Omega$,
 $R_L = 5 \text{ k}\Omega$, $+U_{\text{Batt}} = 6 \text{ V}$

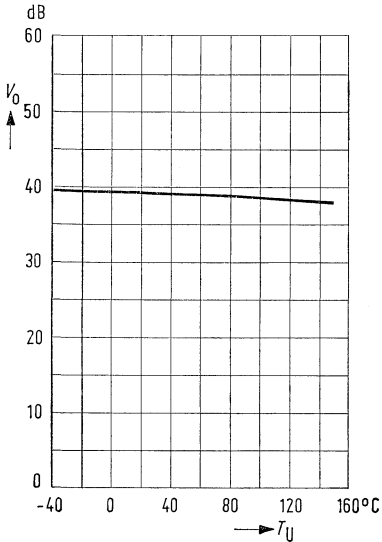


Spannungsverstärkung $V_0 = f(+U_{\text{Batt}})$
 $f = 100 \text{ kHz}$, $T_U = 25 \text{ }^\circ\text{C}$, $R_E = 50 \Omega$,
 $R_L = 5 \text{ k}\Omega$, $-U_{\text{Batt}} = 6 \text{ V}$

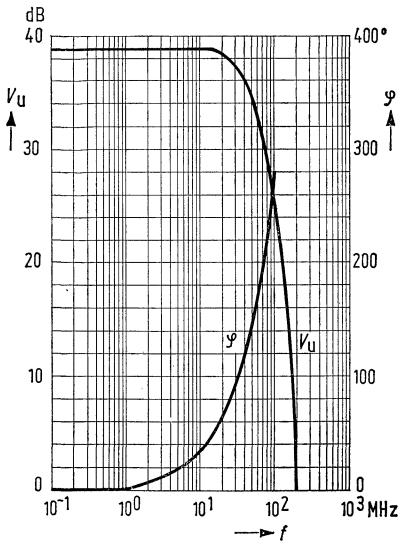


TAA 721 TAA 722

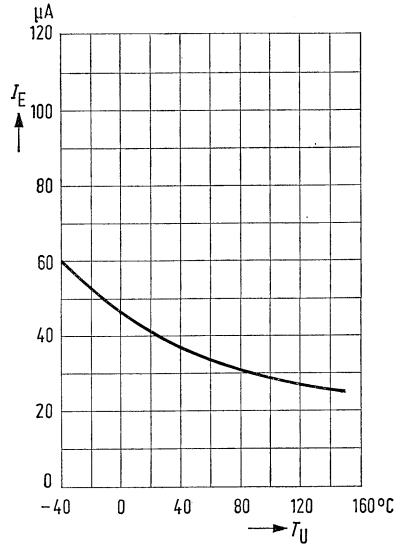
Spannungsverstärkung $V_0 = f(T_U)$
 $f = 100 \text{ kHz}$, $T_U = 25 \text{ °C}$, $R_G = 50 \text{ } \Omega$,
 $R_L = 5 \text{ k}\Omega$, $U_{\text{Batt}} = \pm 6 \text{ V}$



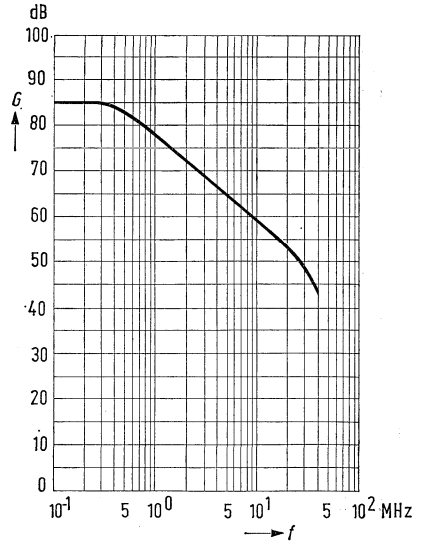
Verstärkung $V_U = f(f)$
 Phasenabweichung $\varphi = f(f)$
 $U_{\text{Batt}} = \pm 6 \text{ V}$, $T_U = 25 \text{ °C}$, $R_E = 50 \text{ } \Omega$,
 $R_L = 5 \text{ k}\Omega$



Eingangsstrom $I_E = f(T_U)$
 $U_{\text{Batt}} = \pm 6 \text{ V}$



Gleichtaktunterdrückung $G = f(f)$
 $U_{\text{Batt}} = \pm 6 \text{ V}$, $T_U = 25 \text{ °C}$, $R_E = 50 \text{ } \Omega$,
 $R_L = 5 \text{ k}\Omega$



Bestellbezeichnung

TAA 761: Q 67000-A224

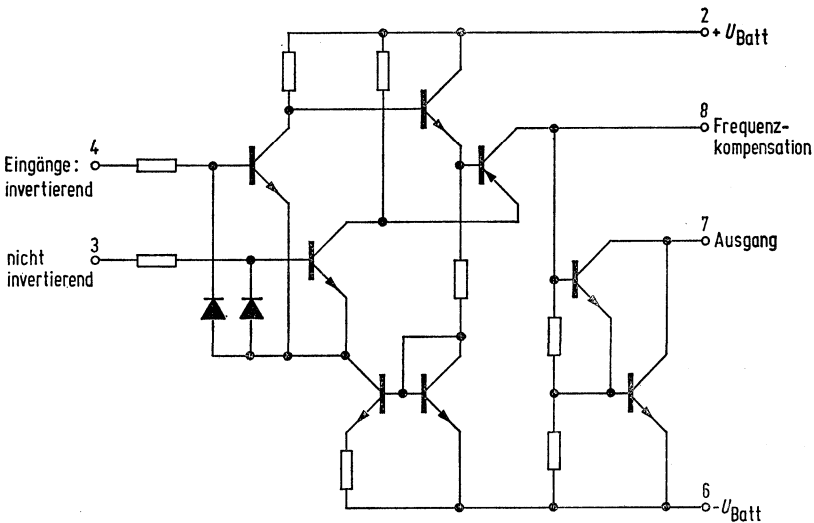
Operationsverstärker

Ein besonders wirtschaftlicher und vielseitiger Operationsverstärker, der sich aufgrund seiner guten Eigenschaften für ein sehr weites Anwendungsgebiet eignet, wie z. B. Regelungstechnik, Autoelektrik, NF-Schaltungen, Analog-Rechnertechnik etc.

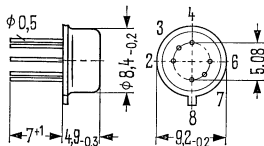
Neben hoher Verstärkung, großem Eingangswiderstand, kleiner Nullspannung, geringer Temperatur- und Versorgungsspannungsabhängigkeit zeichnet sich der Verstärker besonders aus durch:

- Hohen Gleichtaktbereich
- Großen Versorgungsspannungsbereich
- Große Aussteuerbarkeit
- Großer Ausgangsstrom
- Einfache Frequenzkompensation
- Weitgehende Sicherheit gegen Zerstörung

Schaltung



Bauform



Gehäuse 5 H 6
 DIN 41873
 (ähnlich TO 78)
 Gewicht etwa 1 g

TAA 761

Grenzdaten

Betriebsspannung	U_{Batt}	± 18	V
Max. Ausgangsstrom	I_{A}	70	mA
Max. Eingangsspannung	U_{E}	$\pm U_{\text{Batt}}$	
Funktionsbereich		$U_{\text{Batt}} = \pm 2 \text{ bis } \pm 18 \text{ V}$	
Umgebungstemperatur im Betrieb	T_{U}	0 bis +70	°C
Sperrschichttemperatur	T_{j}	150	°C
Lagertemperatur	T_{s}	-40 bis +125	°C

Wärmewiderstände:

System-Gehäuse	R_{thjG}	80	grad/W
System-Luft	R_{thjU}	300	grad/W

Elektrische Kenndaten

($U_{\text{Batt}} = \pm 15 \text{ V}$, $T_{\text{U}} = 25 \text{ °C}$)

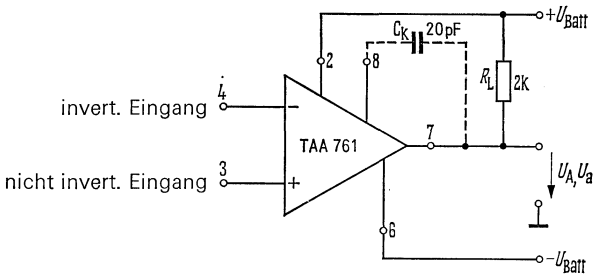
		min	typ	max	Einheit
Leistungsaufnahme ($R_{\text{L}} = 2 \text{ k}\Omega$, $U_{\text{A}} \sim 0$)	P_{D}		150		mW
Leerlaufstromaufnahme (I über Anschluß 2)	I_{Batt2}		1		mA
Eingangs-Null-Spannung ($R_{\text{G}} = 60 \Omega$)	U_{EOS}		2	7,5	mV
Eingangs-Null-Strom	I_{EOS}		50		nA
Eingangsstrom	I_{E}		0,3	1,5	μA
Maximale Ausgangsspannung ($R_{\text{L}} = 2 \text{ k}\Omega$)	U_{Ass}	± 14			V
Maximale Ausgangsspannung ($R_{\text{L}} = 620 \Omega$)	U_{Ass}	± 12			V
Maximale Ausgangsspannung ($R_{\text{L}} = 2 \text{ k}\Omega$, $f = 100 \text{ kHz}$)	U_{Ass}		± 10		V
Eingangsimpedanz ($f = 1 \text{ kHz}$)	Z_{E}		200		$\text{k}\Omega$
Leerlauf-Spannungsverstärkung ($R_{\text{L}} = 2 \text{ k}\Omega$, $f = 1 \text{ kHz}$)	V_{U}		84		dB
Leerlauf-Spannungsverstärkung ($R_{\text{L}} = 10 \text{ k}\Omega$, $f = 1 \text{ kHz}$)	V_{U}		90		dB
Leerlauf-Spannungsverstärkung ($R_{\text{L}} = 2 \text{ k}\Omega$, $f = 1 \text{ MHz}$)	V_{U}		43		dB

Elektrische Kenndaten (Fortsetzung)
 ($U_{\text{Batt}} = \pm 15 \text{ V}$, $T_U = 25^\circ \text{C}$)

	min	typ	max	Einheit
Eingangs-Gleichtaktbereich ($R_L = 2 \text{ k}\Omega$)		$\pm 13,5$		V
Gleichtaktunterdrückung ($R_L = 2 \text{ k}\Omega$)	80	86		dB
Betriebsspannungsunterdrückung ($C_K = 1 \text{ pF}$, $V_U = 100$)		25	200	$\mu\text{V}/\text{V}$
Temp. Koeffizient d. U_{EOS} ($R_G = 60 \Omega$)		6		$\mu\text{V}/^\circ\text{C}$
Temp. Koeffizient d. I_{EOS} ($R_G = 60 \Omega$)		0,3		$\text{nA}/^\circ\text{C}$
Anstiegsgeschwindigkeit von U_a im nicht invert. Betrieb (Meßschaltung 1)		9		$\text{V}/\mu\text{sec}$
Anstiegsgeschwindigkeit von U_a im invert. Betrieb (Meßschaltung 2)		18		$\text{V}/\mu\text{sec}$

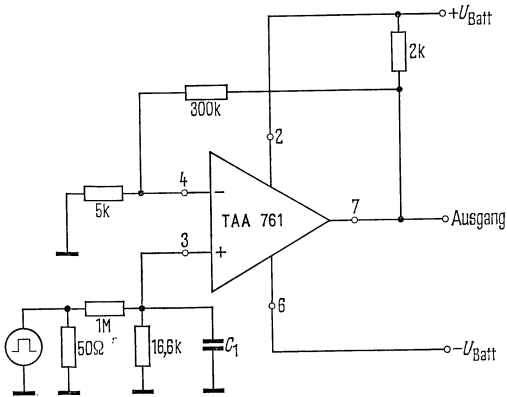
Anschlußschema

C_K = Ausgangsfrequenzkompensation, R_L = Lastwiderstand



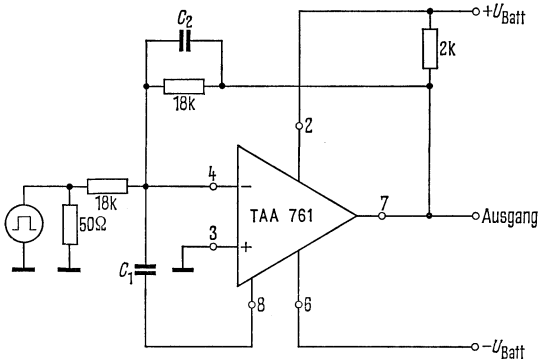
TAA 761

Meßschaltung 1 (nicht invertierender Betrieb)



C₁ für min. Überschwingen (ca. 22 pF)

Meßschaltung 2 (invertierender Betrieb)



C₂ bewirkt eine frequenzabhängige Kompensation zur Verkleinerung der Anstiegszeiten (ca. 390 pF)

C₁ für min. Überschwingen (ca. 3,9 pF)

Bestellbezeichnungen

TAA 861: Q 67000-A89

TAA 865: Q 67000-A109

TAA 861 A: Q 67000-A278

TAA 865 A: Q 67000-A279

TAA 861
TAA 861 A
TAA 865
TAA 865 A

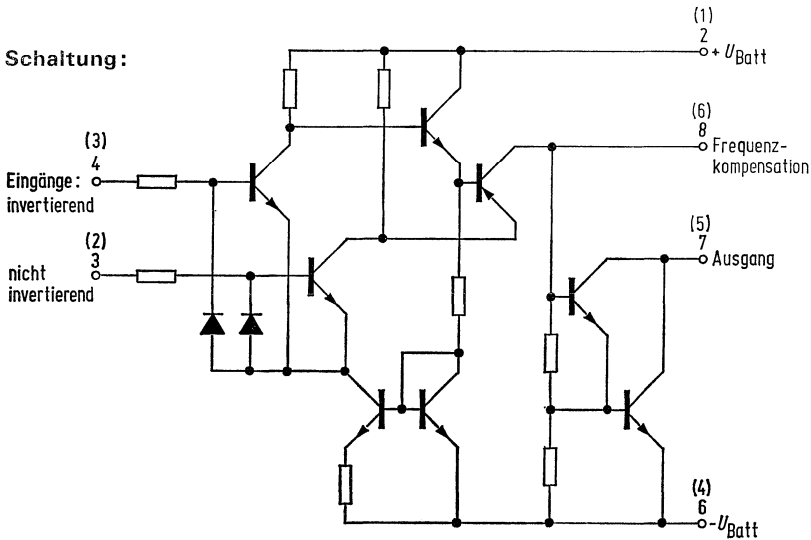
Operationsverstärker

Besonders wirtschaftliche und vielseitige Operationsverstärker, die sich aufgrund ihrer guten Eigenschaften für ein sehr weites Anwendungsgebiet eignen, wie z. B. Regelungstechnik, Autoelektronik, NF-Schaltungen, Analog-Rechnertechnik etc.

Neben hoher Verstärkung, großem Eingangswiderstand, kleiner Nullspannung, geringer Temperatur- und Versorgungsabhängigkeit zeichnen sich die Verstärker aus durch:

- Hoher Gleichaktbereich
- Großer Versorgungsspannungsbereich
- Große Aussteuerbarkeit
- Großer Ausgangsstrom
- Einfache Frequenzkompensation
- Weitgehende Sicherheit gegen Zerstörung

Schaltung:

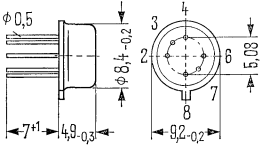


Anschlüsse in Klammern gelten für TAA 861 A und TAA 865 A

**TAA 861
TAA 861 A
TAA 865
TAA 865 A**

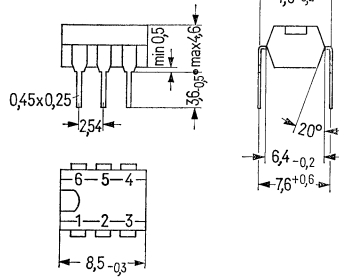
Bauformen:

TAA 861, TAA 865



Gehäuse 5 H 6 DIN 41 873
(ähnlich TO-78)
Gewicht etwa 1 g

TAA 861 A, TAA 865 A



Plastik-Steckgehäuse
6 Anschlüsse
Gewicht etwa 0,7 g

Grenzdaten

Betriebsspannung	U_{Batt}	± 10	V
Maximaler Ausgangsstrom	I_{A}	70	mA
Max. Eingangsspannung	U_{E}	$\pm U_{\text{Batt}}$	
Funktionsbereich		$U_{\text{Batt}} = \pm 2 \text{ bis } \pm 10 \text{ V}$	
Umgebungstemperatur im Betrieb (TAA 861, TAA 861 A)	T_{u}	0 bis +70	°C
Umgebungstemperatur im Betrieb (TAA 865, TAA 865 A)	T_{u}	-25 bis +80	°C
Sperrschichttemperatur	T_{j}	150	°C
Lagertemperatur	T_{s}	40 bis +125	°C

Wärmewiderstände:

System-Gehäuse (TAA 861, TAA 865)	R_{thjG}	80	grad/W
System-Luft (TAA 861, TAA 865)	R_{thjU}	300	grad/W

Elektrische Kenndaten

($U_{\text{Batt}} = \pm 10 \text{ V}$, $T_U = 25 \text{ }^\circ\text{C}$)

		min	typ	max	Einheit
Leistungsaufnahme ($R_L = 2 \text{ k}\Omega$, $U_A \sim 0$)	P_D		70		mW
Leerlaufstromaufnahme (I über Anschluß 2)	$I_{\text{Batt}2}$		1,0		mA
Eingangs-Null-Spannung ($R_G = 60 \Omega$)	U_{EOS}		2	11	mV
Eingangs-Null-Strom	I_{EOS}		70	330	nA
Eingangsstrom	I_E		0,3	1,5	μA
Maximale Ausgangsspannung ($R_L = 2 \text{ k}\Omega$)	U_{Ass}	± 9			V
Maximale Ausgangsspannung ($R_L = 400 \Omega$)	U_{Ass}	± 8			V
Eingangsimpedanz ($f = 1 \text{ kHz}$)	Z_e		200		$\text{k}\Omega$
Leerlauf-Spannungsverstärkung ($R_L = 2 \text{ k}\Omega$, $f = 1 \text{ kHz}$)	V_U		84		dB
Leerlauf-Spannungsverstärkung ($R_L = 10 \text{ k}\Omega$, $f = 1 \text{ kHz}$)	V_U		90		dB
Leerlauf-Spannungsverstärkung ($R_L = 2 \text{ k}\Omega$, $f = 1 \text{ MHz}$)	V_U		43		dB
Eingangs-Gleichtaktbereich ($R_L = 2 \text{ k}\Omega$)	U_{EG}		± 9		V
Gleichtaktunterdrückung ($R_L = 2 \text{ k}\Omega$)	G	80	86		dB
Rauschspannung (nach DIN 45405; Rundfunkbewertung; auf Eingang bezogen; $R_S = 2,5 \text{ k}\Omega$)	U_R		3,1		μV
Temp. Koeffizient d. U_{EOS} ($R_G = 60 \Omega$, $T_U = 0$ bis $70 \text{ }^\circ\text{C}$)	α_E		6		$\mu\text{V}/^\circ\text{C}$
Temp. Koeffizient d. I_{EOS} ($R_G = 60 \Omega$, $T_U = 0$ bis $70 \text{ }^\circ\text{C}$)	α_I		0,3		$\text{nA}/^\circ\text{C}$
Anstiegsgeschwindigkeit von U_a im nicht invert. Betrieb (s. Meßschaltung 1, S. 328)	$\frac{dU_a}{dt_r}$		3		$\text{V}/\mu\text{sec}$
Anstiegsgeschwindigkeit von U_a im invert. Betrieb (s. Meßschaltung 2, S. 328)	$\frac{dU_a}{dt_r}$		12		$\text{V}/\mu\text{sec}$

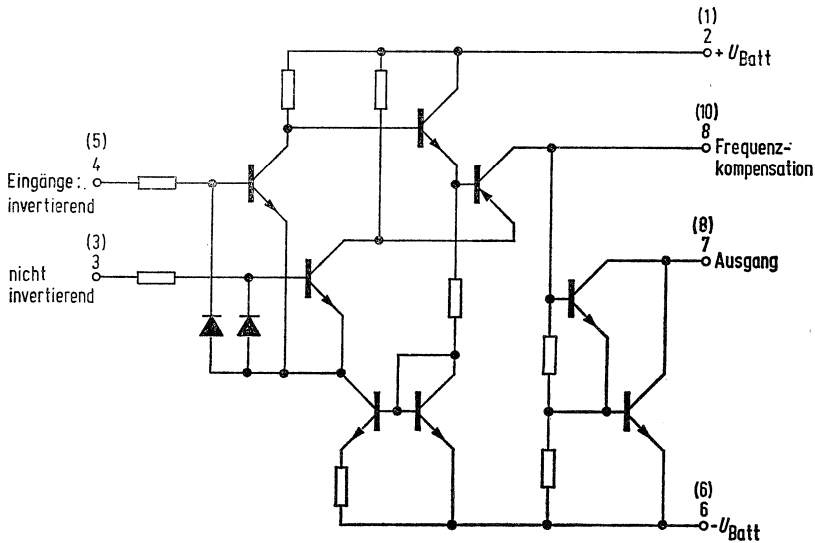
Anschlußschema, Meßschaltungen und Kennlinien siehe Seiten 327, 328, 329 bis 331

Operationsverstärker

Besonders wirtschaftliche und vielseitige Operationsverstärker, die sich aufgrund ihrer guten Eigenschaften für ein sehr weites Anwendungsgebiet, insbesondere mit militärischem Temperaturbereich, eignen. Neben hoher Verstärkung, großem Eingangswiderstand, kleiner Nullspannung, geringer Temperatur- und Versorgungsspannungsabhängigkeit zeichnen sich diese Verstärker besonders aus durch:

- Hohen Gleichaktbereich
- Großen Versorgungsspannungsbereich
- Weiten Temperaturbereich
- Große Aussteuerbarkeit
- Großen Ausgangsstrom
- Einfache Frequenzkompensation
- Weitgehende Sicherheit gegen Zerstörung

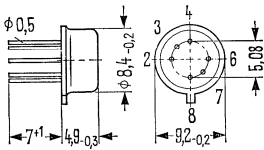
Schaltung



Anschlüsse in Klammern gelten für TAA 862 F

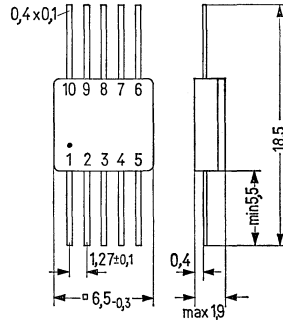
Bauformen

TAA 862



Metall-Gehäuse 546 DIN 41873
(ähnlich To-76)
Gewicht etwa 1g

TAA 862 F



Metall-Keramik-Gehäuse
21 B10 DIN 41865
(ähnlich To-91)
Gewicht etwa 1,1g

Grenzdaten

Betriebsspannung
Max. Ausgangsstrom
Max. Eingangsspannung
Funktionsbereich
Umgebungstemperatur im Betrieb
Sperrschichttemperatur

	TAA862, TAA862 F	
U_{Batt}	± 10	V
I_A	70	mA
U_E	$\pm U_{Batt}$ ($U_{Batt} = \pm 2$ bis ± 10 V)	
T_U	-55 bis +125	°C
T_I	150	°C

Wärmewiderstände:
System-Gehäuse (TAA 862)
System-Luft (TAA 862)

R_{thjG}	80	grd/W
R_{thjU}	300	grd/W

TAA 862 TAA 862 F

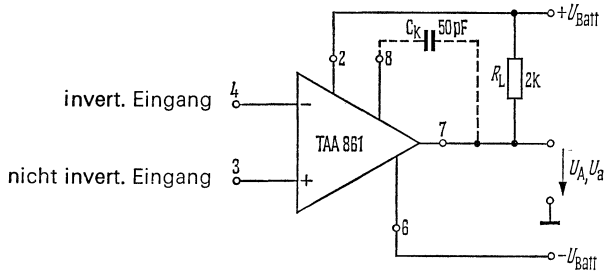
Elektrische Kenndaten

($U_{\text{Batt}} = \pm 10 \text{ V}$, $T_U = -55$ bis $+125 \text{ }^\circ\text{C}$)

		min	typ bei 25 °C	max	Einheit
Leistungsaufnahme ($R_L = 2 \text{ k}\Omega$, $U_A \sim 0$)	P_D		70		mW
Leerlaufstromaufnahme (I über Anschluß 2)	I_{Batt2}		1,0		mA
Eingangs-Null-Spannung ($R_G = 60 \Omega$)	U_{EOS}		2	11	mV
Eingangs-Null-Strom	I_{EOS}		60	330	nA
Eingangsstrom	I_E		0,3	1,5	μA
Maximale Ausgangsspannung ($R_L = 2 \text{ k}\Omega$)	U_{Ass}	± 9			V
Maximale Ausgangsspannung ($R_L = 400 \Omega$)	U_{Ass}	± 8			V
Eingangsimpedanz ($f = 1 \text{ kHz}$)	Z_e		200		$\text{k}\Omega$
Leerlauf-Spannungsverstärkung ($R_L = 2 \text{ k}\Omega$, $f = 1 \text{ kHz}$)	V_U		85		dB
Leerlauf-Spannungsverstärkung ($R_L = 10 \text{ k}\Omega$, $f = 1 \text{ kHz}$)	V_U		90		dB
Leerlauf-Spannungsverstärkung ($R_L = 2 \text{ k}\Omega$, $f = 1 \text{ MHz}$)	V_U		43		dB
Eingangs-Gleichtaktbereich ($R_L = 2 \text{ k}\Omega$)	U_{EG}		± 9		V
Gleichtaktunterdrückung ($R_L = 2 \text{ k}\Omega$)	G	80	86		dB
Rauschspannung (n. DIN 45405; Rundfunkbewertung; auf Eing. bezogen; $R_S = 2,5 \text{ k}\Omega$)	U_R		3,1		μV
Temp. Koeffizient d. U_{EOS} ($R_G = 60 \Omega$)	α_E		6		$\mu\text{V}/^\circ\text{C}$
Temp. Koeffizient d. I_{EOS} ($R_G = 60 \Omega$)	α_I		0,3		$\text{nA}/^\circ\text{C}$
Anstiegsgeschwindigkeit von U_a im nicht invert. Betrieb (s. Meßschaltung 1, S. 328)	$\frac{dU_A}{dt_r}$		3		$\text{V}/\mu\text{sec}$
Anstiegsgeschwindigkeit von U_a im invert. Betrieb (s. Meßschaltung 2, S. 328)	$\frac{dU_A}{dt_r}$		12		$\text{V}/\mu\text{sec}$

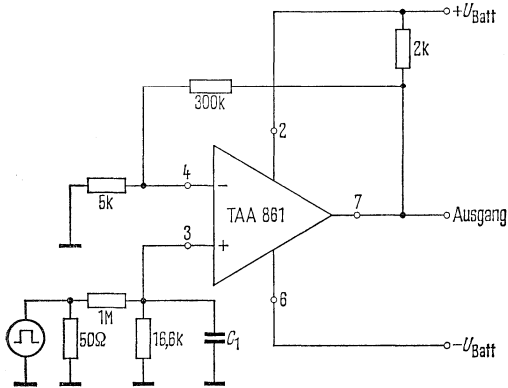
Anschlußschema :

C_K =Ausgangsfrequenzkompensation ; R_L =Lastwiderstand



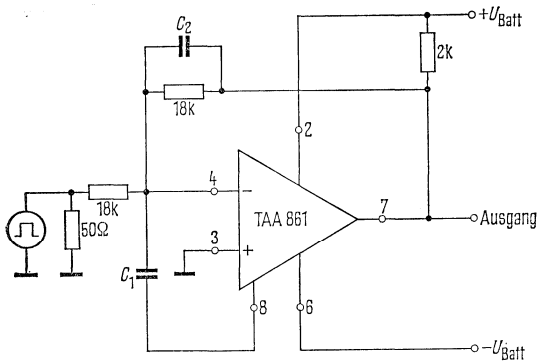
**TAA 861
TAA 862
TAA 865**

Meßschaltung 1 (nicht invertierender Betrieb)



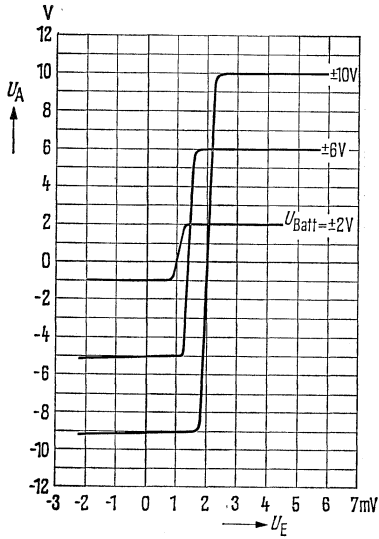
C_1 für min. Überschwingen (ca. 22 pF)

Meßschaltung 2 (invertierender Betrieb)

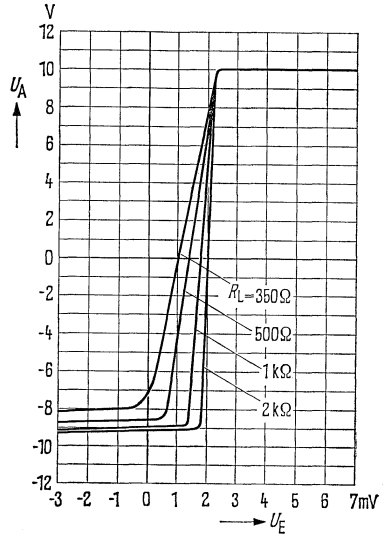


C_1 bewirkt eine frequenzabhängige Kompensation zur Verkleinerung der Anstiegszeiten (ca. 390 pF)
 C_2 für min. Überschwingen (ca. 3,9 pF)

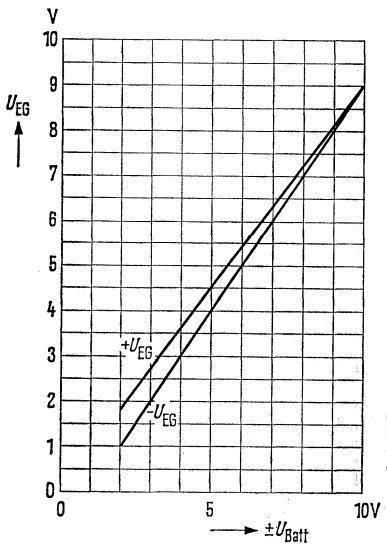
Transferringkennlinie $U_A = f(U_E)$
 $U_{Batt} = \text{Parameter}; R_L = 2 \text{ k}\Omega$



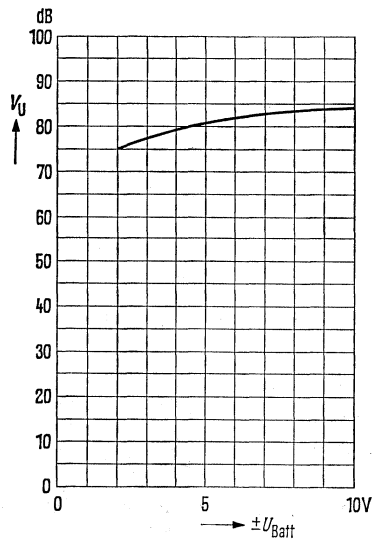
Transferringkennlinie $U_A = f(U_E)$;
 $U_{Batt} = \pm 10V; R_L = \text{Parameter}$



Gleichaktbereich $U_{EG} = f(U_{Batt})$

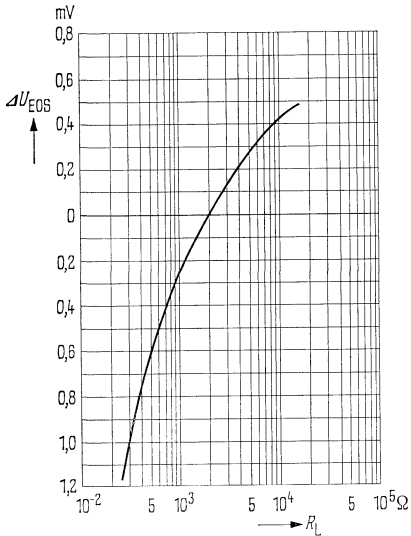


Leerlaufspannungsverstärkung
 $V_U = f(U_{Batt}) R_L = 2 \text{ k}\Omega$

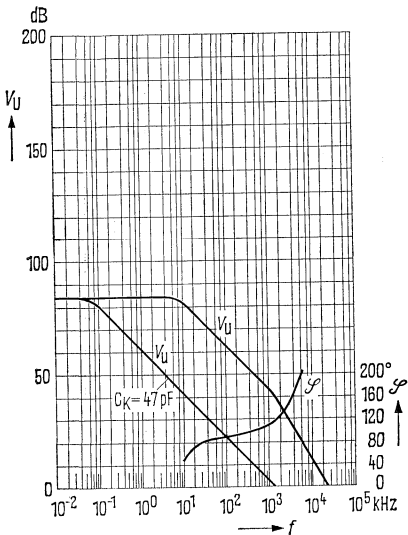


TAA 861
TAA 862
TAA 865

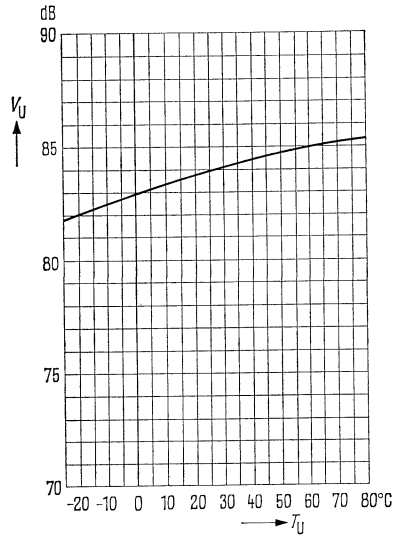
Nullspannungsänderung $\Delta U_{EOS} = f(R_L)$
 $U_{Batt} = \pm 10 \text{ V}$,
 $\Delta U_{EOS} = U_{EOS}(R_L) - U_{EOS}(2k)$



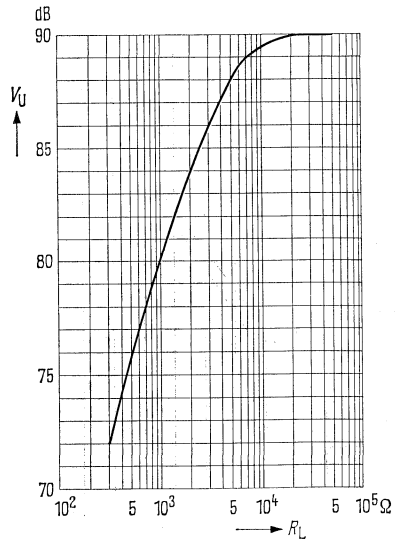
Leerlaufverstärkung und Phase
 $V_U = f(f)$; $\varphi = f(f)$; $U_{Batt} = \pm 10 \text{ V}$;
 $R_L = 2 \text{ k}\Omega$



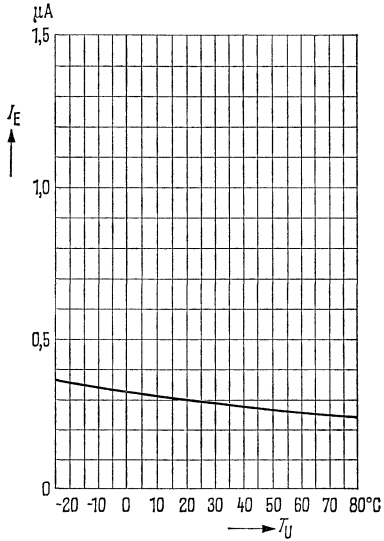
Leerlaufspannungsverstärkung
 $V_U = f(T_U)$, $U_{Batt} = \pm 10 \text{ V}$



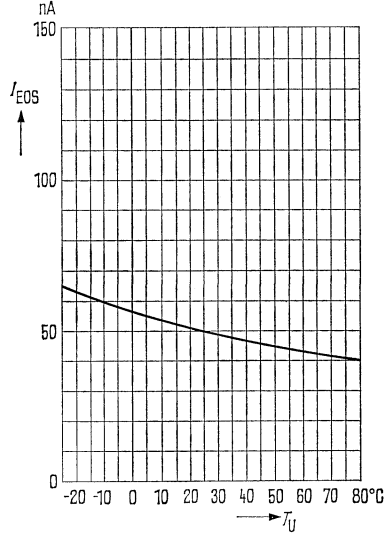
Leerlaufspannungsverstärkung
 $V_U = f(R_L)$; $U_{Batt} = \pm 10 \text{ V}$



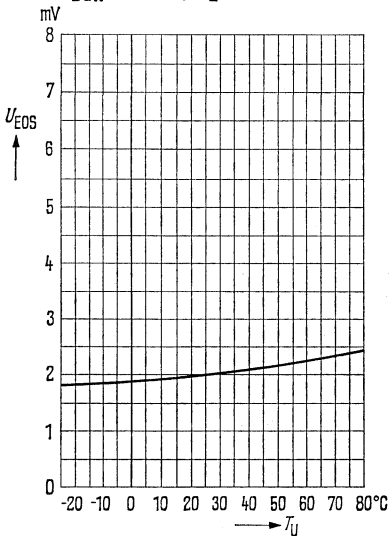
Eingangsstrom $I_E = f(T_U)$
 $U_{\text{Batt}} = \pm 10 \text{ V}; R_L = 2 \text{ k}\Omega$



Eingangsnullstrom $I_{\text{EOS}} = f(T_U)$
 $U_{\text{Batt}} = \pm 10 \text{ V}; R_L = 2 \text{ k}\Omega$



Eingangsnullspannung $U_{\text{EOS}} = f(T_U)$
 $U_{\text{Batt}} = \pm 10 \text{ V}; R_L = 2 \text{ k}\Omega$



TBA 221
TBA 221 A
TBA 221 B
TBA 222

Bestellbezeichnungen

TBA 221: Q 67000-A134

TBA 221 A: Q 67000-A225

TBA 221 B: Q 67000-A281

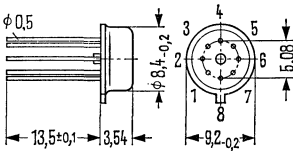
TBA 222: Q 67000-97

Operationsverstärker

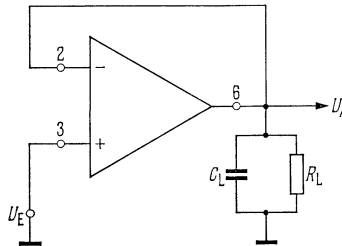
TBA 221 und TBA 222 sind monolithisch integrierte Operationsverstärker im Gehäuse ähnlich 5 G 8 DIN 41873 (TO-79). Sie zeichnen sich aus durch großen Gleichtaktspannungsbereich sowie Dauer-
kurzschlußfestigkeit. Ferner bieten sie eine Abgleichmöglichkeit der Eingangs-Nullspannung. Die
Anschlußbelegung entspricht dem TAA 521, doch werden keine externen Bauelemente zur
Frequenzkompensation benötigt. Die interne Verstärkungsabsenkung von 6dB/Oktave ergibt größt-
mögliche Stabilität in rückgekoppelten Schaltungsanwendungen. TBA 221 A (14 Anschlüsse),
TBA 221 B (8 Anschlüsse) in Plastik-Steckgehäuse.

Bauformen:

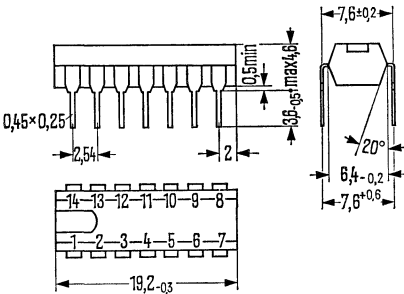
TBA 221, TBA 222



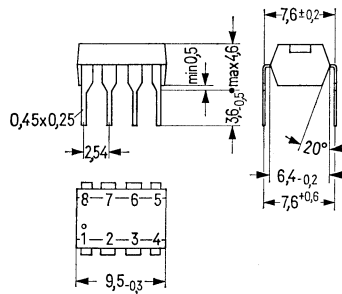
Testschaltung für Einschwingverhalten von U_{Ass} :



TBA 221 A



TBA 221 B



Plastik-Steckgehäuse 14 Anschlüsse

Plastik-Steckgehäuse 8 Anschlüsse

Grenzdaten

Betriebsspannung	U_{Batt}
Eingangsspannung ¹⁾	U_E
Differenzingangsspannung	U_D
Lagertemperatur	T_S
Umgebungstemperatur im Betrieb	T_U
Verlustleistung	P_{tot}
Kurzschlußdauer ²⁾	t_z

	TBA 221 TBA 221 A TBA 221 B	TBA 222	
	± 18	± 22	V
	± 15	± 15	V
	± 30	± 30	V
	-65 bis +150	-65 bis +150	°C
	0 bis 70	-55 bis +125	°C
	500	500	mW
	∞	∞	

Bemerkungen

- 1) Für Betriebsspannungen kleiner als ± 15 V ist die maximale Eingangsspannung der Betriebs-
spannung gleich.
- 2) Kurzschluß kann gegen Masse oder Betriebsspannung U_{Batt} erfolgen.

TBA 221
TBA 221 A
TBA 221 B
TBA 222

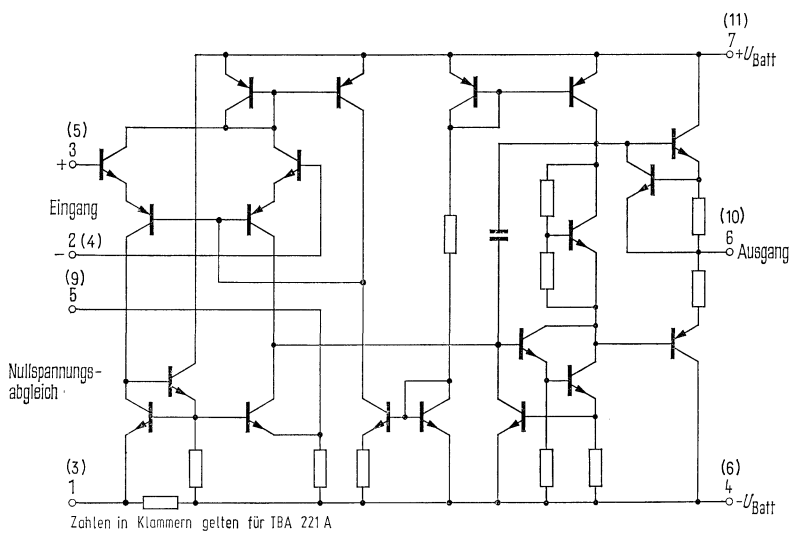
Elektrische Kenndaten

($U_{\text{Batt}} = \pm 15 \text{ V}$, $T_U = 25 \text{ }^\circ\text{C}$ wenn nicht anders angegeben)

		TBA 221			TBA 222			Einheit
		min	typ	max	min	typ	max	
Eingang-Nullspannung	U_{EOS}		2	6		1	5	mV
($R_G \leq 10 \text{ k}\Omega$, $T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$)	U_{EOS}			7,5				mV
($R_G \leq 10 \text{ k}\Omega$, $T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$)	U_{EOS}						6	mV
Eingangs-Nullstrom	I_{EOS}		30	200		30	200	nA
($T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$)	I_{EOS}			300				nA
($T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$)	I_{EOS}						500	nA
Eingangsstrom	I_E		200	500		200	500	nA
($T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$)	I_E			800				nA
($T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$)	I_E						1,5	μA
Eingangswiderstand	R_E	300	1000		300	1000		k Ω
Ausgangsspannung								
($R_L \geq 10 \text{ k}\Omega$)	U_{ASS}	± 12	± 14		± 12	± 14		V
($R_L \geq 2 \text{ k}\Omega$)	U_{ASS}	± 10	± 13		± 10	± 13		V
Eingangs-Spannungsbereich	U_E	± 12	± 13		± 12	± 13		V
Spannungsverstärkung	V_U	86	100		94	106		dB
($U_{\text{ASS}} = \pm 10 \text{ V}$, $R_L \geq 2 \text{ k}\Omega$)								
Spannungsverstärkung	V_U	83,5						dB
($U_{\text{ASS}} = \pm 10 \text{ V}$, $R_L \geq 2 \text{ k}\Omega$, $T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$)								
Spannungsverstärkung	V_U				88			dB
($U_{\text{ASS}} = \pm 10 \text{ V}$, $R_L \geq 2 \text{ k}\Omega$, $T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$)								
Gleichtaktunterdrückung	G	70	90		70	90		dB
($R_G \leq 10 \text{ k}\Omega$)								
Leerlaufleistungsverbrauch	P_D		50	85		50	85	mW
Einschwingverhalten der Ausgangsspannung bei $V_U = 1$:								
Anstiegszeit ($U_E = 20 \text{ mV}$, $R_L = 2 \text{ k}\Omega$, $C_L < 100 \text{ pF}$)	t_r		0,3			0,3		μs
Überschwingen	\ddot{U}		5,0			5,0		%
($U_E = 20 \text{ mV}$, $R_L = 2 \text{ k}\Omega$, $C_L < 100 \text{ pF}$)								
Anstiegsflanke	$\frac{dU_{\text{ASS}}}{dt}$		0,5			0,5		V/ μs
($R_L \geq 2 \text{ k}\Omega$)								

TBA 221
TBA 221 A
TBA 221 B
TBA 222

Schaltbild: TBA 221, TBA 221A, TBA 221 B, TBA 222



Beim Typ TBA 221, TBA 221B und TBA 222 (Plastik-Steckgehäuse 14 Anschl.) sind die Stifte (1), (2), (7), (8), (12), (13), und (14) nicht belegt.

Beim Typ TBA 221A (Plastik-Steckgehäuse 8 Anschl.) ist der Stift 8 nicht belegt.

Analoge Integrierte Halbleiterschaltungen für Anwendungen in der Datenverarbeitung

Typenübersicht

Seite

SAS101: Q 67000-S1	Zweifach-Kernspeicher – Leseverstärker mit Strobeingang und nachgeschalteten Invertern (als RS-Flipflop verwendbar)	336
SAS121: Q 67000-S3	Zweifach-Kernspeicher – Leseverstärker mit Strobeingang, Inverter mit offenem Kollektor-Ausgang	337
SAS141: Q 67000-S5	Zweifach-Kernspeicher – Leseverstärker mit Strobeingang und getrenntem Ausgang ohne Inverter	338
SAS151: Q 67000-S6		

SAS 101 SAS 111

Bestellbezeichnungen

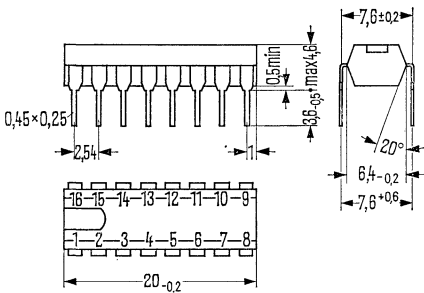
SAS 101: Q 67000-S1
SAS 111: Q 67000-S2

Schnelle Leseverstärker

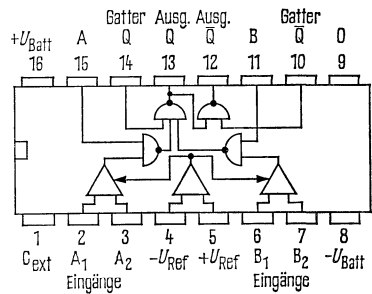
SAS 101 und SAS 111 sind Zweifach-Kernspeicher – Leseverstärker mit Strobeeingang und nachgeschalteten Invertern (als RS-Flipflop verwendbar).

Diese schnellen Leseverstärker werden besonders bei Kernspeichern in der Datenverarbeitung verwendet.

SAS 101, SAS 111



Anschlußanordnung
Ansicht von oben



Plastik-Steckgehäuse, 16 Anschlüsse,
Gewicht etwa 1,2 g, Maße in mm

Grenzdaten:

Typ	U_{Batt} (V)	U_{DES} (max) (mV)	I_{Batt} (mA) bei	
			$+U_{Batt}$	$-U_{Batt}$
SAS 101	± 7	19	28	-14
SAS 111	± 7	22	28	-14

Bestellbezeichnungen

SAS 121: Q 67000-S3

SAS 131: Q 67000-S4

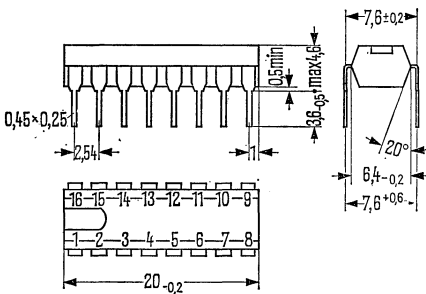
SAS 121
SAS 131

Schnelle Leseverstärker

SAS 121 und SAS 131 sind Zweifach-Kernspeicher – Leseverstärker mit Strobeeingang, Inverter mit offenem Kollektor-Ausgang.

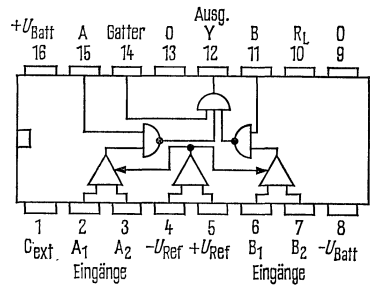
Diese schnellen Leseverstärker werden besonders bei Kernspeichern in der Datenverarbeitung verwendet.

SAS 121, SAS 131



Plastik-Steckgehäuse, 16 Anschlüsse,
Gewicht etwa 1,2 g, Maße in mm

Anschlußanordnung
Ansicht von oben



Grenzdaten:

Typ	U_{Batt} (V)	U_{DES} (max) (mV)	I_{Batt} (mA) bei	
			$+U_{Batt}$	$-U_{Batt}$
SAS 121	± 7	19	27	-15
SAS 131	± 7	22	27	-15

SAS 141 SAS 151

Bestellbezeichnungen

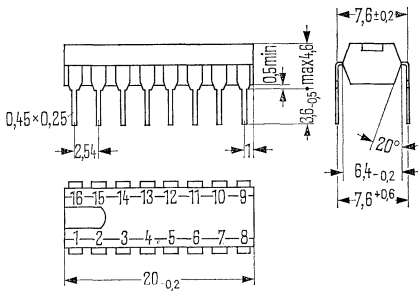
SAS 141: Q 67000-S5
SAS 151: Q 67000-S6

Schnelle Leseverstärker

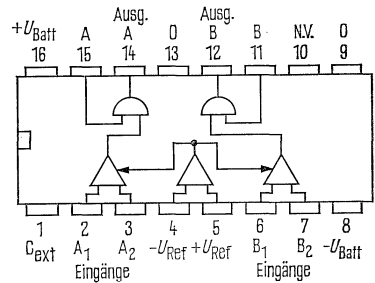
SAS 141 und SAS 151 sind Zweifach-Kernspeicher – Leseverstärker mit Strobeeingang und getrenntem Ausgang ohne Inverter.

Diese schnellen Leseverstärker werden besonders bei Kernspeichern in der Datenverarbeitung verwendet.

SAS 141, SAS 151



Anschlußanordnung
Ansicht von oben



Plastik-Steckgehäuse, 16 Anschlüsse,
Gewicht etwa 1,2 g, Maße in mm

Grenzdaten:

Typ	U_{Batt} (V)	U_{DES} (max) (mV)	I_{Batt} (mA) bei $+U_{\text{Batt}}$	$-U_{\text{Batt}}$
SAS 141	± 7	19	25	-15
SAS 151	± 7	22	25	-15

Anschriften unserer Geschäftsstellen

in der Bundesrepublik Deutschland und Westberlin

Ort		Straße	Fernsprecher	Fernschreiber
5100	Aachen 1	Kurbrunnenstr. 14–20	451-1	832 866
5770	Arnsberg	Bahnhofstr. 89–93	2056	842 236
8750	Aschaffenburg	Ludwigstr. 17	212 19	4188 839
8900	Augsburg 1	Hübnerstr. 3	3252-1	53 821
8580	Bayreuth 2	Weierstr. 25	7071	642 889
1000	Berlin 11	Schöneberger Str. 2–4	199-1	183 766
4800	Bielefeld 2	Kavalleriestr. 26	57-1	932 805
5300	Bonn	Friedrich-Ebert-Allee 130	209-1	866 498
3300	Braunschweig 1	Fallersleber Str. 6–8	475-1	952 820
2800	Bremen 1	Contrescarpe 72	364-1	245 451
8630	Coburg	Casimirstr. 6	791	663 212
6100	Darmstadt 1	Bleichstr. 19	261 11	419 246
4600	Dortmund 1	Märkische Str. 8–14	548-1	822 312
4100	Duisburg 1	Düsseldorfer Str. 50	2819-1	855 843
4000	Düsseldorf 1	Lahnweg 10	3030-1	8581 301
4300	Essen 1	Kruppstr. 16	2013-1	857 437
2390	Flensburg	Liebigstr. 22	7058	
6000	Frankfurt 1	Gutleutstr. 31	262-1	414 131
7800	Freiburg 1	Habsburgerstr. 132	212-1	772 842
3380	Goslar 1	Am Markt 5	79-1	953 832
2000	Hamburg 1	Lindenplatz 2	282-1	2162 721
4700	Hamm 1	Caldenhofer Weg 31	278-1	828 834
3000	Hannover 1	Am Maschpark 1	199-1	922 333
7100	Heilbronn 1	Schaeuffeleenstr. 15	867 46	728 714
8670	Hof 3	Bahnhofsplatz 1a	6071	643 865
6750	Kaiserslautern 1	Merkurstr. 2	550 91	45 832
7500	Karlsruhe 1	Bahnhofstr. 5	137-1	782 831
3500	Kassel 1	Bürgermeister-Brunner-Str. 15	1928-1	992 359
8960	Kempten 2	Salzstr. 27	28071	54 827
2300	Kiel 1	Holstenbrücke 26–28	5110-1	292 814
5400	Koblenz	Frankenstr. 21	2681	862 831
5000	Köln 1	Friesenplatz 8–14	576-1	8881 005/006
7750	Konstanz 1	Moosbruggerstr. 18	250 81	733 209
4450	Lingen	Bernd-Rosemeyer-Str. 9	4101	98 870
2400	Lübeck	Breite Str. 52–54	719 21	
6500	Mainz 1	Flachmarktstr. 13–17	100-1	4187 765
6800	Mannheim 1	N 7.18	296-1	462 261
8000	München 80	Richard-Strauß-Str. 76	2191-1	528 421
4400	Münster 1	Hervarthstr. 6–8	493-1	892 828
8500	Nürnberg 2	Richard-Wagner-Platz 1	2016-1	622 251
7600	Offenburg	Heinrich-Hertz-Str. 2	5061	752 806
4500	Osnabrück	Niedersachsenstr. 14	341-1	94 827
7980	Ravensburg 1	Gartenstr. 16	48 11	732 915
8400	Regensburg 2	Hornstr. 10	570 61	65 807
7417	Reutlingen-Pfullingen	Daimlerstr. 23	75 41	729 723
6600	Saarbrücken 3	Martin-Luther-Str. 25	3008-1	4421 431
3321	Salzgitter-Watenstedt	Hauptstr. 62	252 73	95 460
8720	Schweinfurt 2	Johann-Georg-Gademann-Str. 21	8001	673 207
5900	Siegen 1	Sandstr. 42–48	530 95	872 635
7000	Stuttgart 1	Geschwister-Scholl-Str. 24	2076-1	723 941
5500	Trier	Deutschherrenstr. 38–44	480 11	472 815
7900	Ulm 1	Nicolaus-Otto-Str. 4	189-1	712 826
6330	Wetzlar 1	Karl-Kellner-Ring 19–21	71-1	483 845
2940	Wilhelmshaven	Paul-Hug-Str. 8	261 87	253 305
5600	Wuppertal-Elberfeld	Hofkamp 106–108	497-1	8591 853
8700	Würzburg-Heidingsfeld	Andreas-Grieser-Str. 30	801-1	68 844



SIEMENS AKTIENGESELLSCHAFT

Bestell-Nr. B 12/1087
Printed in West Germany
W. F. Mayr, Miesbach
Kg 47130.